

**T.C.  
PAMUKKALE ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ  
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM  
DALI**

**AKTİF BLOK YAPILARI İLE GERÇEKLEŞTİRİLEN  
KAPASİTE ÇARPMA DEVRESİ**

**YÜKSEK LİSANS TEZİ**

**TOLGA YÜCEHAN**

**DENİZLİ, ARALIK - 2016**

**T.C.  
PAMUKKALE ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ  
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM  
DALI**



**AKTİF BLOK YAPILARI İLE GERÇEKLEŞTİRİLEN  
KAPASİTE ÇARPMA DEVRESİ**

**YÜKSEK LİSANS TEZİ**

**TOLGA YÜCEHAN**

**DENİZLİ, ARALIK - 2016**

## KABUL VE ONAY SAYFASI

TOLGA YÜCEHAN tarafından hazırlanan “AKTİF BLOK YAPILARI İLE GERÇEKLEŞTİRİLEN KAPASİTE ÇARPMA DEVRESİ” adlı tez çalışmasının savunma sınavı 16.12.2016 tarihinde yapılmış olup aşağıda verilen jüri tarafından oy birliği / oy çokluğu ile Pamukkale Üniversitesi Fen Bilimleri Enstitüsü Elektrik-Elektronik Mühendisliği Anabilim Dalı Yüksek Lisans Tezi olarak kabul edilmiştir.

Jüri Üyeleri

İmza

Danışman  
Yrd. Doç. Dr. Remzi ARSLANALP

  
.....


Üye  
Doç. Dr. Erkan YÜCE

  
.....

Üye  
Yrd. Doç. Dr. Fırat YÜCEL

  
.....

Pamukkale Üniversitesi Fen Bilimleri Enstitüsü Yönetim Kurulu'nun  
04/01/2017 tarih ve 01/21.... sayılı kararıyla onaylanmıştır.

  
.....

Prof. Dr. Uğur YÜCEL

Fen Bilimleri Enstitüsü Müdürü

**Bu tez çalışması PAÜBAP tarafından 2015FBE038 nolu proje ile desteklenmiştir.**

**Bu tezin tasarımı, hazırlanması, yürütülmesi, arařtırmalarının yapılması ve bulgularının analizlerinde bilimsel etięe ve akademik kurallara özenle riayet edildiđini; bu alıřmanın dođrudan birincil ürünü olmayan bulguların, verilerin ve materyallerin bilimsel etięe uygun olarak kaynak gösterildiđini ve alıntı yapılan alıřmalara atfedildiđine beyan ederim.**

**TOLGA YÜCEHAN**



## ÖZET

**AKTİF BLOK YAPILARI İLE GERÇEKLEŞTİRİLEN KAPASİTE  
ÇARPMA DEVRESİ  
YÜKSEK LİSANS TEZİ  
TOLGA YÜCEHAN  
PAMUKKALE ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ  
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**

**(TEZ DANIŞMANI:YRD. DOÇ. DR. REMZİ ARSLANALP)**

**DENİZLİ, ARALIK - 2016**

Bu tezde, literatürde yer almayan, negatif akım geri beslemeli işlemsel yükselteç (CFOA-) kullanılarak tümleşik devre yapısına uygun kapasite çarpma devresi tasarlanmıştır. Kapasite çarpma devreleri, alan sorunu olan bazı uygulamalarda büyük değerli kondansatörlerin yerine kullanılabilen analog devrelerdir. Ayrıca kapasite çarpma devreleri, hassas kullanım alanı gerektiren uygulamalarda ticari olarak temin edilemeyen kondansatörlerin yerine kullanılabilirler. Literatürde yer alan kapasite çarpma devreleri genellikle aktif blok yapıları kullanılarak gerçekleştirilebilirler. Önerilen devrede, iki adet direnç bir adet topraklanmış kondansatör toplamda üç adet pasif eleman vardır. Tasarlanan devrede, ticari olarak elde edilebilir olması sebebiyle CFOA- aktif blok yapısı kullanılmıştır. CFOA- aktif blok yapısı ticari olarak elde edilebilir olması sebebi ile tercih edilmiştir. Önerilen devrenin benzetimleri PSpice benzetim programı ile yapılmıştır. Benzetimlerde, CFOA-'nin MOS Transistörlü iç yapısında MOS Transistörler için 0.13µm IBM (Uluslararası İş Makineleri Şirketi) teknolojisi kullanılmıştır. Benzetimler sonucunda görülmektedir ki önerilen devrenin, sıcaklık değişimine karşı duyarlılığı ve güç tüketimi azdır. Önerilen devrenin çalışma aralığı 100KHz ile 6MHz arasındadır. Önerilen devrenin deneysel gerçekleştirilmesi ile elde edilen sonuçlar ile benzetim sonuçlarının birbirini doğruladığı gözlemlenmiştir.

**ANAHTAR KELİMELELER: Kapasite Çarpma Devresi, CFOA-, Aktif Blok Yapıları, Analog Devreler, MOS Transistör**

## **ABSTRACT**

### **CAPACITANCE MULTIPLIER CIRCUIT REALIZED BY USING ACTIVE BUILDING BLOCKS**

**MSC THESIS**

**TOLGA YÜCEHAN**

**PAMUKKALE UNIVERSITY INSTITUTE OF SCIENCE  
ELECTRICAL AND ELECTRONICS ENGINEERING**

**(SUPERVISOR:YRD. DOÇ. DR. REMZİ ARSLANALP)**

**DENİZLİ, DECEMBER 2016**

In this thesis, capacitance multiplier circuit suitable for the integrated circuit structure is designed by using a negative current feedback operational amplifier (CFOA-) which is not included in the literature. Capacitance multiplier circuits are analog circuits that can be used instead of large value capacitors in some applications which circuit size is a problem. Also, for some applications which require sensitive use, capacitance multiplier circuits can be used instead of capacitors which are not provided commercially. Capacitance multipliers which are included literature can be usually realized by using active building blocks. In the proposed circuit, there are three passive components; two of them are resistances and one of them is grounded capacitor. In the designed circuit, CFOA-active building block is used because it could be commercially found. Simulations of the proposed circuit were made with PSpice simulation program. In the simulations, 0.13 $\mu$ m IBM technology is used for MOS transistors in internal structure of the CFOA- with MOS transistors. As a result of the simulations, it is seen that the proposed circuit has low sensitivity to temperature changing and has low power consumption. Operating range of the proposed circuit is between 100KHz to 6MHz. It has been observed that the experimental realization and simulations results of the proposed circuit have verified each other.

**KEYWORDS: Capacitance Multiplier, CFOA-, Active Building Blocks, Analog Circuits, MOS Transistor**

# İÇİNDEKİLER

Sayfa

ÖZET.....	i
ABSTRACT .....	ii
İÇİNDEKİLER .....	iii
ŞEKİLLER LİSTESİ.....	v
TABLO LİSTESİ .....	viii
SEMBOL LİSTESİ .....	ix
ÖNSÖZ.....	xi
<b>1 GİRİŞ.....</b>	<b>1</b>
1.1 Tezin Önemi .....	1
1.2 Tezin Amacı .....	2
<b>2 LİTERATÜR ARAŞTIRMASI.....</b>	<b>5</b>
2.1 Yarı İletken Devre Elemanları.....	5
2.1.1 MOS Transistör.....	5
2.1.1.1 MOSFET Çalışma Modları .....	7
2.1.1.1.1 Kesim Modu .....	7
2.1.1.1.2 Lineer Modu .....	8
2.1.1.1.3 Doyum Modu.....	9
2.1.1.2 MOSFET Yüksek Frekans Modeli .....	10
2.1.2 BJT.....	12
2.1.2.1 BJT'nin Çalışma Modları.....	14
2.1.2.1.1 BJT'nin Kesim Modu Çalışması .....	14
2.1.2.1.2 BJT'nin Aktif Mod Çalışması .....	15
2.1.2.1.3 BJT'nin Ters Aktif Mod Çalışması .....	15
2.1.2.1.4 BJT'nin Doyum Modu Çalışması .....	16
2.1.2.1.5 BJT'nin Yüksek Frekans Analizi.....	16
2.1.3 Yarı İletken Devre Elemanları Kullanılarak Yapılan Temel Devreler .....	18
2.1.3.1 Akım Kaynağı ve Akım Aynası Devresi .....	18
2.2 Neden Analog Devre? .....	22
2.2.1 Doğal Sinyallerin İşlenmesi İçin Dönüştürücüler.....	22
2.2.2 Sayısal İletişim.....	23
2.2.3 Disk Sürücü Elektronikleri.....	23
2.2.4 Kablosuz Alıcılar .....	23
2.2.5 Optik Alıcılar .....	24
2.2.6 Sensörler .....	24
2.3 Neden IC Teknolojisi .....	24
2.4 Analog Devrelerin Çalışma Modları .....	25
2.5 Aktif Blok Yapılar .....	26
2.5.1 OTA .....	26
2.5.2 CCII .....	27
2.5.3 CCCII.....	28
2.5.4 DDCC .....	29
2.5.5 DVCC .....	30
2.5.6 CDBA .....	31



2.5.7	DDTA .....	32
2.5.8	FTFN.....	33
2.5.9	OFCC .....	34
2.5.10	CDTA.....	35
2.5.11	CDCC.....	37
2.5.12	CFOA.....	38
2.6	Analog Devreler .....	39
2.6.1	Kapasite Çarpma Devreleri.....	39
2.6.2	Logaritmik Yükselteç Devreleri .....	43
2.6.3	Bobin Benzetim Devreleri .....	45
<b>3</b>	<b>ÖNERİLEN KAPASİTE ÇARPMA DEVRESİNİN TEORİK ÇALIŞMALARI.....</b>	<b>49</b>
3.1	Kapasite Çarpma Devreleri .....	49
3.1.1	Topraklanmış Kapasite Çarpma Devresi .....	54
3.1.2	Yüzen Kapasite Çarpma Devresi .....	57
3.2	Önerilen Kapasite Çarpma Devresi .....	59
3.2.1	Önerilen Devrede Kullanılan Aktif Blok Yapısı .....	60
3.2.2	Önerilen Devrenin Teorik İncelemesi.....	61
3.2.3	Önerilen Devrenin Benzetim Sonuçları .....	65
3.3	Önerilen Kapasite Çarpma Devresinin Uygulamasının Benzetimi ...	81
<b>4</b>	<b>ÖNERİLEN DEVRENİN GERÇEKLENMESİ.....</b>	<b>82</b>
4.1	Gerçeklenen Devrenin Kapasite Çarpma Devresi Olarak Davranışı .	83
4.2	Önerilen Devrenin Uygulama Üzerinde Gerçeklenmesi .....	87
<b>5</b>	<b>SONUÇ.....</b>	<b>89</b>
<b>6</b>	<b>KAYNAKLAR.....</b>	<b>91</b>
<b>7</b>	<b>EKLER.....</b>	<b>96</b>
7.1	EK A.....	96
7.2	EK B .....	99
<b>8</b>	<b>ÖZGEÇMİŞ.....</b>	<b>103</b>

# ŞEKİLLER LİSTESİ

## Sayfa

Şekil 2.1: MOSFET sembolleri.....	6
Şekil 2.2: MOSFET yüksek frekans modeli .....	11
Şekil 2.3: BJT sembolleri.....	13
Şekil 2.4: BJT'nin yüksek frekans modeli.....	17
Şekil 2.5: E-C uçları kısa devre edilmiş BJT'nin yüksek frekans modeli .....	17
Şekil 2.6: (a) MOSFET ile yapılmış basit bir akım kaynağı ve akım aynası devresi, (b) BJT ile yapılmış basit bir akım kaynağı ve akım aynası devresi (Sedra ve Smith 2010) .....	19
Şekil 2.7: OTA aktif blok yapısı (Kaewdang ve diğ. 2003) .....	27
Şekil 2.8: OTA aktif blok yapısının iç yapısı (Kaewdang ve diğ. 2003).....	27
Şekil 2.9: CCII aktif blok yapısı (Sedra ve Smith 1970) .....	28
Şekil 2.10: CCII+ aktif blok yapısının iç yapısı (Surakampontorn ve diğ. 1991) .....	28
Şekil 2.11: CCCII aktif blok yapısı (Fabre ve diğ. 1996) .....	29
Şekil 2.12: CCCII+ aktif blok yapısının iç yapısı (Fabre ve diğ. 1996) .....	29
Şekil 2.13: DDCC aktif blok yapısı (Chiu ve diğ. 1996).....	30
Şekil 2.14: DDCC+ aktif blok yapısının iç yapısı (Chiu ve diğ. 1996) .....	30
Şekil 2.15: DVCC aktif blok yapısı (Elwan ve Soliman 1997) .....	31
Şekil 2.16: DVCC aktif blok yapısının iç yapısı (Elwan ve Soliman 1997).....	31
Şekil 2.17: CDBA aktif blok yapısı (Acar ve Ozoguz 1999).....	32
Şekil 2.18: CDBA aktif blok yapısının iç yapısı (Kılınç ve Çam 2004).....	32
Şekil 2.19: DDTA aktif blok yapısı (Kumngern 2012) .....	33
Şekil 2.20: DDTA aktif blok yapısının iç yapısı (Kumngern 2012).....	33
Şekil 2.21: FTFN aktif blok yapısı (Senani 1987) .....	34
Şekil 2.22: FTFN aktif blok yapısının iç yapısı (Senani 1987) .....	34
Şekil 2.23: OFCC aktif blok yapısı (Ghallab ve Badaway 2004).....	35
Şekil 2.24: OFCC aktif blok yapısının iç yapısı (Ghallab ve Badaway 2004) .	35
Şekil 2.25: CDTA aktif blok yapısı (Biolek 2003) .....	36
Şekil 2.26: CDTA aktif blok yapısının iç yapısı (Keskin ve Biolek 2006).....	36
Şekil 2.27: CDCC aktif blok yapısı (Kaçar ve diğ. 2015) .....	37
Şekil 2.28: CDCC aktif blok yapısının iç yapısı (Kaçar ve diğ. 2015).....	38
Şekil 2.29: CFOA aktif blok yapısı (Madian ve diğ. 2006).....	38
Şekil 2.30: CFOA- aktif blok yapısının iç yapısı (Surakampontorn ve diğ. 1991), (Carrillo ve diğ. 2011) .....	39
Şekil 2.31: Op-amp tabanlı logaritmik yükselteç (Tai ve Hasegawa 1976) .....	44
Şekil 2.32: OFCC tabanlı logaritmik yükselteç (Pandey ve diğ. 2014).....	44
Şekil 2.33: CDTA tabanlı logaritmik yükselteç (Maktoomi ve diğ. 2012).....	45
Şekil 2.34: CCII tabanlı yüzen bobin benzetimi (Ferri ve diğ. 1998).....	46
Şekil 2.35: OTA tabanlı yüzen bobin benzetimi (Longsombooni ve diğ. 2011) .....	47
Şekil 2.36: CDCC tabanlı topraklanmış bobin benzetimi(Kaçar ve diğ. 2015)	48
Şekil 3.1: Kapasite çarpma devresinin blok diyagramları .....	50
Şekil 3.2: Temel bir kapasite çarpma devresi .....	51
Şekil 3.3: Temel kapasite çarpma devresi üzerindeki akım ve gerilimler .....	51
Şekil 3.4: Giriş empedansının eşdeğer devresi .....	54

Şekil 3.5: Topraklanmış kapasite çarpma devresinin eşdeğer blok yapısı.....	55
Şekil 3.6: Topraklanmış kapasite çarpma devresi (Silapan ve diğ. 2008) .....	55
Şekil 3.7: Yüzen kapasite çarpma devresinin eşdeğer blok yapısı.....	57
Şekil 3.8: Yüzen kapasite çarpma devresi (Siripruchyanan ve Jaikla 2007) ....	58
Şekil 3.9: Önerilen kapasite çarpma devresi .....	60
Şekil 3.10: CFOA- iç yapısının bloklar halinde gösterimi.....	60
Şekil 3.11: Önerilen kapasite çarpma devresine ait akım ve gerilimler.....	62
Şekil 3.12: CFOA-'nin Z- ve W uçlarına ait gerilimlerin frekans ortamındaki gösterimi.....	68
Şekil 3.13: CFOA-'nin X ve Z- uçlarına ait akımların frekans ortamındaki gösterimi.....	68
Şekil 3.14: CFOA-'nin Y ve X uçlarına ait gerilimlerin frekans ortamındaki gösterimi.....	69
Şekil 3.15: Giriş Empedanslarının Frekans Ortamındaki Benzetimleri.....	70
Şekil 3.16: Farklı sıcaklıklarda giriş empedansının genliğinin frekans cevabı.	70
Şekil 3.17: Farklı kuvvetlendirme katsayıları için, elde edilen ve teorik giriş empedanslarının frekans cevapları .....	71
Şekil 3.18: 100KHz için giriş gerilimi ile giriş akımının zaman ortamındaki analizi .....	72
Şekil 3.19: 5MHz için giriş gerilimi ile giriş akımının zaman ortamındaki analizi .....	72
Şekil 3.20: 1MHz için giriş gerilimi ile giriş akımının zaman ortamındaki analizi .....	73
Şekil 3.21: Önerilen devrede farklı her bir giriş gerilimi için THD analizi.....	74
Şekil 3.22: Önerilen devrede CFOA-'nin X düğümünden bakıldığındaki gürültü analizi.....	75
Şekil 3.23: Önerilen devrede CFOA-'nin Z- düğümünden bakıldığındaki gürültü analizi.....	76
Şekil 3.24: Önerilen devrede CFOA-'nin W düğümünden bakıldığındaki gürültü analizi.....	76
Şekil 3.25: MOSFET'in parametreleri ve pasif elemanların değerinin değişimi baz alındığında giriş empedansının Monte Carlo analizi.....	77
Şekil 3.26: Sadece pasif elemanların değerinin değişimi baz alındığında giriş empedansının Monte Carlo analizi.....	78
Şekil 3.27: Sadece MOSFET'in parametrelerinin değişimi baz alındığında giriş empedansının Monte Carlo analizi.....	78
Şekil 3.28: MOSFET'in parametreleri ve pasif elemanların değerleri değiştirildiğinde gerilim-akım arasındaki faz farkı.....	79
Şekil 3.29: Sadece pasif elemanların değerleri değiştirildiğinde gerilim-akım arasındaki faz farkı .....	80
Şekil 3.30: Sadece MOSFET'in parametreleri değiştirildiğinde gerilim-akım arasındaki faz farkı .....	80
Şekil 3.31: 3. derece Butterworth alçak geçiren süzgeç devresi .....	81
Şekil 3.32: 3. derece Butterworth alçak geçiren süzgeç devresinin frekans cevabı sonuçları.....	81
Şekil 4.1: AD844 kullanılarak CFOA- elde edilmesi .....	82
Şekil 4.2: Önerilen devreye ait PCB'nin ön yüzü.....	83
Şekil 4.3: Önerilen devreye ait PCB'nin arka yüzü.....	83
Şekil 4.4: Önerilen devrede kullanılan aktif blok yapısının beslemesi.....	84
Şekil 4.5: Önerilen devrede uygulanan giriş sinyali .....	84

Şekil 4.6: Önerilen devrenin gerçekleşme sonuçları .....	85
Şekil 4.7: Farklı frekanslardaki giriş sinyali için elde edilen giriş empedansının faz açısı.....	86
Şekil 4.8: 1. derece alçak geçiren süzgeç uygulaması .....	87
Şekil 4.9: 1. derece alçak geçiren süzgeç frekans cevabı sonuçları.....	88

## TABLO LİSTESİ

### Sayfa

Tablo 2.1: G bölgesi kapasitif etkisi sonucu ortaya çıkan iç kapasitelerin denklemleri.....	11
Tablo 2.2: Eklem tipine göre BJT'nin çalışma modları .....	14
Tablo 2.3: BJT'nin kesim modunda çalışması için gerekli şartlar .....	14
Tablo 2.4: BJT'nin aktif modda çalışması için gerekli şartlar.....	15
Tablo 2.5: BJT'nin ters aktif modda çalışması için gerekli şartlar.....	15
Tablo 2.6: BJT'nin doyum modunda çalışması için gerekli şartlar.....	16
Tablo 2.7: Literatürdeki bazı kapasite çarpma devrelerin karşılaştırması .....	40
Tablo 3.1: Önerilen devrede kullanılan MOSFET'lerin en boy oranları.....	66
Tablo 3.2: 100KHz-6MHz arası K değişkenine göre elde edilen C .....	66
Tablo 3.3: Farklı kapasitelerin farklı kuvvetlendirme katsayılarına göre elde edilen kapasite değerleri.....	67
Tablo 3.4: Her bir giriş genliği için THD sonuçları.....	74

## SEMBOL LİSTESİ

<b>V</b>	: Gerilim
<b>I</b>	: Akım
<b>R</b>	: Direnç
<b>L</b>	: Bobin
<b>C<sub>i</sub></b>	: i. Kondansatör
<b>Z</b>	: Empedans
<b>f</b>	: Frekans
<b>g<sub>m</sub></b>	: Geçiş İletkenliği
<b>H</b>	: Bobin Birimi
<b>K</b>	: Kuvvetlendirme Katsayısı
<b>M</b>	: MOSFET
<b>t</b>	: Sıcaklık
<b>Ω</b>	: Direnç Birimi
<b>F</b>	: Kondansatör Birimi
<b>Hz</b>	: Frekansın Birimi
<b>V<sub>DD</sub></b>	: Devrenin Pozitif Besleme Gerilimi
<b>V<sub>SS</sub></b>	: Devrenin Negatif Besleme Gerilimi
<b>I<sub>KUTUP</sub></b>	: Kutuplama akımı
<b>TSMC</b>	: Tayvan Yarı İletken Üretim Şirketi
<b>IBM</b>	: Uluslararası İş Makineleri Şirketi
<b>ADC</b>	: Analog Sayısal Çevirici
<b>DSP</b>	: Sayısal Sinyal İşlemcisi
<b>THD</b>	: Toplam Harmonik Bozulma
<b>RMS</b>	: Karekök Ortalama
<b>CMRR</b>	: Ortak Mod Tepki Oranı
<b>PCB</b>	: Baskılı Devre Kartı
	: Faz Açısı
<b>RF</b>	: Radyo Frekansı
<b>BJT</b>	: Yüzeyle Birleşmeli Transistör veya İki Kutuplu Eklemlenmiş Transistör
<b>CMOS</b>	: Bütünleyici Metal Oksit Yarı İletken
<b>D</b>	: MOSFET'in Drain Ucu
<b>S</b>	: MOSFET'in Source Ucu
<b>G</b>	: MOSFET'in Gate Ucu
<b>B</b>	: MOSFET'in Body Ucu
<b>MOSFET</b>	: Metal Oksit Yarıiletkenli Alan Etkili Transistör
<b>D-MOSFET</b>	: Azalan Tip MOSFET
<b>E-MOSFET</b>	: Artan Tip MOSFET
<b>NMOS</b>	: N Kanallı MOSFET
<b>PMOS</b>	: P Kanallı MOSFET
<b>N</b>	: N Tipi Yarı İletken Malzeme
<b>P</b>	: P Tipi Yarı İletken Malzeme
<b>PN</b>	: P-N Tipi Yarı İletken Malzemelerin Birleşimi
<b>V<sub>G</sub></b>	: MOSFET'in Gate Gerilimi
<b>I<sub>D</sub></b>	: MOSFET'in Drain Akımı
<b>W</b>	: MOSFET'in Kanal Genişliği
<b>L</b>	: MOSFET'in Kanal Boyu
<b>μ<sub>n</sub></b>	: NMOS'da Elektronların Kanal İçindeki Hareketlilik Katsayısı

$\mu_p$	: PMOS'da Deliklerin Kanal İçindeki Hareketlilik Katsayısı
$C_{OV}$	: Taşma Kapasitesi
$C_{OX}$	: MOSFET'in Birim Alan Kapasitif Etkisi
$V_t$	: Eşik Gerilimi
$r_o$	: Sonlu Çıkış Direnci
$\phi_j$	: Yüzey Birleşim Potansiyeli
$\epsilon_{si}$	: Silikonun Dielektrik Katsayısı
$q$	: Elektrik Yükü
$N_B$	: MOSFET'in B Bölgesi Katkı Maddesi Sabiti
<b>C</b>	: BJT'nin Kollektör Ucu
<b>B</b>	: BJT'nin Beyz Ucu
<b>E</b>	: BJT'nin Emiter Ucu
<b>NPN</b>	: N-P-N Tipi Yarı İletken Malzemelerin Birleşimi
<b>PNP</b>	: P-N-P Tipi Yarı İletken Malzemelerin Birleşimi
$I_S$	: BJT'nin Doyma Akımı
$V_{EE}$	: BJT'nin Emiter Besleme Gerilimi
$V_{CC}$	: BJT'nin Kollektör Besleme Gerilimi
$V_T$	: Isıl Gerilim
$\beta$	: BJT'nin Akım Kazancı
$\beta_{forced}$	: BJT'nin Doyum Modunda Akım Kazancı
$\beta_0$	: BJT'nin Düşük Frekanslardaki Akım Kazancı
<b>EBJ</b>	: BJT'nin E-B Arası Eklemi
<b>CBJ</b>	: BJT'nin C-B Arası Eklemi
$C_\pi$	: BJT'nin B-E Arasındaki Kapasitif Etkisi
$C_\mu$	: BJT'nin B-C Arasındaki Kapasitif Etkisi
$r_x$	: BJT'nin B Bölgesi Direnci
<b>IC</b>	: Tümlüşik Devre Elemanı
<b>Op-Amp</b>	: İşlemsel Yükselteç
<b>OTA</b>	: İşlemsel Geçiş İletkenliği Kuvvetlendirici
<b>CCII</b>	: İkinci Nesil Akım Taşıyıcı
<b>CCCII</b>	: İkinci Nesil Akım Kontrollü Akım Taşıyıcı
<b>DDCC</b>	: Diferansiyel Fark Alıcı Akım Taşıyıcı
<b>DVCC</b>	: Gerilim Diferansiyeli Alan Akım Taşıyıcı
<b>CDBA</b>	: Akım Farkı Tamponlanmış Kuvvetlendirici
<b>DDTA</b>	: Diferansiyel Fark Alan Geçiş İletkenliği Kuvvetlendirici
<b>FTFN</b>	: Dört Terminallli Yüzen Nullor
<b>CDTA</b>	: Akım Farkı Alan Geçiş İletkenliği Kuvvetlendirici
<b>CFOA</b>	: Akım Geri Beslemeli İşlemsel Kuvvetlendirici
<b>CFOA-</b>	: Negatif Akım Geri Beslemeli İşlemsel Kuvvetlendirici
<b>OFCC</b>	: İşlemsel Yüzen Akım Taşıyıcı
<b>CDCC</b>	: Akım Farkı Alan Akım Taşıyıcısı
<b>CCCCTA</b>	: Akım Kontrollü Geçiş İletkenliği Kuvvetlendirici Akım Taşıyıcı

## ÖNSÖZ

Öncelikle, yetişmemde en büyük pay sahibi olan, maddi ve manevi desteğini esirgemeyen başta babam Yücel YÜCEHAN, annem Zeynep YÜCEHAN, kardeşim Bora YÜCEHAN olmak üzere tüm aileme, teşekkürü bir vazife olarak görüyorum.

Yüksek Lisans eğitimi boyunca ilminden faydalandığım, insani ve ahlaki değerleri ile de örnek edindiğim, tecrübelerinden yararlanırken göstermiş olduğu hoşgörü ve sabırdan dolayı değerli tez danışmanım Yrd. Doç. Dr. Remzi ARSLANALP'e, bana eğitim veren tüm hocalarıma ve tezime katkılarından dolayı Öğr. Gör. Niyazi DÜDÜK'e ve Arş. Gör. Tayfun UNUK'a teşekkürü bir borç bilirim.

Çalışmakta olduğum kurumdaki saygıdeğer müdürüm Prof. Dr. Ömer Faruk TAŞER ve müdür yardımcısı Öğr. Gör. Hakan ÇOBAN'a manevi yardımlarından dolayı teşekkür ederim.

İş ortağım ve çalışma arkadaşım olan çok sevdiğim Öğr. Gör. Umut SARAY'a bana vermiş olduğu katkılarından dolayı çok teşekkür ederim.



# 1 GİRİŞ

Analog elektronik kavramından genel olarak, sürekli zamanlı ve her deęeri alabilen iřaretleri iřleyen, analog devre elemanlarından veya analog blok yapıardan oluřan devreler anlařılmaktadır. Analog devreler, giriři ile ıkıřı arasında bir sebep sonu iliřkisi bulunduran devrelerdir. Analog iřaretleri, sayısal iřaretlerden ayıran en nemli farklardan bir tanesi de analog iřaretlerin sonsuz znrlęe sahip olmasıdır.

Doęadan alınan sinyallerin analog yapıya sahip olması sebebiyle analog iřaretler ve bu iřaretleri iřleyen sistemler, analog elektronik devrelerin temel yapısını oluřurmaktadır. Bu yzden analog devreler her zaman kullanım alanına sahiptir ve sayısal sistemler de bile gereksinimdir. Doęadan elde edilen analog sinyaller birok karmařık ve yksek performans gerektiren uygulama iin gereklidir. Bundan dolayı analog mikroelektronik devrelerin tasarlanmasına ve geliřtirilmesine ynelik yapılacak her alıřma nem arz etmektedir.

## 1.1 Tezin nemi

Geliřen teknolojiye paralel olarak kullanıcı elektronięinin gereksinimleri deęiřmektedir. zellikle gnmzde dřk g tketime sahip, tařınabilir, ok fonksiyonlu cihazların kullanımını artırmıřtır. Aynı zamanda dřk maliyet, ticari olarak her zaman en nemli tercih edilebilirlik lt olmuřtur. Bu sebeplerden dolayı, analog mikroelektronik devrelerin geliřmesine ynelik yapılacak her yeni alıřmanın literatre katkısı byk olacaktır.

Getięimiz yzyılın son yarısından itibaren geliřen mikroelektronik devre anlayıřının dięer bir gereksinimi ise tmleřik devre ierisinde daha az alan kaplayan tasarımların geliřmesi zerine olmuřtur. Bir dięer ifade ile mikroelektronik devre tasarımlarının tmleřik devre ierisinde kapladığı alan nemli hale gelmiřtir. Yani bir taraftan aynı devrenin iřlevi artırılmaya alıřılırken, dięer taraftan devrenin tmleřik yapı ierisinde kapladığı alan azaltılmaya alıřılmıřtır. Bu hedef doęrultusunda literatrde farklı yntemler uygulanmıřtır. rneęin, tmleřik devre

haline getirilen analog devrelerin başta gelen sıkıntılarının arasında, pasif devre elemanlarının tümleşik devre içerisine yerleştirilmesi gelmektedir. Pasif devre elemanları, hem fazla alan kaplamakta hem de güç tüketimini artırmaktadır. Bu yüzden, pasif devre elemanlarının eşdeğer modelleri tümleşik yapı içerisinde kullanılmaktadır. Böylelikle daha az karmaşık, maliyeti daha düşük, daha kullanışlı aktif blok yapıları gerçekleştirilebilmekte ve bunun sonucunda analog devre içerisinde kullanılan pasif devre elemanı sayısı azaltılarak devrenin kapladığı alanın küçültülmesi sağlanabilmektedir.

Gelişen teknoloji ile beraber, üreticinin ve tüketicinin yukarıdaki bahsedilen gereksinimlerini karşılayabilmek ve sorunlarına çözüm üretebilmek için analog devrelerdeki bilimsel gelişmelere her zaman ihtiyaç vardır. Bu durum, tezin önemini açıkça ortaya koymaktadır.

## **1.2 Tezin Amacı**

Analog sinyal işlemede, aktif filtreler, osilatörler ve bobin benzetimleri gibi literatürde yer alan devre topolojileri bulunur. Bu devre topolojileri, son yarım yüzyıldan önce herhangi bir deneysel gerçekleştirme ve uygulama olmaksızın önerilmekteydi. Bu yüzden bu devreleri gerçekleştirmek ve pratikte uygulamak asıl gereksinimdir. Bunlara ek olarak aktif blok yapılarının gerçekleştirme sınırlamaları için diğer önemli faktörler ise bant genişliği, dönüşüm oranı (slew-rate), giriş ve çıkış empedansları gibi karakteristiklerdir (Kuntman ve Uygur 2012). Bahsedilen bu sebeplerden dolayı esnek kullanım imkanı sağlayan BJT (Yüzey Birleşmeli Transistör) ve CMOS (Bütünleyici Metal Oksit Yarı İletken) gibi yarı iletken malzemeler kullanılarak gerçekleştirilen aktif blok yapılarının kullanımı önemlidir.

Aktif blok yapıları kullanılarak gerçekleştirilen analog devreler birçok kullanım alanına sahiptir. Örnek olarak, düşük frekanslar için biyomedikal sistemler ve yüksek frekanslar için RF (Radyo Frekansı) uygulama sistemleri verilebilir. Aktif blok yapılarının bir diğer kullanıldığı alan ise yükselteç devreleridir. Örneğin, logaritmik yükselteç devreleri aktif blok yapıları kullanılarak gerçekleştirilebilir.

Tüm bu alanlarda aktif blok yapıları kullanım kolaylığı ve alandan tasarruf gibi sebeplerden dolayı tercih edilmektedir.

Aktif blok yapıları, analog devrelerin gerçekleştirilmesi için kullanılabilirler. Aktif blok yapılarının en önemli özelliği uç denklemlerinin cebirsel bir şekilde ifade edilebilmesidir. Bu uç denklemleri ile birçok analog devre topolojisi daha basit bir şekilde tasarlanabilmektedir.

Aktif blok yapıları kullanılarak elde edilen devreler kapladıkları alanın azlığından dolayı tercih edilmektedir (Ferri ve Pennisi 1998). Bu durum, eleman sayısının azlığı ile doğrudan ilgilidir. Kapasite çarpma devreleri, bobin benzetim devreleri gibi devrelerde bu durum söz konudur.

Gelişen teknoloji ile birlikte gerek endüstride gerekse günlük hayatta tüketiciye sunulan elektronik cihazlardaki gereksinimler de değişmiştir. Güç tüketiminin azlığı bu gereksinimlerden biridir. Analog devrelerde kullanılan eleman sayısı ne kadar fazla ise güç tüketimi o kadar fazladır. Aktif blok yapıları ile gerçekleştirilen devrelerde birden fazla eleman yerine tek eleman kullanılması devrenin güç tüketimini azaltmaktadır. Aktif blok yapıları ile gerçekleştirilen pasif devre elemanlarının eşdeğer devreleri pasif elemanlara göre daha az güç tüketmektedir. Bu sebeplerden dolayı, güç tüketimini azaltmak için aktif blok yapılarının analog devrelerde kullanımı önemlidir.

Günümüzde analog tasarımların kullanım kolaylığına sahip olması istenmektedir. Bunu sağlayabilmek için elektronik olarak ayarlanabilen devreler tercih edilmektedir. Örneğin, elektronik olarak ayarlanabilir kapasite çarpma devrelerinde kuvvetlendirme katsayıları devrede kullanılan elemanların değerleri değiştirilmeden yapılabilirler. Bu tür devreler kullanım kolaylığı sağlamanın yanında maliyeti ve boyutu düşürdüğü için de tercih edilmektedir.

Analog devrelerde maliyet, eleman sayısı ile doğrudan ilgilidir. Eleman sayısının fazla olması maliyetin artması anlamına gelmektedir. Aktif blok yapıları kullanılarak gerçekleştirilen devrelerde de bu durum söz konusudur. Bu tür

devrelerde aktif blok yapılarının tümleşik devre haline getirilmesi sayesinde daha az eleman kullanılmış ve böylece maliyet azaltılmıştır.

Gürültü, elemanların elektrik yükü ile yüklenmesi ve boşalması esnasında ortaya çıkan istenilmeyen elektriksel büyüklükler olarak tanımlanabilir. Gürültünün en başta gelen zararları arasında gürültünün, temel işarete zayıflamaya ve bozulmaya yol açması gelmektedir. Tüm analog işaretler belirli bir seviyede gürültüye sahiptirler. Temel işaret ile gürültünün birbirinden ayrılması oldukça güçtür. Bu sebepten dolayı gürültü, elemanlar ve bloklar arasında aktarılabilmektedir. Tasarlanan tüm devrelerin işlenen işaret seviyesine göre düşük gürültü seviyesine sahip olması ve bozulma oranının belirli sınır değerlerinin altında kalması beklenmektedir.

Literatür özetinde de ayrıntılı olarak anlatıldığı gibi gerek akım modlu gerekse gerilim modlu şimdiye kadar yapılmış çok fazla analog mikroelektronik devre mevcuttur. Bununla beraber, düşük güç tüketimine sahip olmak, tümleşik devre içerisinde daha az yer kaplamak gibi çağımız kullanıcı elektroniğinin gereksinimlerini karşılayacak araştırmalar ilerleyerek devam etmektedir. Daha az aktif ve/veya pasif eleman içeren, daha az alan kaplayan devrelerin tezde tasarlanması ile bu konudaki ihtiyacın kısmen giderileceği düşünülmektedir.

Özetle yapılan tezde; daha önce literatürde rastlanmamış, literatürdeki diğer devrelere göre daha az eleman kullanılarak tümleşik devre haline getirilebilir analog devre tasarımı öncelikli olarak hedeflenmektedir. Bununla beraber, düşük güç tüketimine sahip, gürültüden ve sıcaklıktan az etkilenen, elektronik olarak ayarlanabilir özelliklerinin, tamamına veya bir kısmına sahip analog devre tasarımı yapmak hedeflenmektedir.

## 2 LİTERATÜR ARAŞTIRMASI

Yapılan tezde, aktif blok yapıları kullanılarak birinci bölümdeki amaçlara uygun olarak analog devre tasarımı gerçekleştirilmiştir. Yukarıda bahsedildiği gibi bu çalışmanın amacı, düşük güç tüketimi, geniş çalışma aralığı ve büyük boyutlu elemanların kullanımından doğan sorunların giderilmesidir.

Bu tezde belirtilen hedefler doğrultusunda kapasite çarpma devreleri, logaritmik yükselteç devreleri ve bobin benzetim devreleri üzerine araştırmalar yapılmıştır. Analog devrelerdeki gelişmelere paralel olarak literatürde son dönemlerde yer alan bu devreler, aktif blok yapıları kullanılarak gerçekleştirilmiştir. Bu sebeplerden dolayı literatür araştırması genel olarak, aktif blok yapıları ve bu yapıların çalışma prensipleri üzerine yapılmıştır.

Aktif blok yapıları, çeşitli matematiksel fonksiyonları gerçekleştirmek için kullanılırlar. Genellikle akım taşıyıcı, gerilim izleyici, yükseltici gibi devrelerde kullanılan aktif blok yapıları, yarı iletken devre elemanları ile gerçekleştirilirler. Kısaca aktif blok yapıları, MOS transistör (MOSFET– Metal Oksit Yarıiletkenli Alan Etkili Transistör) veya BJT tabanlı gerçekleştirilen devrelerdir. Literatür araştırmasında bu iki devre elemanı hakkında da bilgiler verilecektir.

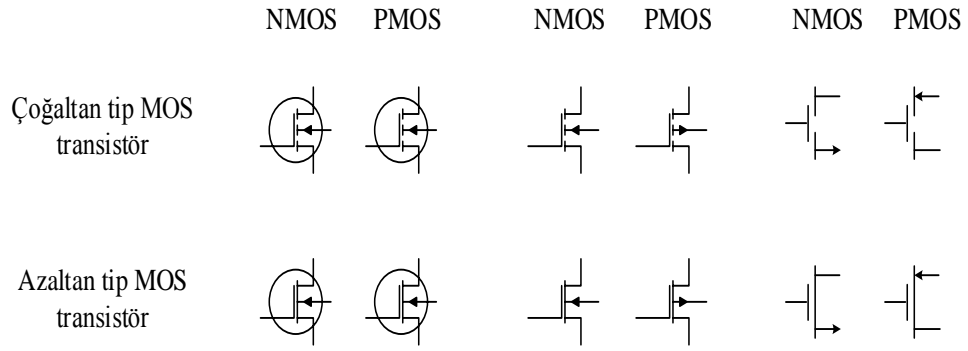
### 2.1 Yarı İletken Devre Elemanları

İki ana tip yarı iletken devre elemanı vardır. Bunlardan biri MOSFET'tir. Bir diğeri ise BJT'dir. Her iki transistör tipi de farklı özelliklere ve uygulama alanlarına sahiptir. Son zamanlarda, MOSFET'ler elektronik devreler üzerinde yaygın bir şekilde kullanılmaktadır (Sedra ve Smith 2010).

#### 2.1.1 MOS Transistör

MOSFET, dört terminalli lineer olmayan akım-gerilim ilişkisine sahip yarı iletken devre elemanıdır. Drain (MOSFET'in D ucu), Gate (MOSFET'in G ucu) ve

Source (MOSFET'in S ucu) Body (MOSFET'in  $B_d$  ucu) MOSFET'in dört terminalidir. MOSFET'ler, azaltan tip MOSFET (D-MOSFET) ve çoğaltan tip MOSFET (E-MOSFET) olmak üzere iki türdür. Bununla beraber her iki tür kendi içinde N kanallı (NMOS) ve P kanallı (PMOS) olmak üzere ikiye ayrılır (Sedra ve Smith 2010). Şekil 2.1'de MOSFET sembolleri gösterilmiştir.



Şekil 2.1: MOSFET sembolleri

NMOS Transistörde, D ve S ucunun topraklandığını ve G ucuna pozitif bir gerilimin uygulandığını varsayalım. Bu durumda, G ucunun hemen altındaki (kanal bölgesindeki) serbest delikler buldukları yerleri terk ederler. Deliklerin terk ettiği bu bölge D ve S tarafındaki elektronlar tarafından doldurulur ve G ucunun altında bir N bölgesi oluşur. Bundan sonra, eğer D ucu ile S ucu arasında bir gerilim farkı uygulanırsa akım akabilecektir. Akımın akması için yeteri kadar elektronun kanal bölgesinde bulunması gerekir. Bunun için G ucuna uygulanan gerilimin, sınır değeri olan eşik geriliminden ( $V_t$ ) büyük olması şarttır. MOSFET'in G ucuna gerilim uygulanmadığı durumda MOSFET, D ucundan S ucuna doğru iki adet sırt sırta bağlanmış diyot gibi davranır. Diyotlar  $N^+$  ile P gövde arasında oluşur. Bu durum,  $V_{DS}$  gerilimi uygulandığında D ile S arasında akım akmasına engel olur. D ile S arasında  $1T\Omega$  değerinde yüksek direnç etkisi gösterir(Sedra ve Smith 2010).

MOSFET'ler yükselteç, anahtarlama ve osilatör devrelerinde kullanılır. RF yükselteçler, anten yükselteçleri, analog anahtarlama devreleri, çoğullayıcı devreleri, güç kaynağı devreleri, akım sınırlayıcı devreleri, faz kaydırmalı osilatör devreleri, Push-Pull devreleri, PWM hız kontrol devreleri gibi devreler bu kullanım alanlarına örnek olarak verilebilir (Demirel 2015).

MOSFET'ler gerilim kontrollü aktif devre elemanlarıdır. MOSFET'in akım değeri MOSFET'in fiziksel büyüklüğüne (MOSFET'in kanal genişliği ve boyu) ve yapısına bağlıdır. Güç tüketiminin az olması ve mekanik dayanımlarının fazla olması tercih edilme sebebidir (Demirel 2015). MOSFET'ler sıcaklık değişimlerinden etkilenirler. Bu etkinin sebebi MOSFET'in akım-gerilim denklemlerinde yer alan  $V_t$  geriliminden ve  $k'$  ifadesinden kaynaklanmaktadır (Sedra ve Smith 2010). Buna ek olarak MOSFET'ler hassas yapıda oldukları için statik elektriklenmelerden de etkilenirler (Demirel 2015).

MOSFET'lerin üç çalışma modu vardır. Bunlar kesim, lineer ve doyum modlarıdır.

#### 2.1.1.1 MOSFET Çalışma Modları

MOSFET'ler yükselteç amaçlı kullanılacaksa doyum modunda, anahtarlama amaçlı kullanılacaksa kesim ve lineer çalışma modlarında kullanılırlar (Sedra ve Smith 2010). NMOS transistörde akım D ucundan S ucuna doğru akar ve  $V_t$  gerilimi pozitifdir. PMOS transistörde ise akım S ucundan D ucuna doğru akar ve  $V_t$  gerilimi negatiftir.

##### 2.1.1.1.1 Kesim Modu

MOSFET'in G ucu ile S ucu arasındaki gerilim eğer eşik geriliminin altında ise kanal oluşmayacaktır. Bu sebepten dolayı akım akışı meydana gelmeyecektir (Sedra ve Smith 2010).

$$V_{GS} < V_t \quad (2.1)$$

$$i_D = 0 \quad (2.2)$$

Buradan da anlaşılacağı üzere MOSFET'ten akım akması isteniyorsa G ucuna eşik geriliminden büyük gerilim uygulanmalıdır. Aksi takdirde MOSFET'ten akım akmayacaktır.

### 2.1.1.1.2 Lineer Modu

NMOS'un lineer modda çalışabilmesi için iki şartın sağlanması gerekir. Bu şartlar Denklem (2.3) ve Denklem (2.4) ile verilmiştir.  $v_{GS}$  gerilimi  $V_t$  geriliminden büyük ise ve D ucunun gerilimi, G ucunun geriliminden en az  $V_t$  kadar küçük ise N kanallı MOSFET lineer bölgede çalışır (Sedra ve Smith 2010).

$$v_{GS} \geq V_t \quad (2.3)$$

$$v_{DS} < v_{GS} - V_t \rightarrow v_{GD} > V_t \quad (2.4)$$

$$i_D = k'_n \frac{W}{L} \left[ (v_{GS} - V_t) v_{DS} - \frac{1}{2} v_{DS}^2 \right] \quad (2.5)$$

$$k'_n = \mu_n C_{OX} \quad (2.6)$$

Bu çalışma modunda akım gerilim ilişkisi Denklem (2.5)'te verilmiştir. Burada; W MOSFET'in kanal genişliğini, L MOSFET'in kanal boyunu,  $\mu_n$  elektronların kanal içindeki hareketlilik katsayısını,  $C_{OX}$  MOSFET'in birim alan kapasitif etkisini temsil eder.

NMOS'un akım gerilim ilişkisini incelediğimizde, Denklem (2.5)'te de görüldüğü gibi  $v_{GS}$  gerilimi artırılırsa  $i_D$  akımı da lineer bir şekilde artmaktadır. Ancak bu durum sabit  $v_{DS}$  gerilimi ile mümkündür.

PMOS'un lineer modda çalışabilmesi için iki şartın sağlanması gerekir. Bu şartlar Denklem (2.7) ve Denklem (2.8) ile verilmiştir.  $v_{GS}$  gerilimi  $V_t$  geriliminden küçük ise ve D ucunun gerilimi G ucunun geriliminden en az  $|V_t|$  kadar büyük ise MOSFET lineer bölgede çalışır (Sedra ve Smith 2010).

$$v_{GS} \leq V_t \quad (2.7)$$

$$v_{DS} \geq v_{GS} - V_t \rightarrow v_{GD} \leq V_t \quad (2.8)$$

$$i_D = k'_p \frac{W}{L} \left[ (v_{GS} - V_t) v_{DS} - \frac{1}{2} v_{DS}^2 \right] \quad (2.9)$$

$$k'_p = \mu_p C_{OX} \quad (2.10)$$

Bu çalışma modunda akım gerilim ilişkisi Denklem (2.9)'da verilmiştir. Burada; W MOSFET'in kanal genişliğini, L MOSFET'in kanal boyunu,  $\mu_p$  deliklerin



kanal içindeki hareketlilik katsayısını,  $C_{OX}$  MOSFET'in birim alan kapasitif etkisini temsil eder.

PMOS'un akım gerilim ilişkisini incelediğimizde, Denklem (2.9)'da da görüldüğü gibi  $v_{GS}$  gerilimi artırılırsa  $i_D$  akımı da lineer bir şekilde artmaktadır. Ancak bu durum sabit  $v_{DS}$  gerilimi ile mümkündür.

### 2.1.1.1.3 Doyum Modu

NMOS'un doyum modunda çalışabilmesi için iki şartın sağlanması gerekir. Bu şartlar Denklem (2.11) ve Denklem (2.12) ile verilmiştir.  $v_{GS}$  gerilimi  $V_t$  geriliminden büyük ise ve D ucunun gerilimi, G ucunun geriliminden en fazla  $V_t$  kadar küçük ise N kanallı MOSFET doyum bölgesinde çalışır (Sedra ve Smith 2010).

$$v_{GS} \geq V_t \quad (2.11)$$

$$v_{DS} \geq v_{GS} - V_t \rightarrow v_{GD} \leq V_t \quad (2.12)$$

$$i_D = \frac{1}{2} k'_n \frac{W}{L} (v_{GS} - V_t)^2 \quad (2.13)$$

$$k'_n = \mu_n C_{OX} \quad (2.14)$$

Bu çalışma modunda akım gerilim ilişkisi Denklem (2.13)'te verilmiştir. Burada;  $W$  MOSFET'in kanal genişliğini,  $L$  MOSFET'in kanal boyunu,  $\mu_n$  elektronların kanal içindeki hareketlilik katsayısını,  $C_{OX}$  MOSFET'in birim alan kapasitif etkisini temsil eder.

NMOS'un akım gerilim ilişkisini incelediğimizde, Denklem (2.13)'te de görüldüğü gibi  $v_{GS}$  gerilimi artırıldıkça  $i_D$  akımına da üstel bir şekilde artmaktadır.

PMOS'un doyum modunda çalışabilmesi için iki şartın sağlanması gerekir. Bu şartlar Denklem (2.15) ve Denklem (2.16) ile verilmiştir.  $v_{GS}$  gerilimi  $V_t$  geriliminden büyük ise ve D ucunun gerilimi, G ucunun geriliminden en fazla  $|V_t|$  kadar büyük ise P kanallı MOSFET doyum bölgesinde çalışır (Sedra ve Smith 2010).

$$v_{GS} \leq V_t \quad (2.15)$$

$$v_{DS} \leq v_{GS} - V_t \rightarrow v_{GD} \geq V_t \quad (2.16)$$

$$i_D = \frac{1}{2} k'_p \frac{W}{L} (v_{GS} - V_t)^2 \quad (2.17)$$

$$k'_p = \mu_p C_{OX} \quad (2.18)$$

Bu çalışma modunda akım gerilim ilişkisi Denklem (2.17)'de verilmiştir. Burada; W MOSFET'in kanal genişliğini, L MOSFET'in kanal boyunu,  $\mu_p$  deliklerin kanal içindeki hareketlilik katsayısını,  $C_{OX}$  MOSFET'in birim alan kapasitif etkisini temsil eder.

PMOS'un akım gerilim ilişkisini incelediğimizde, Denklem (2.17)'de de görüldüğü gibi  $v_{GS}$  gerilimi artırılırsa  $i_D$  akımı da üstel bir şekilde artmaktadır.

MOSFET doyum bölgesinde çalışırken sonlu çıkış direnci etkisi gösterir. Bu olaya kanal boyu modülasyon etkisi denir. Sonlu çıkış direnci  $r_O$  ile gösterilmektedir ve Denklem (2.19) ile gösterilir. Bu etki  $v_{DS}$  gerilim değeri artmasıyla,  $i_D$  akımının değerinin de küçük ve sabit bir eğim ile artmasıyla oluşur. Bu durum şu şekilde oluşur:  $v_{DS}$  gerilimi artıkça minimum kanal genişliğine ulaşan nokta D tarafından S tarafına doğru kayar. Böylece kanalın genişliği azalır ve  $i_D$  akımının değeri artar. Denklem (2.13) ve Denklem (2.17)'de kanal boyu modülasyon etkisi ihmal edilmiştir (Sedra ve Smith 2010).

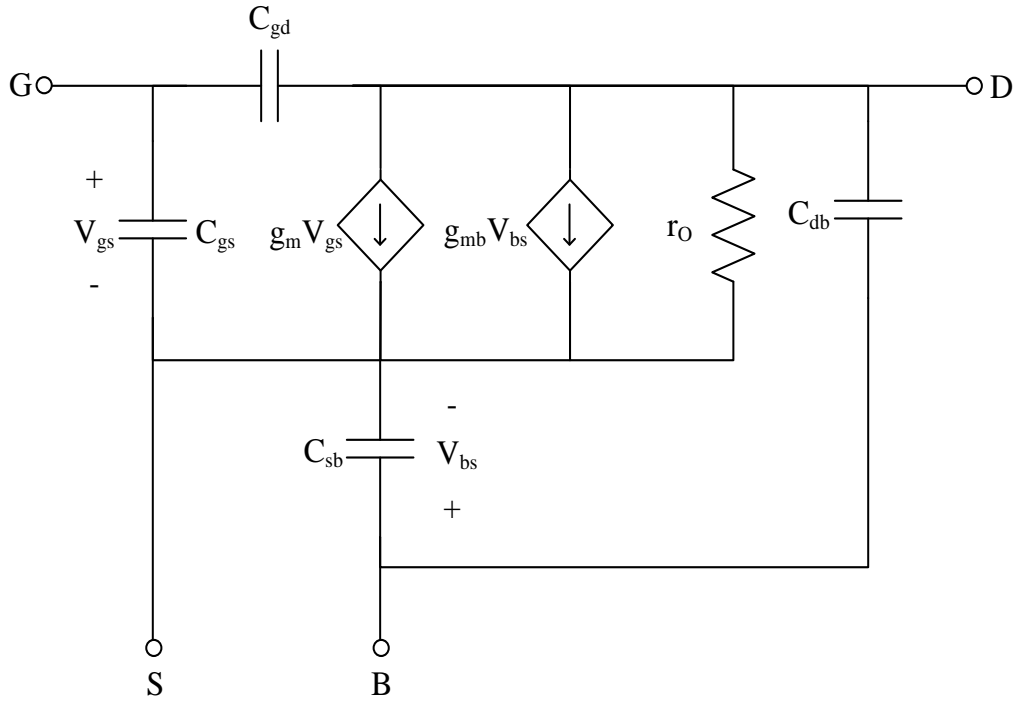
$$r_O = \frac{V_A}{I_D} \quad (2.19)$$

$$V_A = \frac{1}{\lambda} \quad (2.20)$$

### 2.1.1.2 MOSFET Yüksek Frekans Modeli

MOSFET'lerin yüksek frekans modelleri devrelerin frekans cevabı sınırlarını göstermektedir. Tasarımcıların frekans cevabı sınırlarını tam olarak görebilmek için devrelerinde MOSFET'lerin iç kapasitelerini kullanmaları gerekmektedir. Bu kapasiteler kullanılmadığında tasarlanan devrenin çalışma aralıkları doğru bir şekilde gösterilemez (Sedra ve Smith 2010).

MOSFET'lerin iç kapasitelerinin temelde iki tipi vardır. Bunlar G bölgesi kapasitif etkisi ve B bölgesi kapasitif etkisidir. G bölgesi kapasitif etkisi, G ucu elektrotunun ortadaki G ucu oksiti ile beraber paralel plaka kapasitesi oluşturması ile ortaya çıkar. B bölgesi kapasitif etkisi ise, ters kutuplamada oluşan S-B ile D-B uçları arasındaki PN eklemi ile ortaya çıkar (Lu 2007).



Şekil 2.2: MOSFET yüksek frekans modeli

G bölgesi kapasitif etkisi ile ortaya çıkan kapasitelerin denklemleri Tablo 2.1'de verilmiştir. Burada  $C_{ov} = WL_{ov}C_{ox}$  ile gösterilir ve taşıma kapasitesi olarak ifade edilir. G-S arasında oluşan kapasite  $C_{gs}$ , G-D arasında oluşan kapasite  $C_{gd}$ , ve G-B arasında oluşan kapasite  $C_{gb}$ 'dir.  $C_{ox}$  MOSFET'in birim alan kapasitif etkisidir (Patel 2007).

Tablo 2.1: G bölgesi kapasitif etkisi sonucu ortaya çıkan iç kapasitelerin denklemleri

Çalışma Modu	Kesim Modu	Lineer Mod	Doyum Modu
MOSFET'in iç kapasiteleri	$C_{gs} = C_{gd} = C_{ov}$ $C_{gb} = WLC_{ox}$	$C_{gs} = C_{gd} = \frac{1}{2}WLC_{ox} + C_{ov}$	$C_{gs} = \frac{2}{3}WLC_{ox} + C_{ov}$ $C_{gd} = C_{ov}$

B bölgesi kapasitif etkisi ile ortaya çıkan kapasitelerin eşitlikleri Denklem (2.21) ve Denklem (2.22) ile gösterilmiştir.  $C_{sb}$  S-B arasında oluşan kapasite iken  $C_{db}$  D-B arasında oluşan kapasitedir (MacEachern 2003).

$$C_{jSB} = \frac{C_j}{\left(1 - \frac{V_{BS}}{\phi_j}\right)^{m_j}} \quad (2.21)$$

$$C_{jDB} = \frac{C_j}{\left(1 - \frac{V_{DB}}{\phi_j}\right)^{m_j}} \quad (2.22)$$

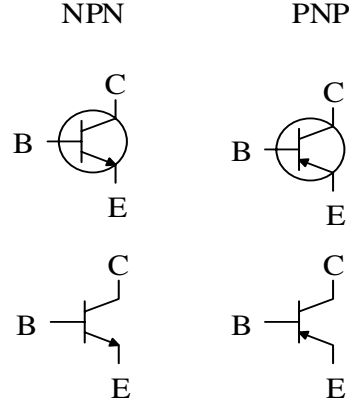
$$C_j = \sqrt{\frac{\epsilon_{si} q N_B}{2\phi_j}} \quad (2.23)$$

Burada  $m_j$  1/3 ile 1/2 arasında bir değerdir ve üretim yöntemine bağlıdır.  $\phi_j$ , yüzey birleşim potansiyeli,  $\epsilon_{si}$  silikonun dielektrik sabiti,  $q$  ise elektrik yükü,  $N_B$  ise B bölgesi katkı maddesi sabitidir (MacEachern 2003).

### 2.1.2 BJT

BJT, üç terminalli lineer olmayan akım-gerilim ilişkisine sahip yarı iletken devre elemanıdır. Kollektör (BJT'nin C ucu), Baz (BJT'nin B ucu) ve Emiter (BJT'nin E ucu) BJT'nin üç terminalidir. BJT, NPN ve PNP olmak üzere ikiye ayrılır. BJT'ler yükselteç, anahtarlama ve osilatör devrelerinde kullanılırlar.

Şekil 2.3'te BJT sembolleri gösterilmiştir. Dikkat edilecek olursa E ucunda bir ok bulunmaktadır. Bu okun yönü BJT'nin tipini belirtmektedir.



Şekil 2.3: BJT sembolleri

NPN Transistörde, kollektör geriliminin ( $V_C$ ) baz geriliminden ( $V_B$ ) daha pozitif olmasından dolayı E bölgesinden gelen elektronlar C-B eklemeni geçerek C bölgesine geçerler. Bu durum kollektör akımını ( $i_C$ ) oluşturur (Sedra ve Smith 2010).

$$i_C = I_S e^{\frac{V_{BE}}{V_T}} \quad (2.24)$$

Denklem (2.24)'te de görüldüğü gibi  $i_C$  akımı,  $v_{CB}$  geriliminden bağımsızdır. Doyma akımı ( $I_S$ ) B bölgesinin kalınlığı ile ters orantılı, E-B eklemesinin alanı ile doğru orantılıdır.  $I_S$  doyma akımı,  $10^{-12}$ A ile  $10^{-18}$ A arasında büyüklüğe sahiptir.

Baz akımı ( $i_B$ ) iki bileşenden oluşur. Bunlardan birincisi  $i_{B1}$ , B bölgesindeki deliklerin E bölgesine geçmesi ile oluşur. İkincisi ise  $i_{B2}$ , yeniden toparlanma ile kaybolan deliklerin yerine geçmesi için, harici devre tarafından beslenen deliklerin sağlanması ile oluşur (Sedra ve Smith 2010).

$$i_B = \frac{I_S}{\beta} e^{\frac{V_{BE}}{V_T}} \quad (2.25)$$

$$i_C = \beta i_B \quad (2.26)$$

Denklem (2.25)'teki  $\beta$  akım kazancıdır ve sabit bir değerdir. Genellikle 50-200 arasında değer alır.  $\beta$ , B bölgesinin genişliğine ve E ile B bölgelerinin katkı oranına bağlıdır.

Emiter akımı ( $i_E$ ) ise,  $i_B$  ile  $i_C$  akımlarının toplamına eşittir.

### 2.1.2.1 BJT'nin Çalışma Modları

BJT iki adet PN ekleminden oluşmaktadır. Bunlar E-B eklemi (EBJ) ve C-B eklemi (CBJ)'dir. Her bir eklem için ileri yön kutuplama ve ters yön kutuplama olmak üzere iki adet durumu vardır. BJT'nin çalışma modları ve her bir eklem için durumu Tablo 2.2'de ayrıntılı olarak verilmiştir (Sedra ve Smith 2010).

Tablo 2.2: Eklem tipine göre BJT'nin çalışma modları

Çalışma Modu	Eklem Tipi	
	EBJ	CBJ
Kesim	Ters Yön	Ters Yön
Aktif	İleri Yön	Ters Yön
Ters Aktif	Ters Yön	İleri Yön
Doyum	İleri Yön	İleri Yön

#### 2.1.2.1.1 BJT'nin Kesim Modu Çalışması

BJT'nin kesim modunda çalışması için EBJ'nin ve CBJ'nin ters yönde kutuplanması yapılmalıdır. Bu modda  $i_B$  akımı akmamaktadır. BJT'nin kesim modunda çalışması için gerekli şartlar Tablo 2.3'te verilmiştir (Sedra ve Smith 2010).

Tablo 2.3: BJT'nin kesim modunda çalışması için gerekli şartlar

Şartlar	NPN	PNP
EBJ ters yönde	$v_{BE} < v_{BEon}$ $v_{BEon} \cong 0.5$	$v_{EB} < v_{EBon}$ $v_{EBon} \cong 0.5$
CBJ ters yönde	$v_{BC} < v_{BCon}$ $v_{BCon} \cong 0.4$	$v_{CB} < v_{CBon}$ $v_{CBon} \cong 0.5$

Kesim modunda  $i_B = 0$  olduğu için Denklem (2.26)'ya göre  $i_C$  akımı da sıfır olur. Bu durumda BJT'nin yük direnci  $R_C$  ( $V_C$  geriliminin  $I_C$  akımına bölünmesiyle bulunur) sonsuzdur (Kaplan 2009).

### 2.1.2.1.2 BJT'nin Aktif Mod Çalışması

BJT'nin aktif modda çalışması için EBJ'nin ileri yönde ve CBJ'nin ters yönde kutuplaması yapılmalıdır. Bu modda  $i_B$  akımı sıfırdan büyüktür. BJT'nin aktif modda çalışması için gerekli şartlar Tablo 2.4'te verilmiştir (Sedra ve Smith 2010).

Tablo 2.4: BJT'nin aktif modda çalışması için gerekli şartlar

Şartlar	NPN	PNP
EBJ ileri yönde	$v_{BE} > V_{BEon}$ $V_{BEon} \cong 0.5$	$v_{EB} > V_{EBon}$ $V_{EBon} \cong 0.5$
CBJ ters yönde	$v_{BC} \leq V_{BCon}$ $V_{BCon} \cong 0.4$	$v_{CB} \leq V_{CBon}$ $V_{CBon} \cong 0.5$

BJT'nin bu moddaki akım-gerilim ilişkisi Denklem (2.27) ile verilmiştir. Burada  $v_{BE}$  gerilimi arttıkça  $i_C$  akımı da üstel bir şekilde artmaktadır.

$$i_C = I_S e^{\frac{v_{BE}}{V_T}} \quad (2.27)$$

### 2.1.2.1.3 BJT'nin Ters Aktif Mod Çalışması

BJT'nin ters aktif modda çalışması için EBJ'nin ters yönde ve CBJ'nin ileri yönde kutuplaması yapılmalıdır. Diğer bir ifade ile BJT'nin C ve E bölgeleri yer değiştirilerek kullanılırsa BJT ters aktif modda çalışır. E ve C bölgelerindeki katkılama aynı olmadığı için bu moddaki çalışması aktif moddan farklıdır. BJT'nin ters aktif modda çalışması için gerekli şartlar Tablo 2.5'te verilmiştir (Sedra ve Smith 2010).

Tablo 2.5: BJT'nin ters aktif modda çalışması için gerekli şartlar

Şartlar	NPN	PNP
EBJ ters yönde	$v_{BE} < V_{BEon}$ $V_{BEon} \cong 0.5$	$v_{EB} < V_{EBon}$ $V_{EBon} \cong 0.5$

CBJ ileri yönde	$v_{BC} > V_{BCon}$ $V_{BCon} \cong 0.4$	$v_{CB} > V_{CBon}$ $V_{CBon} \cong 0.5$
-----------------	---	---

#### 2.1.2.1.4 BJT'nin Doyum Modu Çalışması

BJT'nin doyum modunda çalışması için EBJ'nin ve CBJ'nin ileri yönde kutuplaması yapılmalıdır. BJT'nin doyum modunda çalışması için gerekli şartlar Tablo 2.6'da verilmiştir.

Tablo 2.6: BJT'nin doyum modunda çalışması için gerekli şartlar

Şartlar	NPN	PNP
EBJ ileri yönde	$v_{BE} > V_{BEon}$ $V_{BEon} \cong 0.5$	$v_{EB} > V_{EBon}$ $V_{EBon} \cong 0.5$
CBJ ileri yönde	$v_{BC} > V_{BCon}$ $V_{BCon} \cong 0.4$	$v_{CB} > V_{CBon}$ $V_{CBon} \cong 0.5$

BJT'ye uygulanan  $i_B$  akımı artırıldığında  $i_C$  akımı da artacaktır. Bu durumda  $V_{CE}$  gerilimi düşecektir.  $V_{CE}$  gerilimi, doyum gerilimine ( $V_{CEsat}$ ) ulaştığında,  $i_B$  artmaya devam etse bile  $i_C$  artmayacaktır. Bu durumda Denklem (2.26)'daki eşitlik kaybolacak ve ortaya yeni bir akım kazancı çıkacaktır. Bu akım kazancı  $\beta_{forced}$  ile gösterilir. Doyumdaki kollektör akımı  $i_{Csat}$  ile ifade edilir ve Denklem (2.30) ile gösterilir (Kaplan 2009).

$$NPN \rightarrow V_{CEsat} = 0.1 - 0.2V \quad (2.28)$$

$$PNP \rightarrow V_{ECsat} = 0.1 - 0.2V \quad (2.29)$$

$$i_{Csat} = \beta_{forced} i_B \quad (2.30)$$

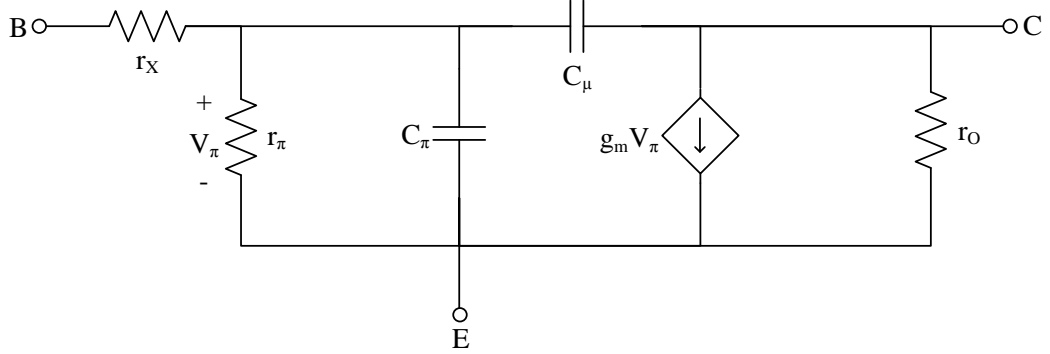
$$\beta_{forced} < \beta \quad (2.31)$$

#### 2.1.2.1.5 BJT'nin Yüksek Frekans Analizi

Birçok devrede BJT kazancı, yüksek frekanslarda düşmektedir. Buna, BJT'nin dahili kapasiteleri sebep olmaktadır. Bu parazitik kapasiteler,  $C_{\pi}$  ve  $C_{\mu}$



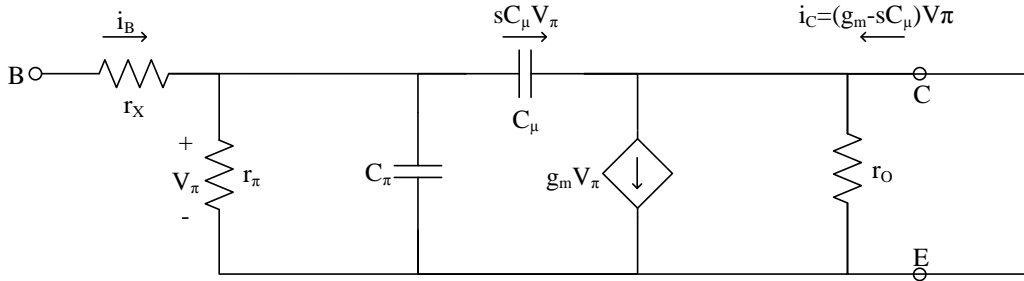
olarak adlandırılırlar. BJT'nin yüksek frekans modeli Şekil 2.4'te gösterilmiştir (Sedra ve Smith 2010).



Şekil 2.4: BJT'nin yüksek frekans modeli

$C_{\pi}$ , B-E arasındaki kapasitif etki iken  $C_{\mu}$ , B-C arasındaki kapasitif etkidir.  $r_x$  ise B bölgesi direncini temsil eder. BJT'nin dahili kapasiteleri devrenin yüksek frekans performansı üzerinde güçlü bir etkiye sahiptir. Bu kapasiteler, baz sinyallerini zayıflatırlar. Bununla beraber,  $v_{BE}$  gerilimini azaltırlar. Kazancın düşmesinin başlıca nedeni  $C_{\mu}$  parazitik kapasitesidir (Laker 2008).

BJT'nin, Denklem (2.26)'da belirtilen eşitliği yüksek frekanslarda geçerli değildir. Çünkü yüksek frekanslarda  $\beta$ , akım kazancı frekansa bağımlıdır. Dahili kapasitelerin  $\beta$ 'ya etkisini görmek için E-C uçları kısa devre edilir ve devrenin frekansa bağlı akım kazancı bulunur. Şekil 2.5'te E-C uçları kısa devre edilmiş BJT'nin yüksek frekans modeli verilmiştir (Laker 2008).



Şekil 2.5: E-C uçları kısa devre edilmiş BJT'nin yüksek frekans modeli

$$i_C = (g_m - sC_{\mu})V_{\pi} \quad (2.32)$$

$$i_{C_{\mu}} = sC_{\mu} V_{\pi} \quad (2.33)$$

$$V_{\pi} = i_B (r_{\pi} // C_{\pi} // C_{\mu}) \quad (2.34)$$

$$\beta = \frac{i_C}{i_B} \quad (2.35)$$

$$\beta = \frac{g_m r_{\pi}}{1 + s(C_{\pi} + C_{\mu})r_{\pi}} \quad (2.36)$$

$$\beta_0 = g_m r_{\pi} \quad (2.37)$$

$$\omega_{\beta} = \frac{1}{(C_{\pi} + C_{\mu})r_{\pi}} \quad (2.38)$$

$$\omega_T = \beta_0 \omega_{\beta} \quad (2.39)$$

Burada  $\beta$  ve  $\beta_0$  sırasıyla yüksek frekanslardaki akım kazancı ve düşük frekanslardaki akım kazancıdır.  $\omega_{\beta}$ , kesim frekansının 3 dB olduğu değerdir.  $\omega_T$ , birim kazancın olduğu değerdir (Laker 2008).

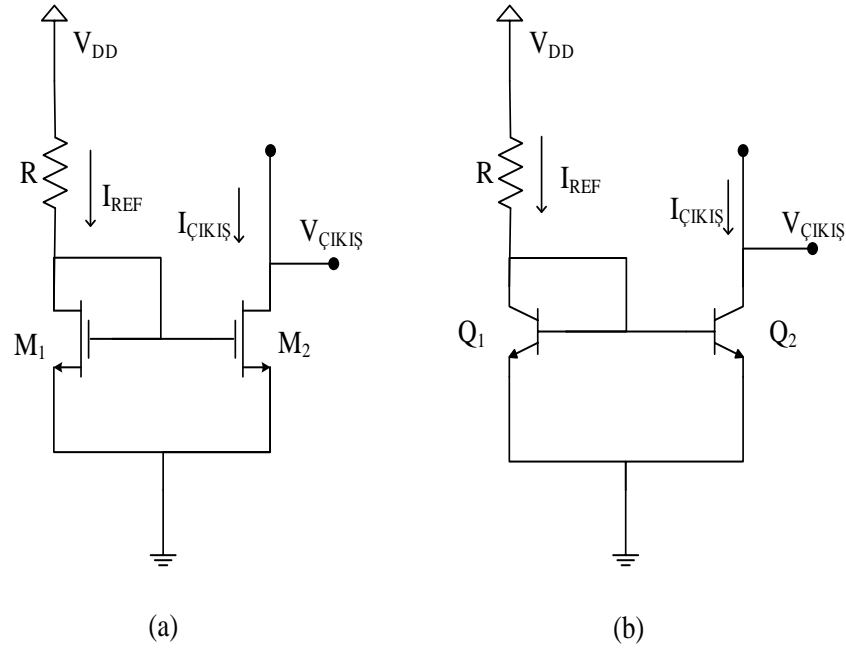
### 2.1.3 Yarı İletken Devre Elemanları Kullanılarak Yapılan Temel Devreler

İki ana yarı iletken devre elemanı olan MOSFET ve BJT ile yapılabilecek birçok devre bulunmaktadır. Bu devreler arasında, akım kaynağı devresi ve akım aynası devresi en yaygın olarak kullanılan temel devrelerdir. Bu devreler hemen hemen tüm tümleşik devre elemanlarının iç yapısında kullanılır. Bu sebeplerden dolayı bu temel devreler bu bölümde incelenmiştir.

#### 2.1.3.1 Akım Kaynağı ve Akım Aynası Devresi

Tümleşik devre haline getirilebilir devre tasarımlarında kutuplama, sabit akım kaynağı kullanılarak gerçekleştirilebilir. Çok sayıda yükseltici devre grubu içeren tümleşik devre haline getirilebilir devrede (IC – Integrated Circuit), sabit bir akım kaynağı (referans akımı olarak da bilinir) tek bir yerde üretilir ve daha sonra akım yönlendirmesi olarak da bilinen bir işlem sonucuyla, çeşitli yerlerdeki çeşitli yükseltici devre gruplarına kutuplama için çoğaltılır. Bu girişimin bazı avantajları vardır. Bunlar; öngörülebilir ve kararlı bir referans akımı üretme, genellikle bir yongada veya yonga üzerindeki özel bir devredeki hassas harici direnç kullanımı ve

her yükseltici devre grupları için tekrar edilmesine ihtiyaç duyulmaması gibi avantajlardır. Dahası, çeşitli devrelerdeki kutuplama akımları, sıcaklık veya güç kaynağı geriliminin değişimi durumlarında bile birbirini izlemektedir. Şekil 2.6'da MOSFET ve BJT kullanarak gerçekleştirilmiş basit akım kaynağı devreleri verilmiştir (Sedra ve Smith 2010).



Şekil 2.6: (a) MOSFET ile yapılmış basit bir akım kaynağı ve akım aynası devresi, (b) BJT ile yapılmış basit bir akım kaynağı ve akım aynası devresi (Sedra ve Smith 2010)

Aktif devre elemanları kullanılarak yapılan akım aynaları, analog tümleşik devre haline getirilebilir devrelerde hem devre elemanlarını kutuplama hem de yükseltici devre grupları için yük elemanı olmada yaygın olarak kullanılmıştır. Kutuplamada kullanılan akım aynaları, çeşitli güç kaynağı gerilimlerinde ve sıcaklıklarda devre performansının etkilenmemesini sağlamaktadır. Akım aynaları, özellikle küçük kutuplama akımına gereksinim duyulduğunda belli bir kutuplama akımı değerini sağlamak için daha az alan kaplaması bakımından dirençlere göre daha avantajlıdır. Transistörlü yükselticilerde yük elemanı kullanıldığında ve/veya düşük güç kaynağı gerilimlerinde akım aynasının artan yüksek direnci, yüksek gerilim kazancı sağlar. Şekil 2.6'da BJT ve MOSFET ile yapılmış olan akım aynaları gösterilmiştir (Gray ve diğ. 2009).

MOSFET'ler için Şekil 2.6'da gösterilen akım kaynağı ve akım aynası devresinin analizleri aşağıda gösterildiği gibi yapılmaktadır.

Şekil 2.6 a'da  $M_1$ 'den akan akım  $I_{D1}$ ,  $M_2$ 'den akan akım  $I_{D2}$  olsun.  $I_{REF}$ , referans akımı olup R direnci üzerinden akan akımdır. Çıkış akımı ise  $M_2$ 'den geçen akıma eşittir.

$$I_{REF} = I_{D1} \quad (2.40)$$

$$I_{ÇIKIŞ} = I_{D2} \quad (2.41)$$

$$V_{GS1} = V_{GS2} \quad (2.42)$$

$$I_{D1} = \frac{1}{2} k'_{n1} \frac{W_1}{L_1} (V_{GS1} - V_t)^2 \quad (2.43)$$

$$I_{D2} = \frac{1}{2} k'_{n2} \frac{W_2}{L_2} (V_{GS2} - V_t)^2 \quad (2.44)$$

Denklem (2.43) ve Denklem (2.44)'te kanal boyu modülasyon etkisi yok sayılırsa sırasıyla Denklem (2.45) ve Denklem (2.46) elde edilir.

$$I_{D1} = \frac{1}{2} \frac{W_1}{L_1} (V_{GS1} - V_t)^2 \quad (2.45)$$

$$I_{D2} = \frac{1}{2} \frac{W_2}{L_2} (V_{GS2} - V_t)^2 \quad (2.46)$$

Burada  $I_{D1}$  ve  $I_{D2}$  oranlanırsa Denklem (2.47) elde edilir.

$$I_{D2} = I_{D1} \frac{W_2}{W_1} \frac{L_1}{L_2} \quad (2.47)$$

$$I_{ÇIKIŞ} = I_{REF} \frac{W_2}{W_1} \frac{L_1}{L_2} \quad (2.48)$$

$$I_{REF} = \frac{V_{DD} - V_{D1}}{R} = \frac{V_{DD} - V_{G1}}{R} \quad (2.49)$$

$$I_{ÇIKIŞ} = \frac{V_{DD} - V_{G1}}{R} \frac{W_2}{W_1} \frac{L_1}{L_2} \quad (2.50)$$

Şekil 2.6 a'daki devrenin akım kaynağı olarak davranışı Denklem (2.50)'de gösterilmiştir.

Denklem (2.48)'de  $W_1 = W_2$  ve  $L_1 = L_2$  birbirine eşit seçilirse, yani  $M_1$  ve  $M_2$  MOSFET'lerinin en boy oranları birbirine eşit olursa çıkış akımı referans akımına eşit olur ve devre akım aynası olarak davranır. Bu durum Denklem (2.51)'de gösterilmiştir.

$$I_{\text{ÇIKIŞ}} = I_{D_2} = I_{D_1} = I_{\text{REF}} \quad (2.51)$$

Şekil 2.6 b'de  $Q_1$ 'den akan akım  $I_{C_1}$ ,  $Q_2$ 'den akan akım  $I_{C_2}$  olsun.  $I_{\text{REF}}$ , referans akımı olup R direnci üzerinden aktığını varsayalım. Çıkış akımı  $Q_2$ 'den geçen akıma eşittir.

$$I_{\text{REF}} = I_{C_1} \quad (2.52)$$

$$I_{\text{ÇIKIŞ}} = I_{C_2} \quad (2.53)$$

$$V_{BE_1} = V_{BE_2} \quad (2.54)$$

$$I_{C_1} = I_{S_1} e^{\frac{V_{BE_1}}{V_t}} \quad (2.55)$$

$$I_{C_2} = I_{S_2} e^{\frac{V_{BE_2}}{V_t}} \quad (2.56)$$

Her iki BJT'ye ait  $V_{BE}$  gerilimleri birbirine eşittir. Burada BJT'lerin eş seçildiğini farz edelim. Bu durumda  $Q_1$  ve  $Q_2$ 'ye ait  $I_S$  doyma akımları eşit olur.  $I_{S_1} = I_{S_2}$  olduğu varsayıldıktan sonra  $I_{C_1}$  ve  $I_{C_2}$  birbirine oranlanırsa Denklem (2.58) elde edilir.

$$I_{C_2} = I_{C_1} \frac{I_{S_2} e^{\frac{V_{BE_2}}{V_t}}}{I_{S_1} e^{\frac{V_{BE_1}}{V_t}}} \quad (2.57)$$

$$I_{C_2} = I_{C_1} \quad (2.58)$$

$$I_{\text{ÇIKIŞ}} = I_{\text{REF}} \quad (2.59)$$

Denklem (2.59)'da da görüldüğü gibi referans akımı çıkış akımına eşittir. Dolayısıyla devre akım aynası olarak davranır. BJT'lerin birbirine eşit olmadığını göz önünde bulundurursak  $I_{S_1} \neq I_{S_2}$  olduğu için aşağıdaki denklemler elde edilir.

$$I_{C_2} = I_{C_1} \frac{I_{S_2}}{I_{S_1}} \quad (2.60)$$

$$I_{REF} = \frac{V_{DD} - V_{C_1}}{R} = \frac{V_{DD} - V_{B_1}}{R} \quad (2.61)$$

$$I_{ÇIKIŞ} = \frac{V_{DD} - V_{B_1}}{R} \frac{I_{S_2}}{I_{S_1}} \quad (2.62)$$

Şekil 2.6 b'deki devrenin akım kaynağı olarak davranışı Denklem (2.62)'de gösterilmiştir.

## 2.2 Neden Analog Devre?

1980'lerin başlarında, birçok uzmanın analog devreleri terk edeceği tahmin edilmekteydi. IC teknolojisinin, sayısal sinyal işleme algoritmalarının uygulamalarını öz ve etkili bir şekilde sağlaması ile elde edilen avantajlar bu algoritmaları, artan bir şekilde daha güçlü hale getirmiştir. Analog formda geleneksel olarak gerçekleştirilen birçok fonksiyon, sayısal ortamda daha kolay bir şekilde gerçekleştirilebilir olmuştur (Razavi 2001).

1980'lerin başlarından itibaren sayısal sinyal işleme ve IC teknolojisi, içerisinde milyonlarca transistör barındıran ve saniyeler içerisinde milyarlarca uygulamayı gerçekleştirecek işlemciler üretecek kadar büyük ölçüde gelişmesi analog tasarımcıların son zamanlarda daha istekli olmasının sebep olmuştur. Sinyal işlemenin birçok türünün aslında sayısal ortama geçmesine rağmen, esasen bugünün karmaşık ve yüksek performans gerektiren sistemlerinde analog devrelere ihtiyaç olduğu kanıtlanmıştır (Razavi 2001). Bunlardan bazıları alt başlıklar halinde verilmiştir.

### 2.2.1 Doğal Sinyallerin İşlenmesi İçin Dönüştürücüler

Doğal olarak meydana gelen sinyaller analog sinyallerdir. Orkestra sesini alan yüksek kalite mikrofon, genliği birkaç mikro volttan yüzlerce mili volta kadar olan gerilimleri üretebilir. Video kameradaki fotoseller, mikro saniyelerde birkaç elektron

kadar düşük akım üretirler. Sismografi sensörü, dünyadaki çok küçük titreşimlerden elde edilen birkaç mikro volt gerilim seviyesi ile güçlü depremlerden elde edilen yüzlerce mili volt gerilim seviyeleri arasında çıkış gerilimi üretir. Tüm bu sinyallerin sayısal ortamda daha kapsamlı işlenmesinden beri, uzmanlar bu sistemlerin her birinin analog sayısal çevirici (ADC - Analog to Digital Converter) ve sayısal sinyal işlemcisi (DSP - Digital Signal Processor) içermesi gerektiğine riayet ettiler. Yüksek hızlı, yüksek hassasiyetli, düşük güç tüketimli ADC'lerin tasarımları, analog tasarımlar arasındaki birçok zorluktan biridir (Razavi 2001).

### **2.2.2 Sayısal İletişim**

İkili verilerden oluşturulan çeşitli sistemlerin bazen uzun mesafeler boyunca iletilmesi gerekebilir. Mesela, büyük ofis binalarındaki bilgisayar ağları, yüzlerce metre uzunluğundaki kablolar ile veri aktarımı yapabilmelidir. Yüksek kalite ikili veri iletimi bu uzun kablolar ile taşınırsaydı, sinyalin kalitesinde bozulmalar ile azalmalar oluşur ve artık bu sinyaller sayısal sinyale benzeyemezlerdi. Böylece bu sistemlerin ADC gibi alıcılara ihtiyaçları olur (Razavi 2001).

### **2.2.3 Disk Sürücü Elektronik**

Bilgisayarlardaki dahili belleklere veriler ikili formda manyetik olarak depolanır. Buna rağmen, veri manyetik başlık tarafından okunduğunda ve elektrik sinyaline çevrildiğinde sayısal sinyale benzemeyen bir sinyal elde edilir. Sinyalin genliği birkaç mili volt civarında, gürültü içeriği oldukça fazla ve bitlerin kalitesinde bozulmalar meydana gelir. Böylece sinyalin yükseltilmesi, filtrelenmesi ve sayısallaştırılması gerekir. Bunun sonucunda bu sistemler, analog yükselticilere, analog filtrelere ve ADC'lere ihtiyaç duyarlar (Razavi 2001).

### **2.2.4 Kablosuz Alıcılar**

Radyo frekansı alıcı anteni tarafından elde edilen sinyal, sadece birkaç mikro volt genliğe ve 1 GHz veya daha yüksek merkez frekansına sahiptir. Dahası, sinyal

büyük parazitler ile elde edilir. Bu yüzden alıcılar, düşük seviye sinyalleri minimum gürültü ile yükseltmeli, yüksek frekanslarda işlemeli ve istenmeyen büyük elemanlara karşı koymalıdır. Dikkat edilmelidir ki bu gereksinimler, talep edilen sinyal analog formda olmasa bile zorunludur (Razavi 2001).

### **2.2.5 Optik Alıcılar**

Çok uzun mesafelerde yüksek hızlı veri iletimi için kabloların genellikle önemli ölçüdeki zayıflamaları ve sınırlı bant genişlikleri sebebiyle yetersiz oldukları kanıtlanmıştır. Böylece veri, lazer diyot tarafından ışığa çevrilir ve sonrasında çok düşük kayba ve özellikle geniş banda sahip optik fiber üzerinden iletilir. İletimin sonunda, ışık foto diyot tarafından küçük elektrik akımına çevrilir. Bu yüzden alıcının düşük seviye sinyali düşük gürültü ve geniş bant devre tasarımına sahip olacak şekilde işlemesi gerekir (Razavi 2001).

### **2.2.6 Sensörler**

Mekanik, elektriksel ve optik sensörler hayatımızda önemli rol oynarlar. Örneğin, bir dizi foto diyotun birleştirilmesi ile oluşan video kameralar görüntüleri akıma çevirirler. Bir başka örnek ise, ultrason sistemlerdir. Bu sistemlerde kullanılan akustik sensörler, ultrason dalga formuna orantılı bir şekilde gerilim üretirler. Dolayısıyla yükseltme, filtreleme ve ADC'ler bu sistemlerin temel fonksiyonlarıdır (Razavi 2001).

## **2.3 Neden IC Teknolojisi**

Çoklu elektronik cihazların aynı yüzey üzerine yerleştirilmesi fikri 1950'lerin sonlarına doğru ortaya çıkmıştır. Bu 60 yılda teknoloji, bir avuç dolusu eleman içeren basit yongalar üretilmesinden, içerisinde bir milyardan fazla transistör içeren belleklerin yanı sıra 10 milyondan fazla cihaz içeren mikro işlemcilere kadar gelişmiştir. Minimum transistör boyutları 1960'lı yıllarda 25µm iken 2000'li yıllarda



0.13 $\mu$ m'dir (Razavi 2001). Günümüzde ise 32nm boyutlarında MOSFET'ler üretilmektedir. Bu da IC devrelerin ne kadar hızlı geliştiğini göstermektedir.

IC teknolojisi sayesinde tasarlanan devreler daha küçük boyutlara sahip olması ve tasarımlarda daha az eleman kullanılması sebebiyle tasarımcıya kullanım kolaylığı sağlamaktadır. Bununla beraber tümleşik devreler ile gerçekleştirilen devreler daha hızlı sinyal işleme yapabilmektedir. Ayrıca tümleşik devrelerde çıkış terminalleri matematiksel işlemlerin sonucu olduğundan farklı girişlerde nasıl sonuçlar çıkacağı önceden tahmin edilebilir. Bu sebeplerden ötürü analog devrelerde tümleşik devrelerin kullanımı tercih edilmektedir.

#### **2.4 Analog Devrelerin Çalışma Modları**

Analog devreler, gerilim modlu ve akım modlu devreler olmak üzere ikiye ayrılırlar. Gerilim modlu devreler, devrenin girişinden gerilim verilirken çıkışından da gerilim alınması ile oluşturulur. Akım modlu devreler ise, girişe akım verilirken çıkıştan da akım alınması ile gerçekleştirilir.

Gerilim modlu devrelerin çalışma bandı, düşük frekanslarda yüksek değerli dirençlerin ve kapasitelerin baskın kutup oluşturmamasından dolayı sınırlıdır. Bu baskın kutbun oluşması ile gerilim modlu devrelere özel olarak, analog devrede kazanç ile band genişliği çarpımı sabittir sonucu çıkarılabilir. Gerilim modlu devreler aynı zamanda büyük gerilim salınımlarından çok fazla etkilenirler (Kuntman 1998). Gerilim modlu devreler bu dezavantajlara rağmen yaygın kullanım alanlarından dolayı ve uygulamalarda testlerin sadece ölçme cihazları aracılığı ile yapılması sebepleri ile tercih edilmektedir (Yuan 2007).

Akım modlu devrelerde ise düğüm empedansları düşüktür. Bununla beraber gerilim salınımlarından çok az etkilenirler. Dolayısı ile parazitik kapasitelerin dolma boşalma süreleri ve bu elemanlardan oluşan zaman sabiti ve yükselme eğimi problemi akım modlu devrelerde minimumdur. Bunlara ek olarak akım modlu devreler CMOS teknolojisi ile tümleştirilmeye de elverişlidir. Bu sebeplerden dolayı

akım modlu devreler gün geçtikçe daha yaygın bir şekilde kullanılmaya başlanmıştır(Kuntman 1998).

## 2.5 Aktif Blok Yapılar

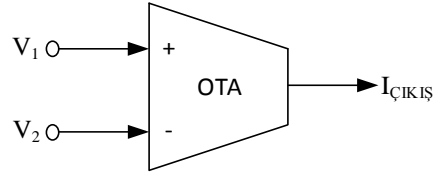
Literatürde birçok aktif blok yapısı bulunmaktadır. Aktif blok yapılarının kendilerine ait uç denklemleri ve iç yapıları vardır. Bu uç denklemlerinden yararlanarak ve iç yapıları kullanılarak birçok analog devre elde edilir. Literatürde bulunan OTA (İşlemsel Geçişiletkenliği Yükseltici) (Kaewdang ve diğ. 2003), CCII (İkinci Nesil Akım Taşıyıcı) (Sedra ve Smith 1970), CCCII (İkinci Nesil Akım Kontrollü Akım Taşıyıcı) (Fabre ve diğ. 1996), DDCC (Diferansiyel Fark Alıcı Akım Taşıyıcı) (Chiu ve diğ. 1996), DVCC (Gerilim Diferansiyeli Alan Akım Taşıyıcı) (Elwan ve Soliman 1997), CDBA (Akım Farklı Tamponlanmış Kuvvetlendirici) (Acar ve Ozoguz 1999), DDTA (Diferansiyel Fark Alan Geçiş İletkenliği Kuvvetlendirici) (Kumngern 2012), FTFN (Dört Terminalli Yüzen Nullor) (Senani 1987), CFOA (Akım Geri Beslemeli İşlemsel Yükselteç) (Madian ve diğ. 2006), OFCC (İşlemsel Yüzen Akım Taşıyıcı) (Ghallab ve Badaway 2004), CDTA (Akım Farkı Alan Geçiş İletkenliği Kuvvetlendirici) (Biolek 2003), CDCC (Akım Farkı Alan Akım Taşıyıcı) (Kaçar ve diğ. 2015) aktif blok yapıları genellikle tercih edilen elemanlardır.

Aktif blok yapıları, kapasite çarpma devreleri, bobin benzetimleri, logaritmik yükselteçler gibi analog devreleri gerçekleştirmek için kullanılabilirler. Bu devreleri teorik olarak gerçekleştirmek için aktif blok yapılarının uç denklemleri kullanılmaktadır. Uç denklemleri kullanılarak elde edilen devreler, aktif blok yapısının CMOS veya BJT yarı iletkenlerini içeren iç yapıları kullanılarak gerçekleştirilmektedir.

### 2.5.1 OTA

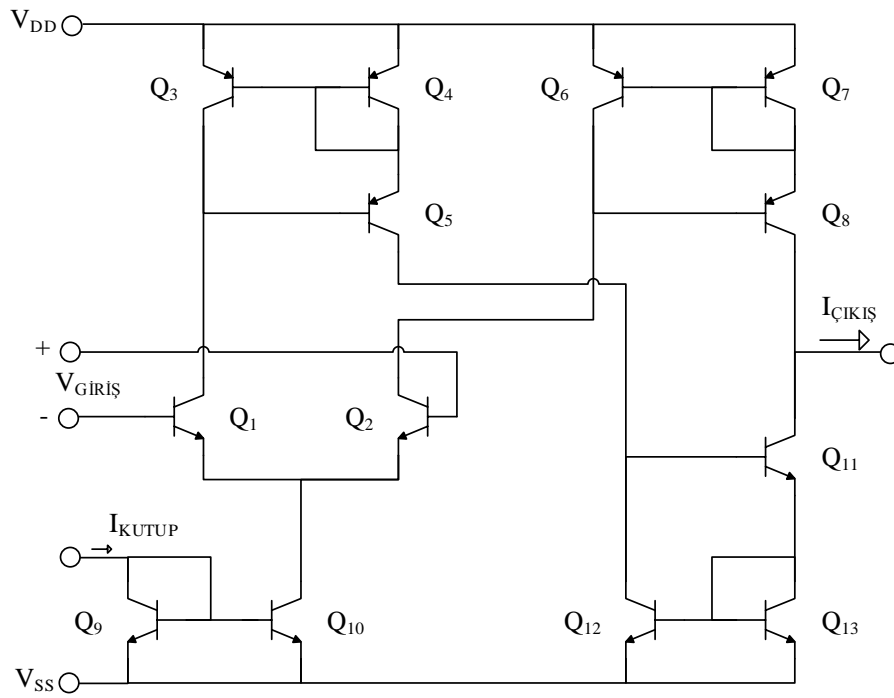
OTA, işlemsel geçiş iletkenliği kuvvetlendiricidir. OTA, giriş gerilimlerinin farkını alarak çıkış akımı elde eden bir elemandır. Blok yapısı Şekil 2.7'de gösterilmiştir. OTA'ya ait uç bağıntıları Denklem (2.63)'te verilmiştir

(Kaewdang ve diğ. 2003). Şekil 2.8’de de görüldüğü üzere OTA, BJT tabanlı bir eleman olarak kullanılabilir.



Şekil 2.7: OTA aktif blok yapısı (Kaewdang ve diğ. 2003)

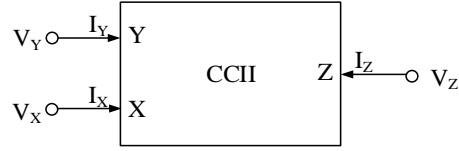
$$I_{\text{ÇIKIŞ}} = g_m (V_+ - V_-) \quad (2.63)$$



Şekil 2.8: OTA aktif blok yapısının iç yapısı (Kaewdang ve diğ. 2003)

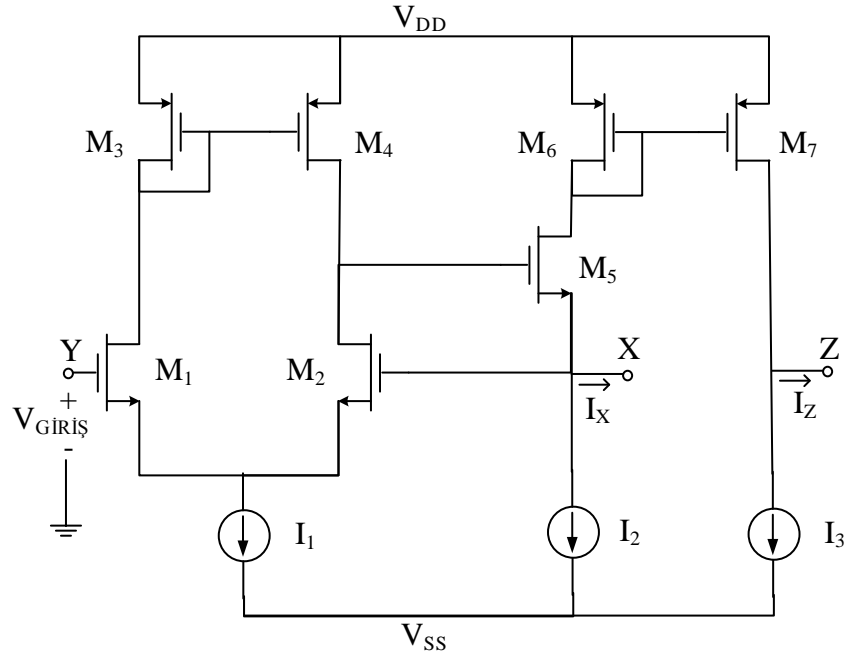
## 2.5.2 CCII

CCII, ikinci nesil akım taşıyıcıdır. Giriş akımı ile çıkış akımının eşit olması prensibine dayanır. Blok yapısı Şekil 2.9’da gösterilmiştir. CCII’ya ait uç bağlantıları Denklem (2.64)’te verilmiştir (Sedra ve Smith 1970). Denklem (2.64)’te  $I_Z = +I_X$  seçilirse CCII+ (pozitif CCII),  $I_Z = -I_X$  seçilirse CCII- (negatif CCII) elde edilir. Şekil 2.10’da pozitif ikinci nesil akım taşıyıcı, MOSFET’ler kullanılarak gerçekleştirilmiştir.



Şekil 2.9: CCII aktif blok yapısı (Sedra ve Smith 1970)

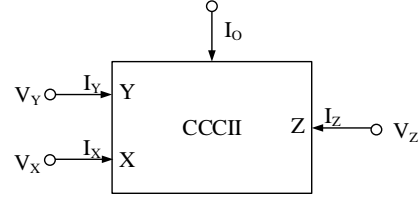
$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (2.64)$$



Şekil 2.10: CCII+ aktif blok yapısının iç yapısı (Surakamptorn ve diğ. 1991)

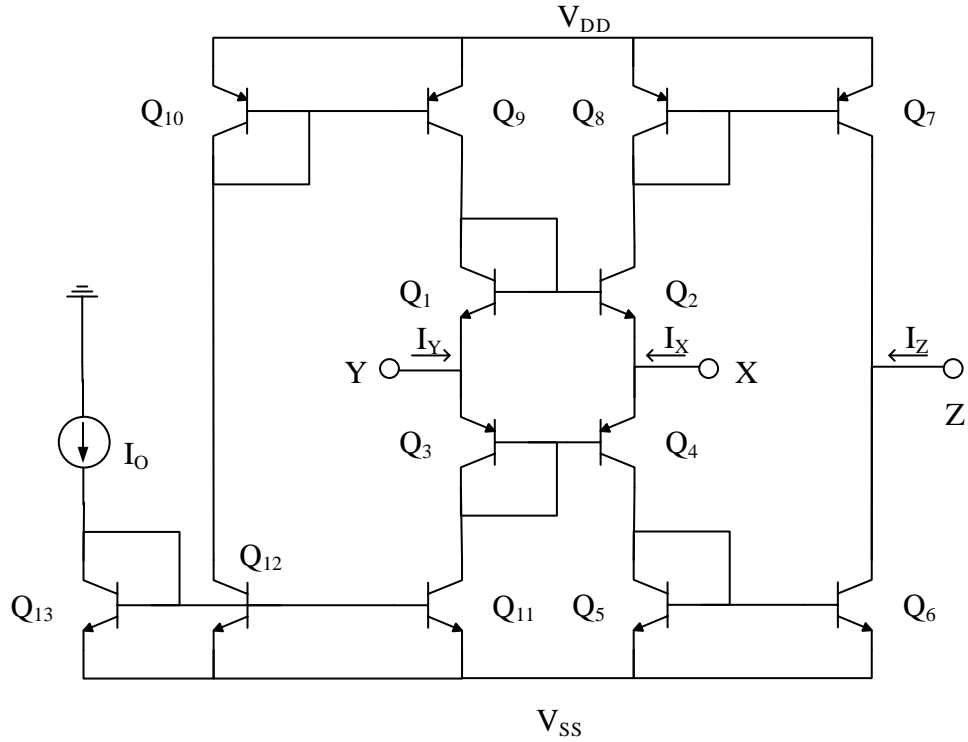
### 2.5.3 CCCII

CCCII, ikinci nesil akım kontrollü akım taşıyıcısıdır. Giriş akımının çıkış akımına aktarılması ve bu akımın  $I_O$  akımı ile kontrol edilmesi prensibine dayanır. Blok yapısı Şekil 2.11’de gösterilmiştir. CCCII’ya ait uç bağıntıları Denklem (2.65)’te verilmiştir (Fabre ve diğ. 1996). Denklem (2.65)’te  $I_Z=+I_X$  seçilirse CCCII+ (Pozitif CCCII),  $I_Z=-I_X$  seçilirse CCCII- (Negatif CCCII) elde edilir. Şekil 2.12’de CCCII+ iç yapısı BJT ile gerçekleştirilmiştir.



Şekil 2.11: CCCII aktif blok yapısı (Fabre ve diğ. 1996)

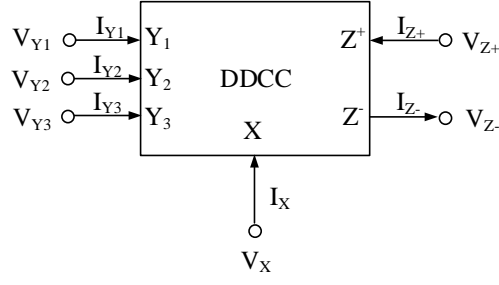
$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R_X & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (2.65)$$



Şekil 2.12: CCCII+ aktif blok yapısının iç yapısı (Fabre ve diğ. 1996)

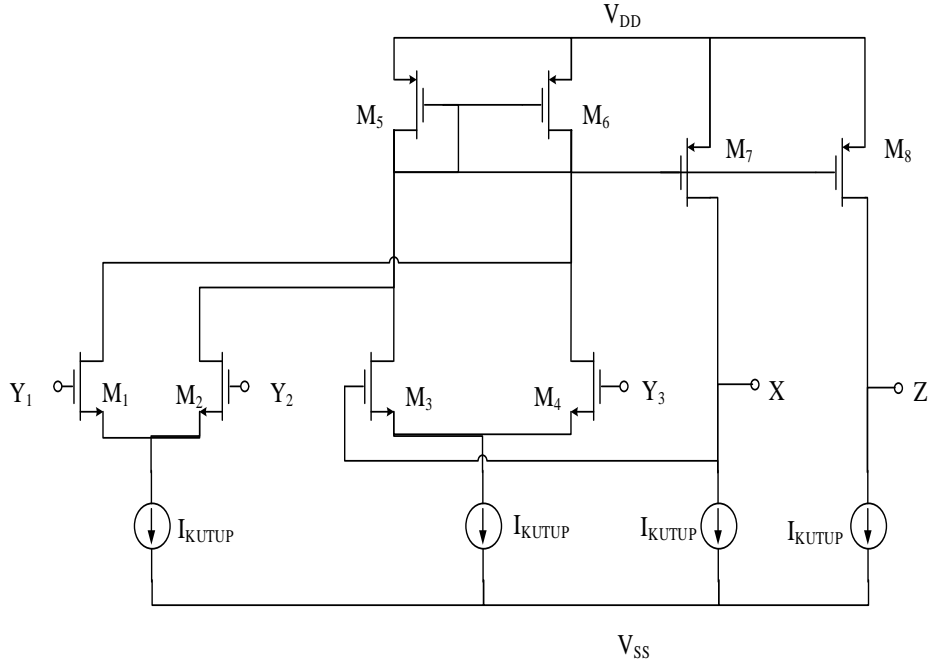
## 2.5.4 DDCC

DDCC, diferansiyel fark alıcı akım taşıyıcıdır. Giriş gerilimlerinin diferansiyel farkını alan ve giriş akımını çıkış akımına aktaran bir elemandır. DDCC'ye ait uç bağıntıları Denklem (2.66)'da verilmiştir (Chiu ve diğ. 1996). DDCC'nin iç yapısı Şekil 2.14'te gösterilmiştir.  $I_Z$  akımlarının yönüne göre DDCC, DDCC+ (Pozitif DDCC) veya DDCC- (Negatif DDCC) olarak kullanılabilir. Blok yapısı Şekil 2.13'te gösterilmiştir.



Şekil 2.13: DDCC aktif blok yapısı (Chiu ve diğ. 1996)

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_{Z+} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 \\ -1 & 0 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ V_{Z+} \\ V_{Z-} \end{bmatrix} \quad (2.66)$$

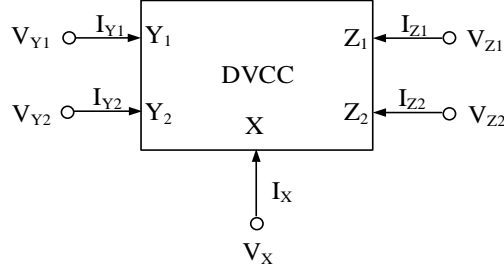


Şekil 2.14: DDCC+ aktif blok yapısının iç yapısı (Chiu ve diğ. 1996)

### 2.5.5 DVCC

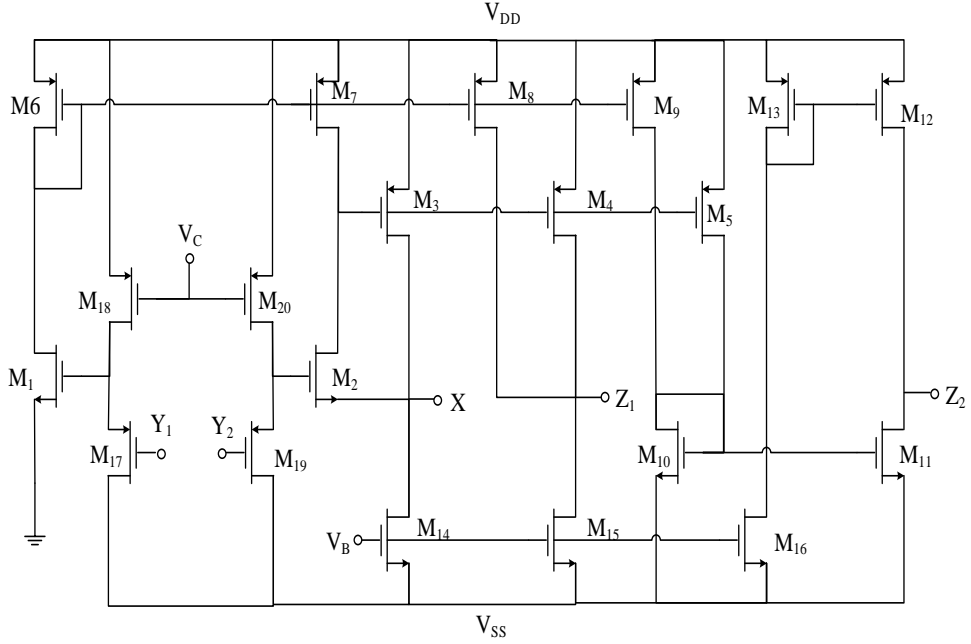
DVCC, gerilim diferansiyeli alan akım taşıyıcıdır. Giriş gerilimlerinin farkını alan ve giriş akımını çıkış akımına aktaran bir elemandır. Blok yapısı Şekil 2.15'te gösterilmiştir. DVCC'ye ait uç bağıntıları Denklem (2.67)'de verilmiştir

(Elwan ve Soliman 1997). MOS transistörler kullanılarak gerçekleştirilen DVCC'nin iç yapısı Şekil 2.16'da gösterilmiştir.



Şekil 2.15: DVCC aktif blok yapısı (Elwan ve Soliman 1997)

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Z1} \\ I_{Z2} \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ -1 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Z1} \\ V_{Z2} \end{bmatrix} \quad (2.67)$$

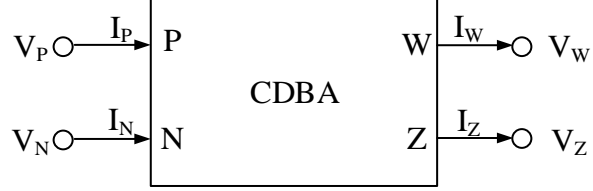


Şekil 2.16: DVCC aktif blok yapısının iç yapısı (Elwan ve Soliman 1997)

### 2.5.6 CDBA

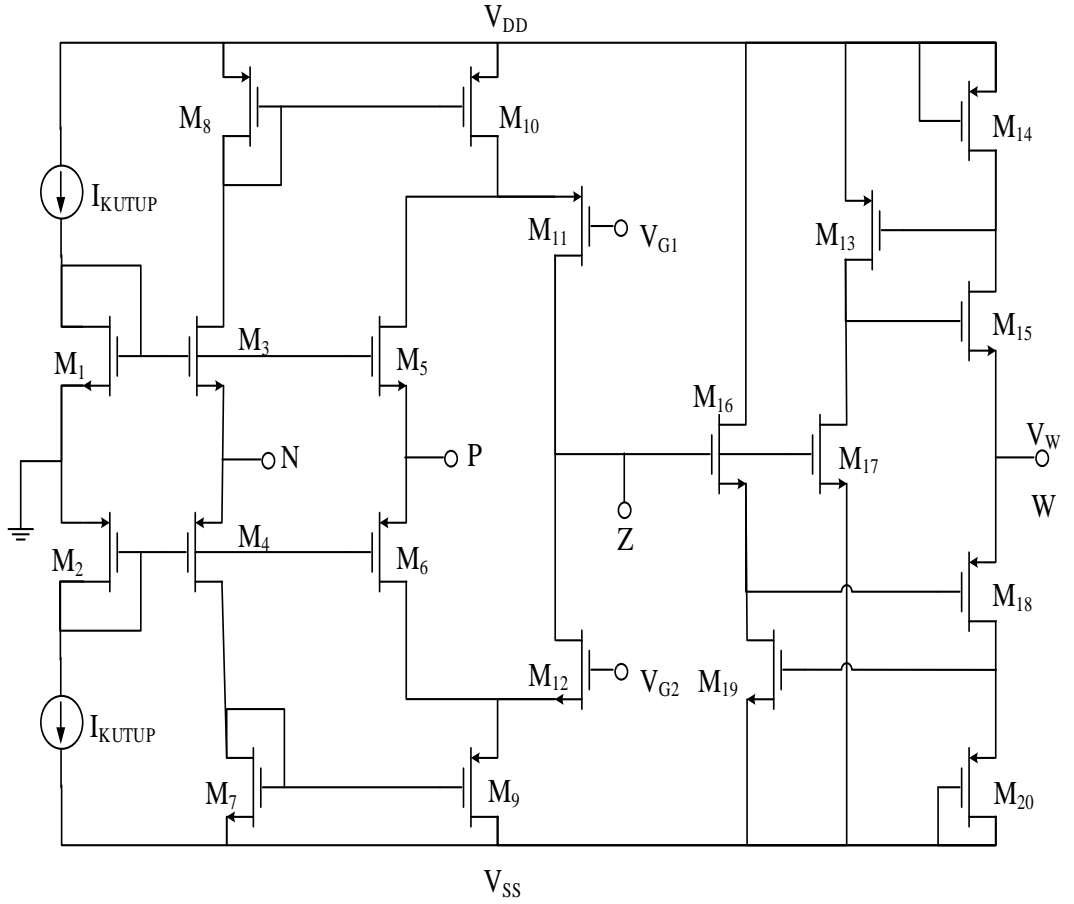
CDBA, akım farkı tamponlanmış kuvvetlendiricidir. Çıkış akımı giriş akımlarının farkına eşittir. Aynı zamanda çıkış akımının alındığı Z terminalinin gerilimi, CDBA'nın W terminaline tamponlanmıştır. Blok yapısı Şekil 2.17'de

gösterilmiştir. CDBA'ya ait uç bağıntıları Denklem (2.68)'de verilmiştir (Acar ve Ozoguz 1999). Şekil 2.18'de CDBA aktif blok yapısının iç yapısı gösterilmiştir.



Şekil 2.17: CDBA aktif blok yapısı (Acar ve Ozoguz 1999)

$$\begin{bmatrix} I_Z \\ V_W \\ V_P \\ V_N \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & -1 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} V_Z \\ I_W \\ I_P \\ I_N \end{bmatrix} \quad (2.68)$$

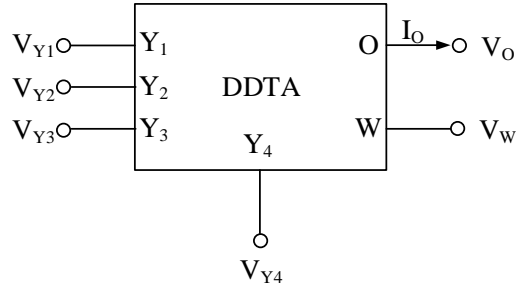


Şekil 2.18: CDBA aktif blok yapısının iç yapısı (Kılınç ve Çam 2004)

## 2.5.7 DDTA



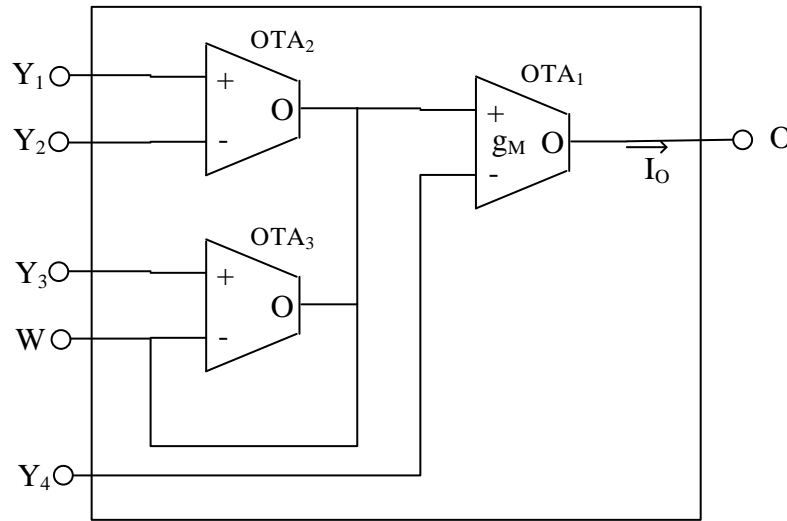
DDTA, diferansiyel fark alan geçiş iletkenliği kuvvetlendiricidir. Giriş gerilimlerinin diferansiyel farkını alır. Bu diferansiyel gerilimden akım elde edilir. Blok yapısı Şekil 2.19’da gösterilmiştir. DDTA’ya ait uç bağlantıları Denklem (2.69)’da verilmiştir (Kumngern 2012). DDTA OTA kullanılarak gerçekleştirilir. Şekil 2.20’de DDTA iç yapısı üç OTA kullanılarak elde edilmiştir.



Şekil 2.19: DDTA aktif blok yapısı (Kumngern 2012)

$$V_w = V_{Y1} - V_{Y2} + V_{Y3}$$

$$I_o = g_{m1} (V_w - V_{Y4}) \quad (2.69)$$

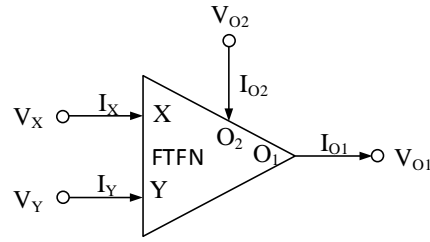


Şekil 2.20: DDTA aktif blok yapısının iç yapısı (Kumngern 2012)

### 2.5.8 FTFN

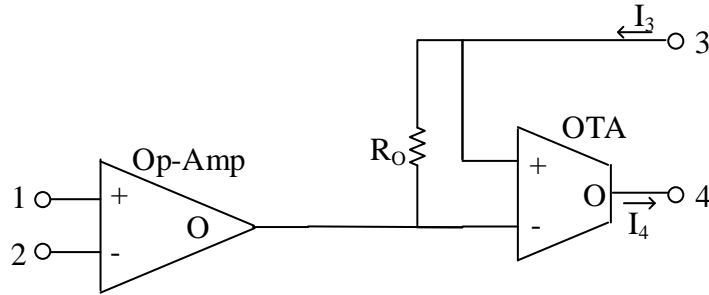
FTFN, dört terminalli yüzen Nullor'dur. Burada Nullor, Nullator ve Norator'dan oluşur. Nullator, akım ve gerilimin sıfır olduğu bir terminali temsil eder. Norator ise, akım ve gerilimin keyfi olduğu bir terminali temsil eder. Blok yapısı

Şekil 2.21’de gösterilmiştir. FTFN’ye ait uç bağıntıları Denklem (2.70)’de verilmiştir (Senani 1987). Şekil 2.22’de FTFN iç yapısı gösterilmiştir.



Şekil 2.21: FTFN aktif blok yapısı (Senani 1987)

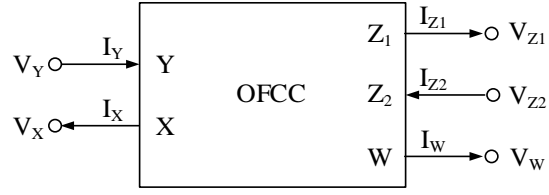
$$\begin{aligned} V_X &= V_Y \\ I_Y &= I_X = 0 \\ I_{O1} &= I_{O2} \end{aligned} \quad (2.70)$$



Şekil 2.22: FTFN aktif blok yapısının iç yapısı (Senani 1987)

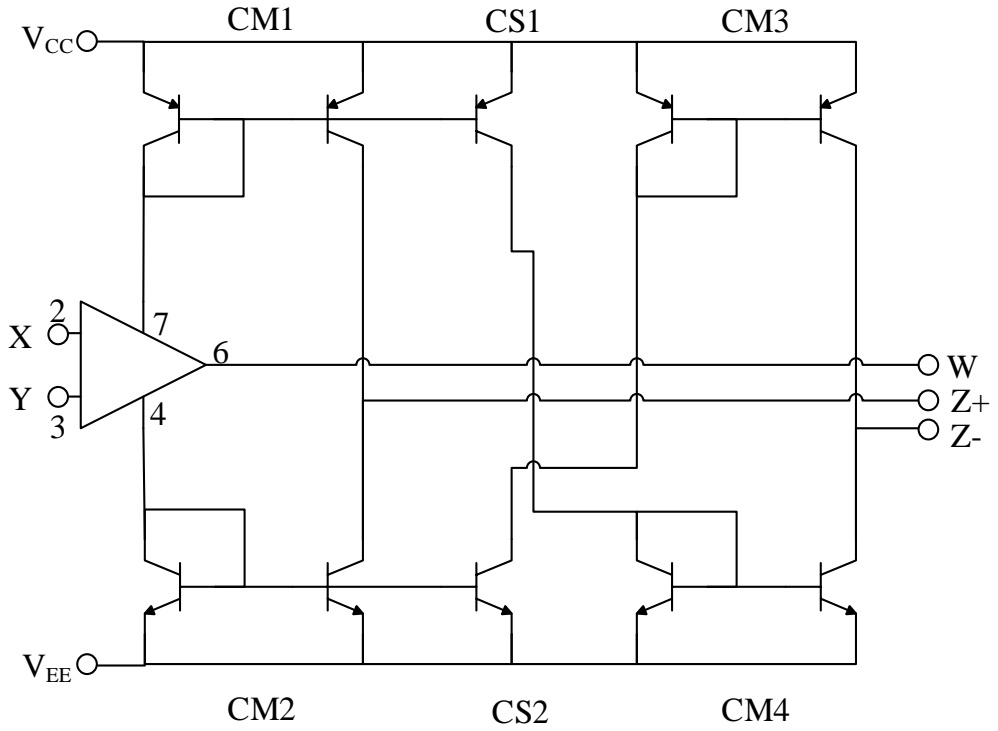
### 2.5.9 OFCC

OFCC, işlemsel yüzen akım taşıyıcısıdır. OFCC temel olarak akım taşıyıcısıdır. Akım taşıyıcısına ek olarak X terminalinin giriş akımı ile  $Z_T$  açık çevrim kazancından W terminalindeki çıkış gerilimi elde edilmiştir. W terminalindeki yüzen akım ise,  $Z_1$  terminalindeki akım ile aynı fazın,  $Z_2$  terminalindeki akım ile ters fazın aktarılması ile oluşur. Blok yapısı Şekil 2.23’te gösterilmiştir. OFCC’ye ait uç bağıntıları Denklem (2.71)’de verilmiştir (Ghallab ve Badaway 2004). Şekil 2.24’te OFCC iç yapısı gösterilmiştir.



Şekil 2.23: OFCC aktif blok yapısı (Ghallab ve Badaway 2004)

$$\begin{bmatrix} I_Y \\ V_X \\ V_W \\ I_{Z1} \\ I_{Z2} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \\ 0 & -1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ I_W \\ V_{Z1} \\ V_{Z2} \end{bmatrix} \quad (2.71)$$

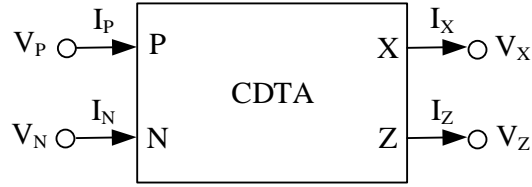


Şekil 2.24: OFCC aktif blok yapısının iç yapısı (Ghallab ve Badaway 2004)

### 2.5.10 CDTA

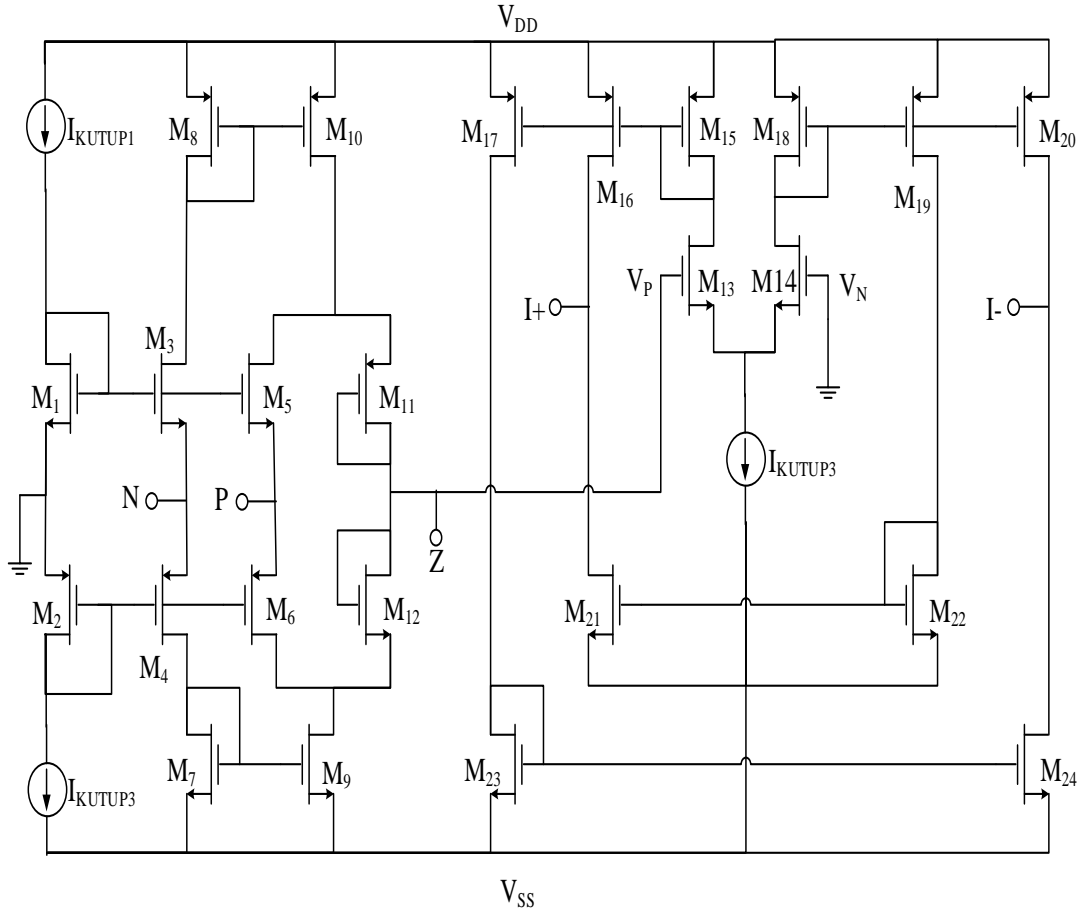
CDTA, akım farkı alan geçiş iletkenliği kuvvetlendiricidir. Giriş akımlarının farkını alır ve Z ucunda çıkış akımını elde eder. Bu çıkış akımından dolayı oluşan gerilimi ile geçiş iletkenliğini çarparak X ucu çıkış akımını elde eder. Blok yapısı

Şekil 2.25'te gösterilmiştir. CDTA'ya ait uç bağlantıları Denklem (2.72)'de verilmiştir (Biolek 2003). Şekil 2.26'da CDTA aktif blok yapısının iç yapısı gösterilmiştir.



Şekil 2.25: CDTA aktif blok yapısı (Biolek 2003)

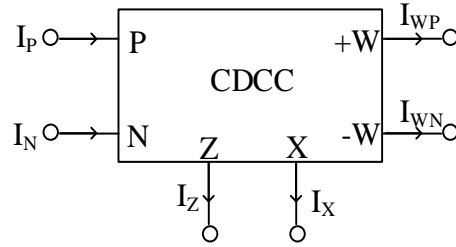
$$\begin{bmatrix} V_P \\ V_N \\ I_Z \\ I_X \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 \\ 0 & 0 & \pm g_m & 0 \end{bmatrix} \begin{bmatrix} I_P \\ I_N \\ V_Z \\ V_X \end{bmatrix} \quad (2.72)$$



Şekil 2.26: CDTA aktif blok yapısının iç yapısı (Keskin ve Biolek 2006)

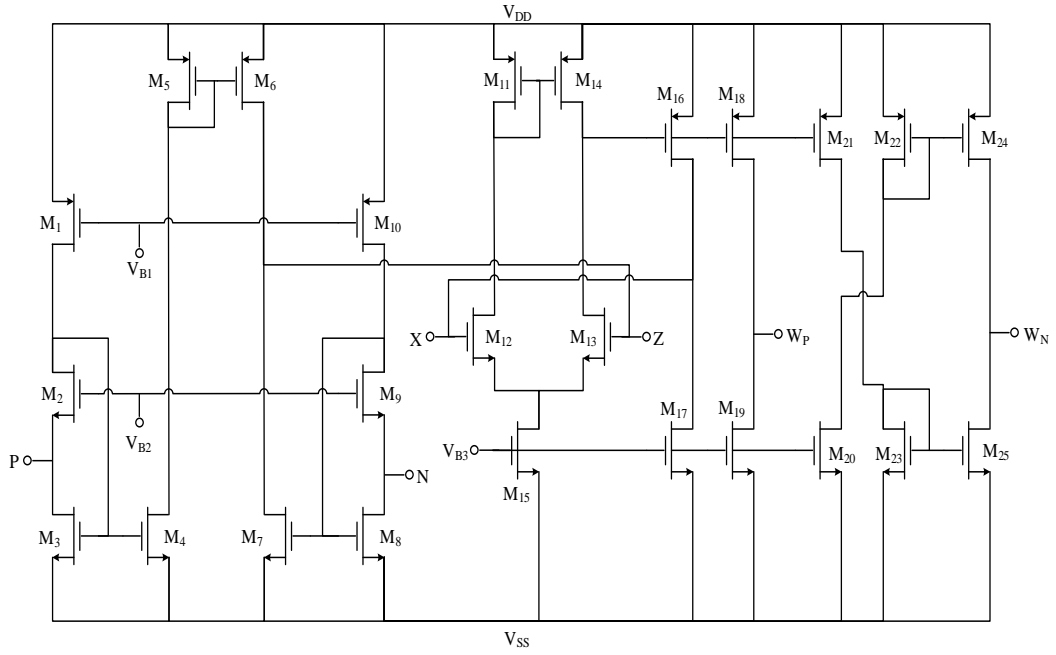
### 2.5.11 CDCC

CDCC, akım farkı alan akım taşıyıcısıdır. Giriş akımlarının farkını alıp çıkışa aktarır. Burada çıkış akımından dolayı oluşan gerilimi diğer çıkışa aktarır. Blok yapısı Şekil 2.27’de gösterilmiştir. Denklem (2.73)’te CDCC aktif blok yapısının uç bağlantıları matris şeklinde gösterilmiştir. Şekil 2.28’de CDCC aktif blok yapısının MOSFET’ler kullanılarak gerçekleştirilmiş iç yapısı gösterilmiştir.



Şekil 2.27: CDCC aktif blok yapısı (Kaçar ve diğ. 2015)

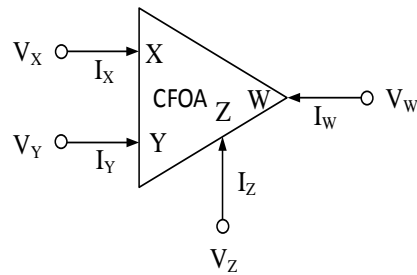
$$\begin{bmatrix} V_N \\ V_P \\ I_Z \\ V_X \\ I_{WP} \\ I_{WN} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & -1 \end{bmatrix} \begin{bmatrix} I_P \\ I_N \\ V_Z \\ I_X \end{bmatrix} \quad (2.73)$$



Şekil 2.28: CDCC aktif blok yapısının iç yapısı (Kaçar ve diğ. 2015)

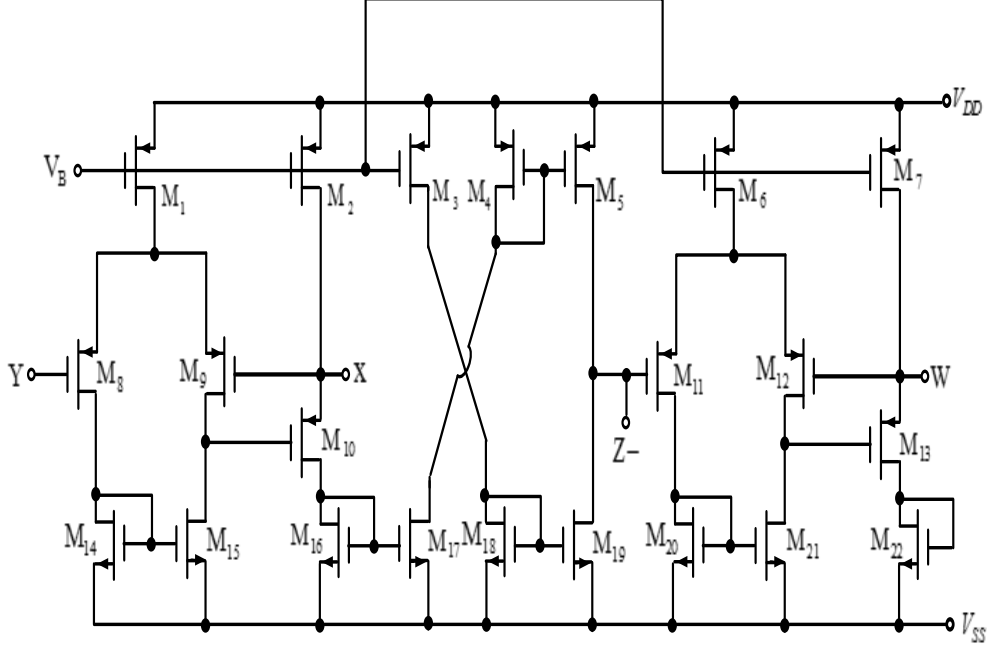
### 2.5.12 CFOA

CFOA, akım geri beslemeli işlemsel kuvvetlendiricidir. CFOA temel olarak, akım taşıyıcı ile gerilim tamponundan oluşur. Blok yapısı Şekil 2.29’da gösterilmiştir. CFOA’ya ait uç bağlantıları Denklem (2.74)’te verilmiştir (Madian ve diğ. 2006).  $I_Z=I_X$  seçilirse CFOA+ (Pozitif CFOA),  $I_Z=-I_X$  seçilirse CFOA- (Negatif CFOA) elde edilmiş olur. Şekil 2.30’da CFOA- aktif blok yapısının iç yapısı gösterilmiştir.



Şekil 2.29: CFOA aktif blok yapısı (Madian ve diğ. 2006)

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \\ V_W \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (2.74)$$



Şekil 2.30: CFOA- aktif blok yapısının iç yapısı (Surakamponorn ve diğ. 1991), (Carrillo ve diğ. 2011)

## 2.6 Analog Devreler

Tezin bu kısmında, kapasite çarpma devrelerine, logaritmik yükselteç devrelerine ve bobin benzetim devrelerine değinilecektir.

### 2.6.1 Kapasite Çarpma Devreleri

Kapasite çarpma devrelerinde amaç, büyük değerli bir kapasitenin eşdeğerinin küçük değerli bir kapasite ile elde edilmesidir. Kapasite çarpma devrelerine, büyük değerdeki kapasitenin kapladığı alandan dolayı ihtiyaç duyulmaktadır. IC teknolojisinde büyük değerdeki bir kapasite yerine binlerce yarıiletken malzeme yerleştirilebilmektedir (Kuntman ve Uygur 2012). Kapasite çarpma devreleri ile elde edilen eşdeğer kapasiteler filtre uygulamalarında, osilatör uygulamalarında da kullanılabilir. Literatürde birçok kapasite çarpma devresi

bulunmaktadır. Her birinin kendisine ait avantajları ve dezavantajları bulunmaktadır (Silapan ve diğ. 2008). Bunlar;

- Güç tüketimi,
- Elektronik olarak ayarlanabilirlik (Cataldo ve diğ. 1998), (Premont ve diğ. 1997), (Minaei ve diğ. 2006), (Pal 1981), (Khan ve diğ. 2002),
- Yüzen veya topraklanmış kapasite kullanılması (Abdulma'atti ve Tasadduq 1999) ,(Petchakit ve Petchakit 2005),
- Sıcaklığa karşı hassasiyet,
- Tümlleşik devre teknolojisine uygunluk,
- Kullanılan aktif blok yapısı sayısı (Khan ve diğ. 2002).

Tablo 2.7'de literatürde bulunan bazı kapasite çarpma devrelerin karşılaştırılması verilmiştir. Bu kıyaslama tezin amacına yönelik yapılmıştır. Tezin amacında da belirtildiği gibi karşılaştırma tablosunda eleman sayısının azlığı, sıcaklığa karşı hassasiyeti, tümlleşik devre teknolojisine uygunluğu ve güç tüketimi ön planda tutulmuştur. Fakat literatürde bulunan bu çalışmaların çoğunluğunda güç tüketimlerinin ne kadar olduğu yazılmadığı için Tablo 2.7'ye güç tüketimi dahil edilmemiştir. Burada dikkat edilecek birkaç nokta vardır. Öncelikle, tümlleşik devre teknolojisine uygunluğun sağlanabilmesi için kullanılan kapasite değerinin 20pF ve altı olması uygun sayılmaktadır. Bu durum baz alındığında devrede kullanılan kapasite değerinin 20pF ve altında olması halinde tabloda '√' işareti kullanılacaktır. Diğer bir husus ise, tabloda sıcaklığa karşı hassasiyetin gösterildiği sütundaki '√' işareti olan yayınlarda, önerilmiş devrelerin sıcaklığa karşı duyarlılığı azdır.

Tablo 2.7: Literatürdeki bazı kapasite çarpma devrelerin karşılaştırması

Yayın	Kullanılan Aktif Blok Yapısı		Kullanılan Pasif Eleman		Kapasite Çarpma Devre		Topraklanmış Kapasite Kullanımı	Sıcaklığa Karşı Kabul Edilebilir Hassasiyet	Elektronik Olarak Kontrol Edilebilirlik	Entegre Teknolojisine Uygunluk
	Türü	Sayısı	Türü	Sayısı	Yüzen	Topraklı				
(Ferri ve Pennisi 1998)	CCII-	1	R	2		√	√			√
	COA	1	C	1						
(Silapan ve diğ. 2008)	CCCCTA	2	C	1		√	√	√		
(Cataldo ve diğ. 1998)	CCII-	1	R	2		√	√			√
	CCII+	1	C	1						
(Premont ve diğ.)	CCII	1	R	2		√				√



(1997)			C	1						
(Minaei ve diğ. 2006)	DO-CCII	2	R	2	√		√			
			C	1						
(Pal 1981)	CCII	4	R	2	√		√			
			C	1						
(Khan ve diğ. 2002)	CCII+	2	R	2		√				
			C	1						
(Abuelma'atti ve Tasadduq 1999)	CCII+	3	C	1	√			√	√	
	CCII+/-	1								
(Petchakit ve Petchakit 2005)	CCII+/-	2	R	1	√		√		√	
			C	1						
(Yuce ve Minaei 2008)	Modified CFOA	1	R	2		√	√			
			C	1						
(Jaikla ve Siripruchyanan 2006)	OTA	4	C	1	√		√	√	√	
(Jaikla ve diğ. 2010)	Tunable FTFN	2	C	1	√			√	√	
(Kartci ve diğ. 2015)	VDCC	2	R	2	√		√		√	
			C	1						
(Siripruchyanan ve Jaikla 2007)	DVCC	1	C	1	√		√	√	√	
	CCCII	2								
(Somdunyanok ve diğ. 2011)	CCDDCC	3	C	1	√		√	√	√	√
(Jantakun ve diğ. 2010)	DV-CCTA	1	C	1	√		√	√	√	

Güç tüketimi, aktif blok yapısı ve pasif eleman sayısı ile doğru orantılıdır. Güç tüketiminin mümkün olduğu kadar az olması için devrede kullanılan aktif blok sayısının en az sayıda olması ve aktif blok yapısında kullanılan transistör sayısının en az sayıda tercih edilmesi gerekmektedir. Tablo 2.7 incelendiğinde bu durum (Premont ve diğ. 1997), (Yuce ve Minaei 2008) ve (Jantakun ve diğ. 2010) adlı yayınlarda bulunmaktadır.

Bilindiği üzere pasif elemanların topraklanmış olarak kullanılması tercih edilmektedir. Çünkü pasif elemanlar gürültüye karşı duyarlıdırlar. Özellikle de kapasite gürültüye karşı oldukça hassastır. Pasif elemanların topraklanmış kullanması gürültüye karşı duyarlılığı azaltacaktır. Tablo 2.7'de incelendiğinde, bu durum (Premont ve diğ. 1997), (Khan ve diğ. 2002), (Abuelma'atti ve Tasadduq 1999) ve (Jaikla ve diğ. 2010) adlı yayınlarda görülmemektedir.

Tablo 2.7’de dikkat edilirse, sıcaklığa karşı hassasiyeti az olan devrelerin tümünde direnç (R) kullanılmamıştır. Bunun sebebi ise diğer yayınlardaki devrelerde kullanılan R değerlerinin oldukça küçük seçilmesidir. Direnç değerlerinin küçük seçilmesi güç tüketimini azaltır fakat tablodan da anlaşılacağı gibi sıcaklığa karşı hassasiyeti arttırır. Bu yüzden devre tasarımı yapılırken en uygun değerdeki direnç seçilerek hem güç tüketiminin az olması hem de sıcaklığa karşı hassasiyetinin az olması sağlanmalıdır.

Elektronik olarak kontrol edilebilirlik kullanıcıya istediği kapasite değerini devrede kullanılan elemanların parametrelerini değiştirmeden ayarlayabilme imkanı sağlar. Bu durum Tablo 2.7’de bulunan (Abuelma’atti ve Tasadduq 1999), (Petchakit ve Petchakit 2005), (Jaikla ve Siripruchyanan 2006), (Jaikla ve diğ. 2010), (Kartci ve diğ. 2015), (Siripruchyanan ve Jaikla 2007), (Somdunyakanok ve diğ. 2011) ve (Jantakun ve diğ. 2010) adlı yayınlarda bulunmaktadır.

Günümüzde teknolojinin sürekli daha da ileriye gitmesi ile minimum ölçülere sahip devreler tercih edilmeye başlanmıştır. Bu sebepten dolayı önerilen kapasite çarpma devrelerinin, tümleşik devre teknolojisine uygun olması tercih edilmektedir. Tablo 2.7 incelendiğinde, bu durumun (Ferri ve Pennisi 1998), (Cataldo ve diğ. 1998), (Premont ve diğ. 1997) ve (Somdunyakanok ve diğ. 2011) adlı yayınlardaki önerilmiş devrelerde sağlandığı görülmektedir.

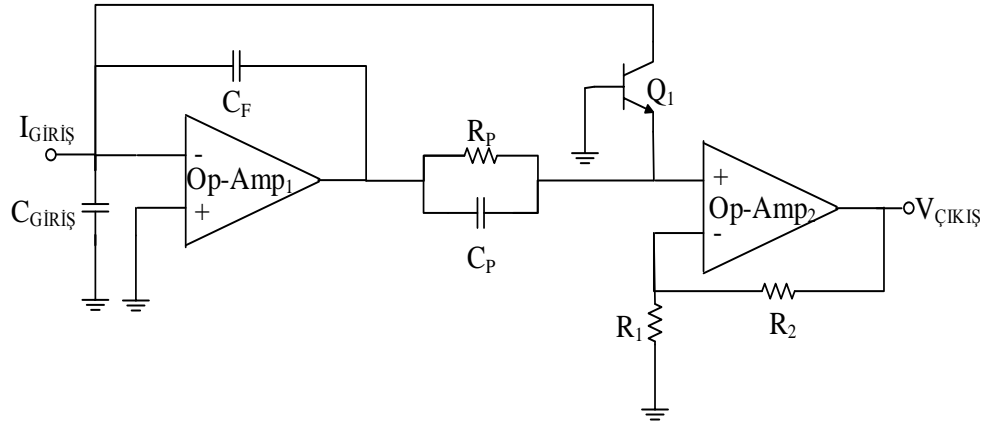
Bu hedeflerin dışında dikkat edilirse Tablo 2.7’de (Ferri ve Pennisi 1998), (Cataldo ve diğ. 1998), (Abuelma’atti ve Tasadduq 1999) ve (Siripruchyanan ve Jaikla 2007)’de farklı türde aktif blok yapıları bir arada kullanılmıştır. Bu durum, devrelerde yapılacak en küçük değişikliklerde aktif blok yapılarının birbirleriyle uyumlu çalışabilmesine engel olmaktadır. Örnek olarak, herhangi bir aktif blok yapısının iç yapısında kullanılan MOSFET’in en ya da boy oranında ufak bir değişiklik yapılması verilebilir. Böyle bir değişiklik ile iki aktif blok yapısı arasındaki uyum dengesi bozulmuş olur.

Bu durumların hepsi göz önüne alındığında en verimli devrenin (Somdunyakanok ve diğ. 2011) adlı yayında olduğu görülmektedir. Fakat bu devrede de güç tüketiminin, kullanılan aktif blok yapısı sayısının fazlalığından dolayı fazla

olacağı ortadadır. Bunun dışında (Jaikla ve Siripruchyanan 2006), (Siripruchyanan ve Jaikla 2007) ve (Jantakun ve diğ. 2010) adlı yayımlar, kullanım yerlerine göre verimli devrelerdir. Bu üç devrede de tümleşik devre teknolojisine uygunluk yoktur. (Jaikla ve Siripruchyanan 2006) ve (Siripruchyanan ve Jaikla 2007)'deki aktif blok yapısı sayısının fazlalığı da güç tüketimini arttıracaktır. Bunun dışında (Siripruchyanan ve Jaikla 2007)'de farklı türde iki eleman kullanılması birbirleri arasında uyum sorunu yaratabilmektedir.

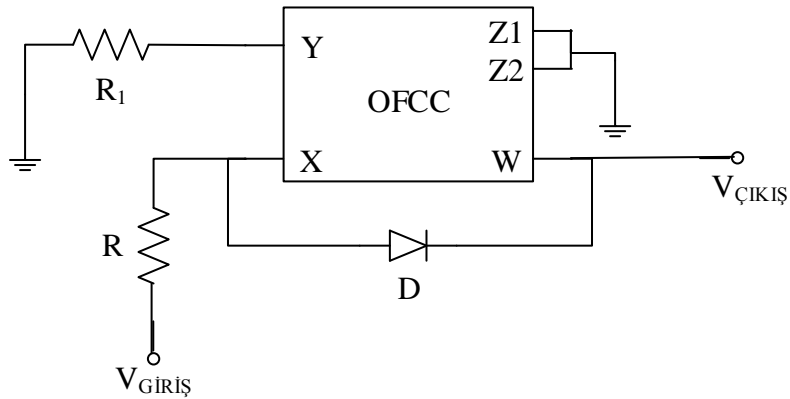
### **2.6.2 Logaritmik Yükselteç Devreleri**

Logaritmik yükselteç devrelerinde temel amaç, devrenin dinamik aralığının artırılmasıdır. Bu durum sinyal işlemede avantaj sağlamaktadır. Ayrıca daha ucuza mal edilmesi ve daha az alan kaplaması da diğer avantajlarındandır. Logaritmik yükselteç devresinde giriş geriliminin veya akımının logaritması alınarak çıkış gerilimi veya akımı elde edilmektedir (Maxim 2005), (Ghanaatian-Jahromi ve diğ. 2011), (Abuelma'atti ve Faris 2004), (Franco 2002). Logaritma alma işlemi diyot, BJT gibi PN eklemeli elemanların üstel ifadelerinden yararlanılarak yapılmaktadır. Logaritmik yükselteç devreleri radar sistemleri, biyomedikal sistemler, kablosuz ağ sistemleri, video sistemleri ve benzeri birçok alanda kullanılabilir. Literatürde aktif blok yapıları kullanılarak yapılmış birkaç logaritmik yükselteç devresi bulunmaktadır (Pandey ve diğ. 2014), (Maktoomi ve diğ. 2012).



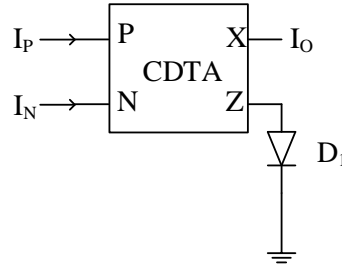
Şekil 2.31: Op-amp tabanlı logaritmik yükselteç (Tai ve Hasegawa 1976)

1976 yılında gerçekleştirilen Şekil 2.31'deki devre, o zamanlarda kullanılan logaritmik yükselteç devrelerine göre daha hızlı cevap verme süresine sahiptir. Bu durum faz kompanzasyon tekniği kullanılarak Paterson transdiyot bağlantısı ile gerçekleştirilmiştir. Bu devrede logaritmik yükseltme görevi için transistör kullanılmıştır. Devrede bulunan  $R_P$  direnci küçük işaret cevabı analizlerine göre frekans cevabını etkilemektedir. Seri dirençlerin artımı, gerekli olan  $C_F$  genliğini azaltmaktadır. Bu da düşük akım seviyelerinde devrenin cevap verme hızı arttırmaktadır. Yüksek akım seviyelerinde  $R_P$  direncinin frekans cevabına etkisi olmamaktadır. Dolayısı ile bu duruma çözüm olarak  $C_P$  kapasitesi bağlanmıştır. Bu şekilde de yüksek akım seviyelerinde de devrenin cevap verme hızı artmış olmaktadır.



Şekil 2.32: OFCC tabanlı logaritmik yükselteç (Pandey ve diğ. 2014)

Şekil 2.32’de OFCC tabanlı logaritmik yükselteç devresi görülmektedir. Bu devrede logaritma alma işlemi diyot ile gerçekleştirilmiştir. Devrede şekilde görüldüğü gibi gerilim modlu çalışmasının yanında akım modlu çalışabilmektedir. Bu durum, devrenin avantajlarından birisidir. Önerilmiş devrenin benzetim sonuçları SPICE benzetim programı kullanılarak gerçekleştirilmiştir. OFCC aktif blok yapısının iç yapısında kullanılan MOSFET’ler için TSMC 0.18µm CMOS modellemesi kullanılmıştır. Benzetim sonuçlarına göre önerilmiş devrenin güç tüketimi 1.1mW’tır. Bu da oldukça düşük güç tüketimi demektir. Ayrıca benzetim sonuçları devrenin sıcaklığa karşı bağımlı olduğunu göstermektedir. Bununla beraber önerilmiş devre iyi bir dinamik aralığa sahiptir.



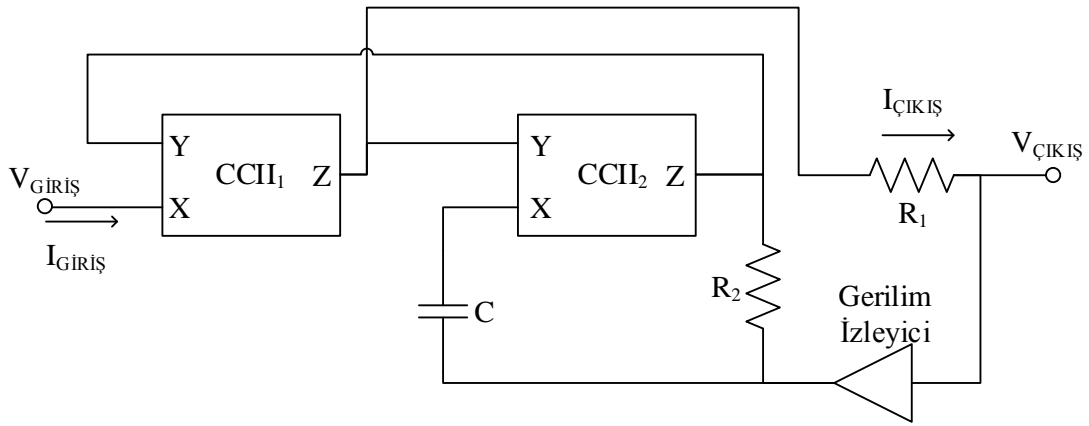
Şekil 2.33: CDTA tabanlı logaritmik yükselteç (Maktoomi ve diğ. 2012)

Şekil 2.33’te CDTA tabanlı logaritmik yükselteç devresi verilmiştir. Bu devrede logaritma alma işlemi diyot ile yapılmıştır. Devrede ekstra eleman kullanılmaması güç tüketimini oldukça düşürmüştür. CDTA iç yapısında kullanılan MOSFET’ler için TSMC 0.35µm modeli kullanılmıştır. Benzetimler LT SPICE programı kullanılarak gerçekleştirilmiştir. Benzetim sonuçları teorik sonuçları doğrulamaktadır. Benzetim sonuçlarına göre önerilmiş devre geniş dinamik aralığa sahiptir. Bunlara ek olarak devrede toplamda iki eleman kullanılması önerilmiş devreye tümleşik devre edilebilirlik açısından oldukça avantaj sağlamıştır.

### 2.6.3 Bobin Benzetim Devreleri

Bobin benzetim devrelerinde amaç, büyük boyutlardaki bobin yerine kullanılabilir eşdeğer bobin devresi gerçekleştirmektir. Burada bobini elde etmek için kapasite kullanılmaktadır. Kapasite kullanılarak elde edilmiş olan eşdeğer bobin devresi IC teknolojisine uygun olabilmektedir. Bu devreler filtre uygulamalarında,

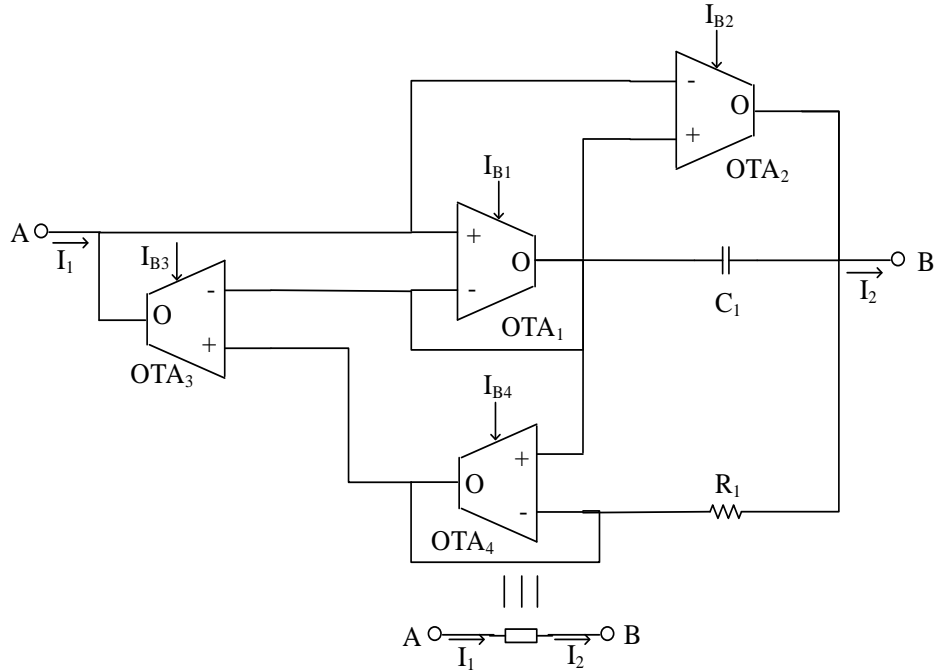
osilatör devrelerinde ve parazitik elemanların iptali için kullanılabilirler. Literatürde aktif blok yapıları ile gerçekleştirilmiş birçok bobin benzetim devreleri bulunmaktadır (Ayten ve diğ. 2011), (Banchuin ve diğ. 2007), (Nandi 1979), (Kwawsibsam ve diğ. 2013), (Yuce 2008). Literatürde bulunan bobin benzetimleri yüzen bobin benzetimleri (Ayten ve diğ. 2011), (Banchuin ve diğ. 2007) ve topraklanmış bobin (Nandi 1979), (Kwawsibsam ve diğ. 2013), (Yuce 2008) benzetimleri olarak ikiye ayrılabilir.



Şekil 2.34: CCII tabanlı yüzen bobin benzetimi (Ferri ve diğ. 1998)

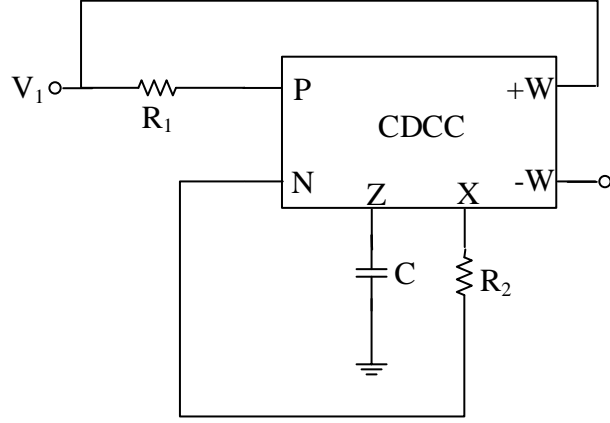
Şekil 2.34'te CCII tabanlı yüzen bobin benzetim devresi görülmektedir. Devrede kullanılan CCII aktif blok yapılarının iç yapısı MOSFET'ler kullanılarak gerçekleştirilmiştir. Önerilmiş devre 0.35µm CMOS teknolojisi kullanılarak simüle edilmiştir. Benzetim sonuçları göre önerilmiş devre 10Hz ile 1kHz arasında verimli çalışmaktadır. Teorik olarak hesaplanan bobin değeri 62.5mH iken, benzetim sonuçlarına göre bu değer 59mH olarak bulunmuştur. Hata payı yaklaşık olarak %5 civarındadır. Bununla beraber önerilmiş devrede kullanılan kapasite değeri 10pF ile 100pF arasında 10pF'lık aralıklarla lineer olarak seçildiğinde, eşdeğer bobin değerlerinin lineer değişim gösterdiği görülmektedir. Burada da hata payının %5'den az olduğu görülmüştür (Ferri ve diğ. 1998). Burada ki önerilmiş devrede, ikisi CCII biri gerilim izleyici olmak üzere üç adet aktif blok yapısı kullanılmıştır. Kullanılan aktif blok yapısı sayısının çokluğu, hem güç tüketimini arttırmaktadır hem de tümleşik devre teknolojisine uyulanabilirliği azaltmaktadır. Bilindiği üzere pasif

elemanların özellikle de kapasitelerin topraklı kullanılması mikroelektronik devreler için gürültü açısından oldukça önemlidir.



Şekil 2.35: OTA tabanlı yüzen bobin benzetimi (Longsombooni ve diğ. 2011)

Şekil 2.35'te OTA tabanlı yüzen bobin benzetim devresi gösterilmiştir. Önerilmiş devrede kullanılan kapasite değeri  $0.1\mu\text{F}$  ve kutuplama akımları  $I_{B2} = I_{B3}$  olarak seçilmiştir. Önerilmiş devrede  $I_{B2} = 100\mu\text{A}, 200\mu\text{A}, 500\mu\text{A}$  olacak şekilde üç farklı değer verildiğinde ve  $I_{B1}$   $10\mu\text{A}$  ile  $5\text{mA}$  arasında lineer olarak değiştirildiğinde beklenen bobin değeri ile elde edilen bobin değeri hemen hemen aynı çıkmaktadır. Önerilmiş devrede kutuplama akımları ile bobin değeri elektronik olarak değiştirilebilmektedir. Şekil 2.35'te gösterilen önerilmiş devre, gerilim yükseltici ve RLC alçak geçiren filtre devrelerinde kullanılarak uygunluğu test edilmiştir. Bununla beraber devrede dört adet aktif blok yapısı kullanılması devrede güç tüketimini arttıracak gibi tümleşik devre edilebilirliği azaltacaktır. Ayrıca devrede kullanılan kapasitenin büyük seçilmesi de tümleşik devre edilebilirliği azaltmaktadır. Bunlara ek olarak devrede çok fazla değerlerin değişken olması, devrede kullanılan elemanların birbiriyle uyumlu çalışmasını etkilemektedir.



Şekil 2.36: CDCC tabanlı topraklanmış bobin benzetimi(Kaçar ve diğ. 2015)

Şekil 2.36’da CDCC tabanlı topraklanmış bobin benzetimi gösterilmiştir. Önerilmiş devrede kullanılan CDCC aktif blok yapısı gerçekleştirilirken TSMC CMOS 0.35 $\mu$ m teknolojisi kullanılmıştır. Şekildeki devrede kullanılan pasif elemanların değerleri;  $C_1 = 625\text{pF}$ ,  $R_1 = R_2 = 4\text{k}\Omega$ ’dur. Bu değerler 10mH’lik eşdeğer bobin ve  $2\text{k}\Omega$ ’luk paralel direnç elde edilmesi için kullanılmıştır. Eşdeğer bobin değeri 0.1mH ve eşdeğer direnci  $0.5\text{k}\Omega$  olan bir R-L benzetimi elde etmek için  $R_1 = R_2 = 1\text{k}\Omega$   $C_1 = 0.1\text{nF}$  seçilmelidir. Önerilmiş devre dördüncü dereceden band geçiren filtre devresinde uygulanmıştır. Uygulama sonuçları göstermektedir ki önerilmiş devre filtre devreleri için uygundur. Bu devrede kullanılan kapasite değerlerinin büyük olması sebebiyle tümleşik devre teknolojisine uygun değildir. Çünkü IC teknolojisinde maksimum 20pF’lık kapasite tercih edilmektedir.



### 3 ÖNERİLEN KAPASİTE ÇARPMA DEVRESİNİN TEORİK ÇALIŞMALARI

Bu çalışmada, CFOA- (Negatif CFOA) kullanılarak kapasite çarpma devresi tasarlanmıştır. Önerilen devrede iki adet direnç, bir adet kapasite ve bir adet aktif blok yapısı kullanılmıştır. Tezin bu bölümünde, öncelikle kapasite çarpma devreleri hakkında genel bilgilerden bahsedilecektir. Bununla beraber, önerilen devrede kullanılan CFOA- aktif blok yapısına ve bu elemanın iç yapısına değinilecektir. Son olarak önerilen kapasite çarpma devresi hakkında teorik bilgilere ve benzetimlere yer verilecektir.

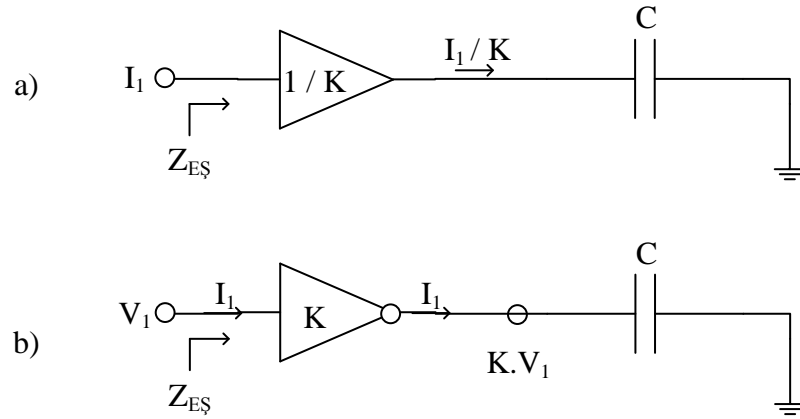
#### 3.1 Kapasite Çarpma Devreleri

Kapasite, pasif bir devre elemanı olup frekansa bağlı akım-gerilim ilişkisinden dolayı süzgeç devreleri, osilatör devreleri gibi uygulamalar için oldukça önemlidir. Denklem (3.1)'de kapasitenin zaman ortamındaki, Denklem (3.2)'de frekans ortamındaki akım-gerilim ilişkisi gösterilmiştir. Tümüleşik devre teknolojisinde bir kapasite yerine binlerce transistör kullanılabilir. Bununla beraber analog mikroelettronik devre tasarımlarında büyük değerdeki kapasiteler oldukça büyük alan kaplamaktadır. Bu sebeple 100pF'dan daha büyük değerdeki kapasiteler, gerek tümleşik devre içerisinde gerekse de mikroelettronik devre tasarımlarında kapladığı alan sebebiyle kullanıma çok uygun değildir. Gelişen teknoloji ile beraber tümleşik devrelerin boyutları hızlı bir şekilde küçülmektedir. Buna rağmen pasif elemanların boyutları aynı oranda küçülmemektedir. Dolayısıyla bu sorun daha da önem arz etmektedir. Örneğin, günümüzde tümleşik devre içerisinde 20pF değerdeki kapasitelerin kullanımı uygun görülmektedir. Bu sebeplerden dolayı büyük değerdeki kapasitelere göre az alan kaplayan kapasite çarpma devreleri mikroelettronik devre teknolojinde tercih edilmektedir.

$$I_C(t) = C \frac{dV_C(t)}{dt} \quad (3.1)$$

$$I_C = sCV_C \quad (3.2)$$

Kapasite çarpma devrelerinde, daha önceden de belirtildiği gibi küçük değerli bir kapasite kullanılarak büyük değerli bir kapasitenin eşdeğerinin elde edilmesi amaçlanmaktadır. Yani, tasarlanan devrenin çıkış empedansının, devrede kullanılan kapasite değerinin birden büyük katına eşit olması gerekmektedir. Kapasite çarpma devresinin blok diyagramı Şekil 3.1’de gösterilmiştir.

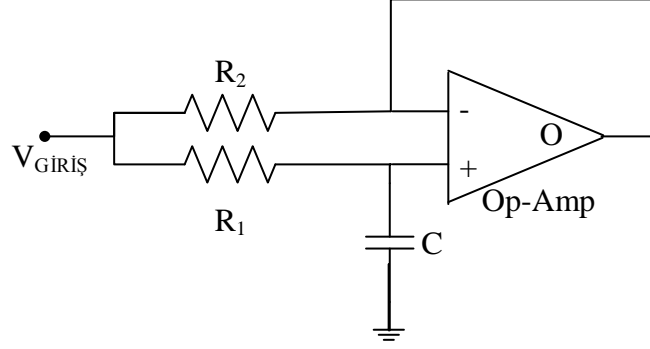


Şekil 3.1: Kapasite çarpma devresinin blok diyagramları

Şekil 3.1 a’da girişin akım olduğu durumdaki kapasite çarpma devresinin blok diyagramı gösterilmiştir. Burada  $K$  kuvvetlendirme bloğu giriş akımının  $1/K$  kuvvetini almaktadır ve bu bloğun üzerindeki gerilim sifıra eşittir. Dolayısı ile  $Z_C$  bloğu üzerindeki gerilim giriş gerilimine eşittir.

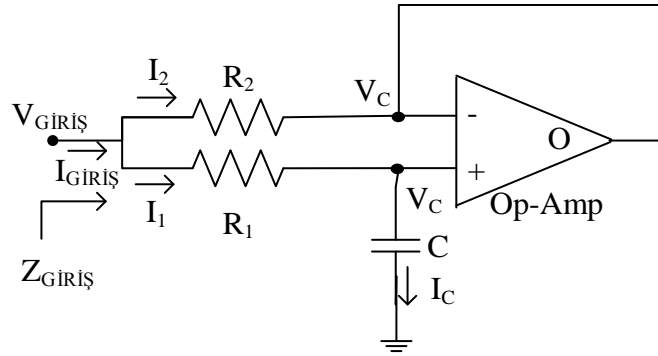
Şekil 3.1 b’de girişin gerilim olduğu durumdaki kapasite çarpma devresinin blok diyagramı gösterilmiştir. Burada  $K$  kuvvetlendirme bloğu giriş geriliminin  $K$  kuvvetini almaktadır ve bu bloğun giriş akımı çıkış akımına eşittir. Dolayısı ile  $Z_C$  bloğu üzerindeki akım giriş akımına eşittir.

Kapasite çarpma devreleri, aktif blok yapıları kullanılarak yapılabilir. En çok kullanılan aktif blok yapısı olan Op-Amp ile gerçekleştirilmiş temel bir kapasite çarpma devresi Şekil 3.2’de gösterilmiştir.



Şekil 3.2: Temel bir kapasite çarpma devresi

Şekil 3.2'deki devrenin teorik analizi aşağıdaki gibidir. Şekil 3.3'te temel kapasite çarpma devresine ait akım ve gerilimler gösterilmiştir.



Şekil 3.3: Temel kapasite çarpma devresi üzerindeki akım ve gerilimler

İdeal Op-Amp'ın (+) ve (-) uçları sonsuz direnç ile birbirine bağlıdır. Dolayısı ile bu iki uçtan Op-Amp'ın içine doğru bir akım akmaz. Bununla beraber ideal Op-Amp'ın kazancı sonsuzdur. Bu sebeple (+) ve (-) uçlarına ait gerilimler birbirine eşittir.

Kondansatör üzerindeki gerilime yani Op-Amp'ın (+) ucundaki gerilime  $V_C$  dersek, Op-Amp'ın (-) ucundaki gerilimde  $V_C$  olur. Bununla beraber Op-Amp'a giren akım sıfır olduğu için  $R_1$  direnci üzerindeki akım ile kondansatör üzerindeki akım birbirine eşittir.

$$I_1 = \frac{V_{\text{GİRİŞ}} - V_C}{R_1} \quad (3.3)$$

$$I_2 = \frac{V_{\text{GİRİŞ}} - V_C}{R_2} \quad (3.4)$$

Denklem (3.3) ve Denklem (3.4) oranlanırsa Denklem (3.5) elde edilir.

$$I_2 = I_1 \frac{R_1}{R_2} \quad (3.5)$$

$$I_1 = I_C \quad (3.6)$$

$$I_{\text{GİRİŞ}} = I_1 + I_2 \quad (3.7)$$

Kondansatörün akım gerilim ilişkisine ve empedans değerine ait denklemler sırasıyla Denklem (3.8) ve Denklem (3.9)'de verilmiştir.

$$I_C = sCV_C \quad (3.8)$$

$$Z_C = \frac{1}{sC} \quad (3.9)$$

Kondansatör üzerindeki gerilimi giriş gerilimi cinsinden yazarsak Denklem (3.10) bulunur.

$$V_C = V_{\text{GİRİŞ}} \frac{Z_C}{Z_C + R_1} \quad (3.10)$$

Denklem (3.5) ve Denklem (3.6), Denklem (3.7)'de yerine koyulursa Denklem (3.11) elde edilir.

$$I_{\text{GİRİŞ}} = I_C \left(1 + \frac{R_1}{R_2}\right) \quad (3.11)$$

$$Z_{\text{GİRİŞ}} = \frac{V_{\text{GİRİŞ}}}{I_{\text{GİRİŞ}}} \quad (3.12)$$

Denklem (3.8) ve Denklem (3.10), Denklem (3.11)'de yerine konursa Denklem (3.13) bulunur.

$$I_{GİRİŞ} = sCV_{GİRİŞ} \left( \frac{Z_C}{Z_C + R_1} \right) \left( 1 + \frac{R_1}{R_2} \right) \quad (3.13)$$

Gerekli işlemler ve sadeleştirmeler yapıldığında aşağıdaki denklem elde edilir.

$$I_{GİRİŞ} = V_{GİRİŞ} \left( \frac{1}{R_1 + \frac{1}{sC}} + \frac{1}{R_2 + \frac{1}{sC \frac{R_1}{R_2}}} \right) \quad (3.14)$$

Burada;  $(R_1 + \frac{1}{sC})$  eşitliğine  $Z_A$ ,  $(R_2 + \frac{1}{sC \frac{R_1}{R_2}})$  eşitliğine ise  $Z_B$  diyelim. Dikkat edilecek olursa giriş empedansı  $Z_A // Z_B$  'dır.

$$Z_{GİRİŞ} = Z_A // Z_B = \frac{Z_A Z_B}{Z_A + Z_B} \quad (3.15)$$

$$Z_{GİRİŞ} = \frac{(R_1 + \frac{1}{sC})(R_2 + \frac{1}{sC \frac{R_1}{R_2}})}{R_1 + \frac{1}{sC} + R_2 + \frac{1}{sC \frac{R_1}{R_2}}} \quad (3.16)$$

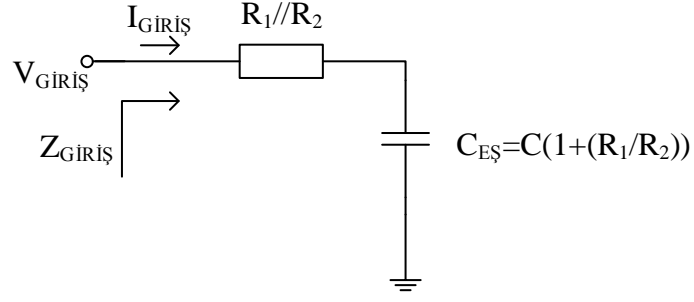
Denklem (3.16)'da gerekli sadeleştirmeler ve işlemler yapılırsa aşağıdaki denklem elde edilir.

$$Z_{GİRİŞ} = \frac{R_1 R_2}{R_1 + R_2} + \frac{1}{sC(1 + \frac{R_1}{R_2})} \quad (3.17)$$

$$Z_{GİRİŞ} = (R_1 // R_2) + Z_{C_{EŞ}} \quad (3.18)$$

$$C_{EŞ} = C(1 + \frac{R_1}{R_2}) \quad (3.19)$$

Denklem (3.17)'de elde edilen giriş empedansının eşdeğer devresi Şekil 3.4'te gösterilmiştir.



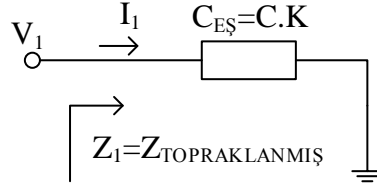
Şekil 3.4: Giriş empedansının eşdeğer devresi

Şekil 3.4 aynı zamanda Şekil 3.2'deki devrenin eşdeğeridir. Şekil 3.3'teki devrede Op-Amp kazancın 1 olduğu gerilim izleyici olarak bağlanmıştır. Offset gerilimleri (ideal olmayan Op-Amp'a giriş gerilimi uygulanmadığında alınan çıkış gerilimi) ihmal edilmiştir. Dikkat edilecek olursa eşdeğer empedansta etkin bir direnç seri olarak bağlanmıştır. Dolayısıyla burada elde edilen çarpılmış (yükseltilmiş) kapasite etkin dirence bağlıdır. Böylece bu devre ile yüksek verimlilikte kapasiteler elde edilemez. Yine aynı sebepten dolayı bu devre yüksek performans gerektiren filtre devrelerinde kullanılamaz. Fakat direncin kapasiteye seri olarak bağlandığı zamanlama uygulamaları ile basit alçak geçiren süzgeç devrelerinde kullanılabilir.

Kapasite çarpma devrelerinin davranışlarına göre iki çeşidi vardır. İlki topraklanmış kapasite çarpma devresidir. Eşdeğer devrenin, bir ucu topraklanmış kapasite gibi davranmasına denir. İkincisi yüzen kapasite çarpma devresidir. Burada ise eşdeğer devre iki potansiyel arasına bağlanmış kapasite gibi davranır.

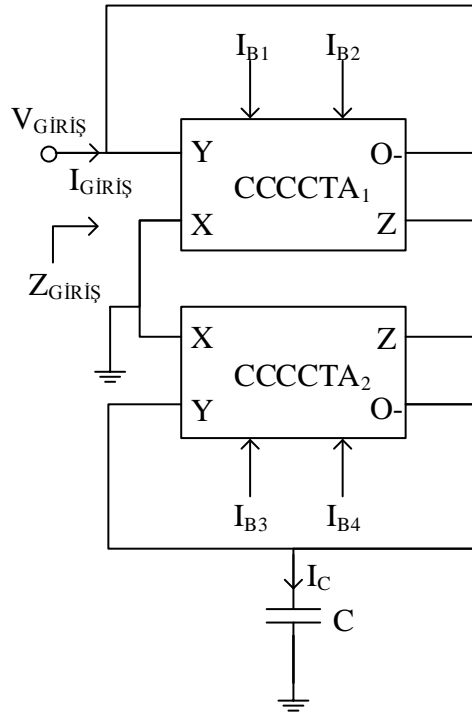
### 3.1.1 Topraklanmış Kapasite Çarpma Devresi

Topraklanmış kapasite çarpma devresinde eşdeğer kapasite, bir ucu sıfırdan farklı bir gerilime, diğer ucu ise toprağa bağlanmış olarak davranmaktadır. Kısaca tasarlanan devre, bir ucu toprağa bağlanmış kapasite gibi davranmaktadır. Topraklanmış kapasite çarpma devresinin eşdeğer blok yapısı Şekil 3.5'te gösterilmiştir.



Şekil 3.5: Topraklanmış kapasite çarpma devresinin eşdeğer blok yapısı

P. Silapan, C. Tanaphatsiri, M. Siripruchyanun tarafından 2008 yılında sunulmuş Şekil 3.6'daki devre örnek bir topraklanmış kapasite çarpma devresidir.



Şekil 3.6: Topraklanmış kapasite çarpma devresi (Silapan ve diğ. 2008)

Şekil 3.6'daki devrede kullanılan CCCCTA aktif blok yapısının uç bağlantıları Denklem (3.20)'de gösterilen matris denklemi ile verilmiştir. Burada  $R_x$  ve  $\pm g_m$  sırasıyla Denklem (3.21) ve Denklem (3.22) ile gösterilmiştir.

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \\ I_O \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ R_x & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & \pm g_m & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_Y \\ V_Z \\ V_O \end{bmatrix} \quad (3.20)$$

$$R_X = \frac{V_T}{2I_{B_1}} \quad (3.21)$$

$$g_m = \frac{I_{B_2}}{2V_T} \quad (3.22)$$

Burada  $V_T$  ısıt gerilimidir. Şekil 3.6'da gösterilen aktif blok yapısının uç denklemleri ile devre bağlantıları kullanılarak aşağıdaki denklemler elde edilir.

$$V_{Z_1} = V_{Z_2} = V_Z \quad (3.23)$$

$$I_{O_1} = I_{GİRİŞ} = g_{m_1} V_Z \quad (3.24)$$

$$I_{O_2} = I_C = g_{m_2} V_Z \quad (3.25)$$

$$I_{X_1} = I_{X_2} = I_Z \quad (3.26)$$

$$V_{Y_1} = V_{GİRİŞ} = -R_{X_1} I_Z \quad (3.27)$$

$$V_{Y_2} = V_C = -R_{X_2} I_Z \quad (3.28)$$

$$g_{m_1} = \frac{I_{B_2}}{2V_T} \quad (3.29)$$

$$g_{m_2} = \frac{I_{B_4}}{2V_T} \quad (3.30)$$

$$R_{X_1} = \frac{V_T}{2I_{B_1}} \quad (3.31)$$

$$R_{X_2} = \frac{V_T}{2I_{B_3}} \quad (3.32)$$

Denklem (3.24) ile Denklem (3.25) ve Denklem (3.27) ile Denklem (3.28) birbirleriyle oranlanırsa aşağıdaki eşitlikler elde edilir.

$$I_{GİRİŞ} = I_C \frac{g_{m_1}}{g_{m_2}} \quad (3.33)$$

$$V_{GİRİŞ} = V_C \frac{R_{X_1}}{R_{X_2}} \quad (3.34)$$

Denklem (3.30) ve Denklem (3.29), Denklem (3.33)'te ve Denklem (3.32) ve Denklem (3.31), Denklem (3.34)'te yerine konursa sırasıyla aşağıdaki denklemler elde edilir.



$$I_{GİRİŞ} = I_C \frac{I_{B_2}}{I_{B_4}} \quad (3.35)$$

$$V_{GİRİŞ} = V_C \frac{I_{B_3}}{I_{B_1}} \quad (3.36)$$

Önerilmiş devrenin giriş empedansı, giriş geriliminin giriş akımına bölünmesi ile elde edilir. Denklem (3.35),(3.36) ve (3.38) Denklem (3.37)'de yerine konursa Denklem (3.39) elde edilir. Burada eşdeğer empedans değeri Denklem (3.40)'da gösterilmiştir.

$$Z_{GİRİŞ} = \frac{V_{GİRİŞ}}{I_{GİRİŞ}} \quad (3.37)$$

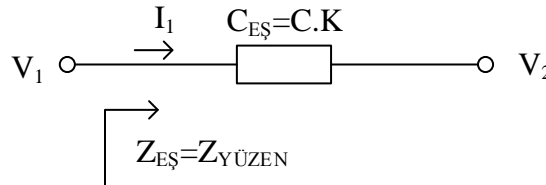
$$I_C = sCV_C \quad (3.38)$$

$$Z_{GİRİŞ} = \frac{1}{sC \frac{I_{B_1} I_{B_3}}{I_{B_2} I_{B_4}}} \quad (3.39)$$

$$C_{EŞ} = C \frac{I_{B_1} I_{B_3}}{I_{B_2} I_{B_4}} \quad (3.40)$$

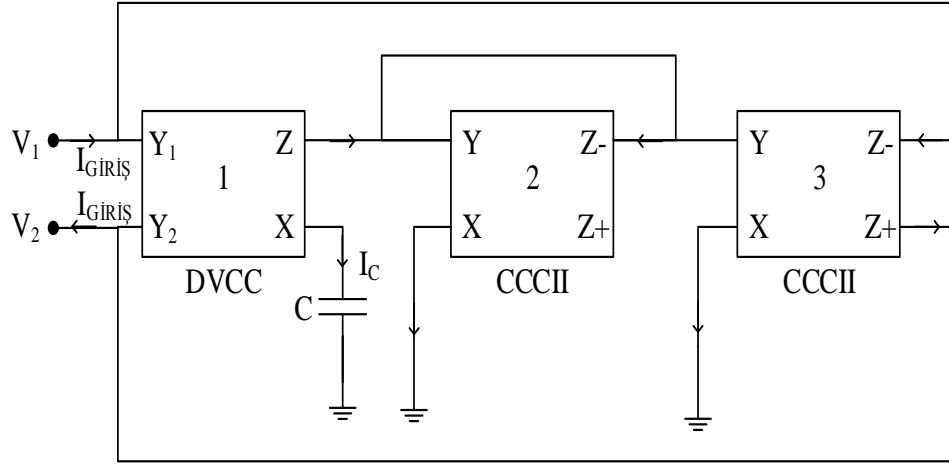
### 3.1.2 Yüzen Kapasite Çarpma Devresi

Yüzen kapasite çarpma devresinde eşdeğer kapasitenin, her iki ucu da sıfırdan farklı bir gerilimin bulunduğu düğümlere bağlıdır. Kısaca tasarlanan devre, iki potansiyel arasına bağlanmış kapasite gibi davranmaktadır. Yüzen kapasite çarpma devresinin eşdeğer blok yapısı Şekil 3.7'de gösterilmiştir.



Şekil 3.7: Yüzen kapasite çarpma devresinin eşdeğer blok yapısı

M. Siripruchyanan ve W. Jaikla tarafından 2007 yılında sunulmuş Şekil 3.8'deki devre örnek bir yüzen kapasite çarpma devresidir.



Şekil 3.8: Yüzen kapasite çarpma devresi (Siripruchyanan ve Jaikla 2007)

Şekil 3.8'deki devrede kullanılan aktif blok yapılarından DVCC aktif blok yapısının uç bağıntıları Bölüm 2.5.5'te, CCCII aktif blok yapısının uç bağıntıları ise Bölüm 2.5.3'te ele alınmıştır. Önerilmiş yüzen kapasite çarpma devresinde eşdeğer kapasite aşağıdaki işlemler yapılarak bulunur.

$$Z_{\text{GİRİŞ}} = \frac{V_1 - V_2}{I_{\text{GİRİŞ}}} \quad (3.41)$$

$$I_C = sCV_C \quad (3.42)$$

DVCC ve CCCII uç bağıntıları kullanılarak aşağıdaki denklemler elde edilir.

$$I_{Z_1} = I_{X_1} = I_C \quad (3.43)$$

$$I_{Z_2} = I_{X_2} = I_C \quad (3.44)$$

$$I_{Z_3} = I_{Z_3} = I_{X_3} = I_{\text{GİRİŞ}} \quad (3.45)$$

$$R_{X_2} = \frac{V_T}{2I_{B_2}} \quad (3.46)$$

$$R_{X_3} = \frac{V_T}{2I_{B_3}} \quad (3.47)$$

$$V_{X_1} = V_{Y_1} - V_{Y_2} \quad (3.48)$$

$$V_{X_2} = V_{Y_2} + R_{X_2} I_{X_2} \quad (3.49)$$

$$V_{Y_2} = V_{X_2} - R_{X_2} I_{X_2} \quad (3.50)$$

$$V_{X_3} = V_{Y_3} + R_{X_3} I_{X_3} \quad (3.51)$$

$$V_{Y_3} = V_{X_3} - R_{X_3} I_{X_3} \quad (3.52)$$

$$V_C = V_1 - V_2 \quad (3.53)$$

Şekil 3.8'de de görüldüğü gibi  $V_{X_2} = 0$ ;  $V_{X_3} = 0$ ;  $V_{Y_2} = V_{Y_3}$  olduğu için Denklem (3.50) ve Denklem (3.52) eşitlenirse ve Denklem (3.46) ve Denklem (3.47) burada yerine konursa aşağıdaki eşitlik elde edilir.

$$I_{GİRİŞ} = \frac{I_{B_3}}{I_{B_2}} I_C \quad (3.54)$$

Denklem (3.42), Denklem (3.53) ve Denklem (3.54), Denklem (3.41)'de yerine konursa aşağıdaki eşitlik elde edilir.

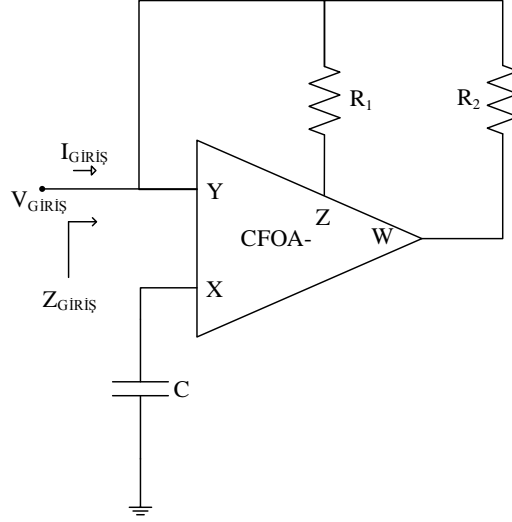
$$Z_{GİRİŞ} = \frac{1}{sC \frac{I_{B_3}}{I_{B_2}}} \quad (3.55)$$

$$C_{EŞ} = C \frac{I_{B_3}}{I_{B_2}} \quad (3.56)$$

$$Z_{GİRİŞ} = Z_{EŞ} \quad (3.57)$$

### 3.2 Önerilen Kapasite Çarpma Devresi

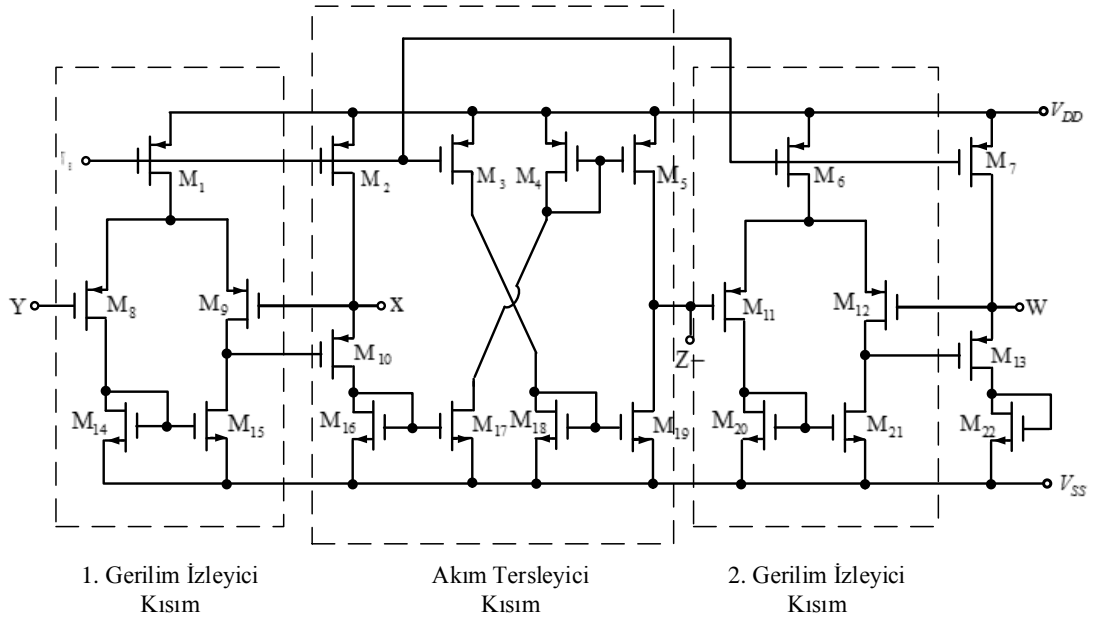
Önerilen devrede aktif blok yapısı olarak negatif akım geri beslemeli işlemsel yükselteç (CFOA-) kullanılmıştır. Devrede ikisi direnç biri kondansatör olmak üzere toplamda üç adet pasif eleman kullanılmıştır. Önerilen devrenin girişine gerilim kaynağı bağlanmıştır ve bu gerilim aktif blok yapısının Y terminaline verilmiştir. Bununla beraber devrede bulunan  $R_1$  ve  $R_2$  dirençleri sırasıyla Y-Z, Y-W terminalleri arasına yerleştirilmiştir. Devrede bulunan kapasite ise bir ucu topraklanmış bir şekilde X ucuna bağlanmıştır. Kapasite çarpma devresi için önerilen devre Şekil 3.9'da gösterilmiştir.



Şekil 3.9: Önerilen kapasite çarpma devresi

### 3.2.1 Önerilen Devrede Kullanılan Aktif Blok Yapısı

Önerilen devrede kullanılan aktif blok yapısı CFOA-'dır. Tezin bu bölümünde, kullanılan aktif blok yapısı incelenmiş ve çalışma parametreleri benzetimler ile gösterilmiştir. Şekil 2.30'da gösterilen devrede, aktif blok yapısının matematiksel bağıntılarını gerçekleştirmelerini gösterebilmek için Şekil 3.10'da gösterildiği gibi üç kısımda incelenmiştir.



Şekil 3.10: CFOA- iç yapısının bloklar halinde gösterimi

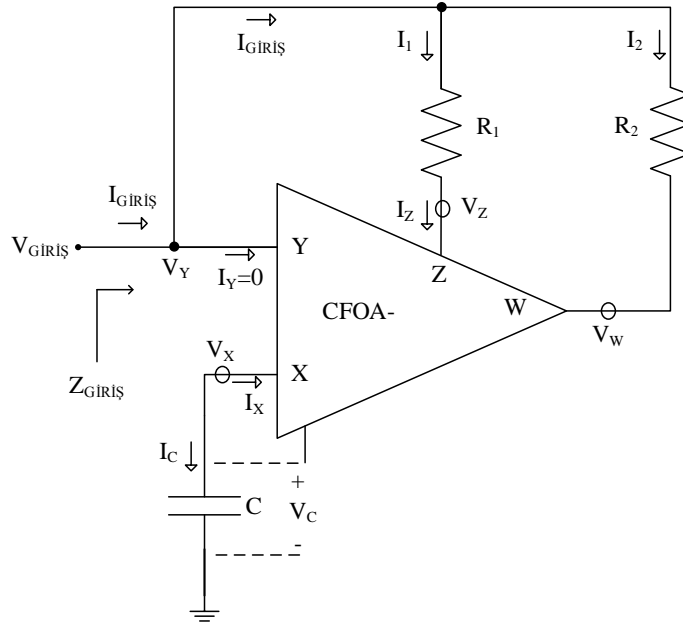
CFOA- aktif blok yapısının uç bağıntılarından biri  $V_X = V_Y$ 'dir. Bu eşitlik Şekil 3.10'da gösterilen 1. Gerilim İzleyici Kısım'da gerçekleştirilir.  $M_1$  üzerinden akan akım  $I_1$ ,  $M_8$  ve  $M_{14}$  üzerinden akan akım  $I_2$ ,  $M_9$  ve  $M_{15}$  üzerinden akan akım  $I_3$  olsun. MOSFET'lerin kanal boyu modülasyon etkileri yok sayılırsa ve  $M_{14}$  ile  $M_{15}$ 'in ve  $M_8$  ile  $M_9$ 'un en boy oranları aynı ise  $M_{14}$  ve  $M_{15}$ 'ten akan akımlar aynı olur. Bunun sonucunda  $M_{14}$  ve  $M_{15}$  çifti bir akım aynası devresi gibi davranmaktadır. Dolayısı ile  $M_8$  ve  $M_9$ 'dan akan akımlar da aynı olur.  $M_8$  ve  $M_9$ 'dan akan akımlar aynı olduğu için G ucu gerilimleri eşit olur. Böylece çok büyük yaklaşık  $V_X = V_Y$  eşitliği elde edilmiştir.

CFOA- aktif blok yapısının bir diğer uç bağıntısı ise  $I_Z = -I_X$ 'dir. Bu eşitlik Şekil 3.10'da gösterilen Akım Tersleyici Kısım'da gerçekleştirilir. Buradaki akım aynaları,  $M_2$  ile  $M_3$ ,  $M_4$  ile  $M_5$ ,  $M_{16}$  ile  $M_{17}$  ve  $M_{18}$  ile  $M_{19}$  ikili gruplarıdır. Her ikili gruba ait MOSFET'lerin en boy oranları eşit olduğu ve kanal boyu modülasyon etkisinin olmadığı varsayılmıştır.  $M_2$  üzerinden akan akım  $I_1$  olsun. Bununla beraber X ucundan içeri yönlü  $I_2$  akımı aksın. Bu durumda  $M_{10}$  ve  $M_{16}$ 'dan akan akım  $I_1 + I_2$  olur.  $M_{16}$ 'dan  $I_1 + I_2$  akımı akıyorsa  $M_4$ 'den de  $I_1 + I_2$  akımı akar.  $M_4$  ile  $M_5$ 'in akım aynası olarak kullanılmasından dolayı  $M_5$ 'ten akan akım da  $I_1 + I_2$  olur.  $M_2$  ile  $M_3$ 'ün bulunduğu akım aynası kullanılırsa  $M_3$ 'ten akan akım  $I_1$  olur.  $M_3$ 'ten  $I_1$  akımı akıyorsa  $M_{18}$ 'den de  $I_1$  akımı akmalıdır.  $M_{18}$  ile  $M_{19}$ 'ün bulunduğu akım aynası kullanılırsa  $M_{19}$ 'dan akan akım da  $I_1$  olur.  $M_5$ 'den  $I_1 + I_2$ ,  $M_{19}$ 'dan  $I_1$  akımı akıyorsa Z- ucundan dışarı yönlü olacak şekilde  $I_2$  akımı akmalıdır.

CFOA- aktif blok yapısına ait uç bağıntılarından bir diğeri ise  $V_W = V_{Z-}$ 'dir. Bu eşitlik Şekil 3.10'da gösterilen 2. Gerilim İzleyici Kısım'da gerçekleştirilir. Burada yapılan işlemler 1. Gerilim İzleyici Kısım'da yapılan işlemler ile aynıdır.

### 3.2.2 Önerilen Devrenin Teorik İncelemesi

Önerilen kapasite çarpma devresine ait akımların ve gerilimlerin devre üzerinde gösterimi Şekil 3.11'de verilmiştir. Devrenin analizi yapılırken buradaki akım ve gerilimler dikkate alınacaktır. Akım yönleri devre üzerinde belirtildiği gibidir.



Şekil 3.11: Önerilen kapasite çarpma devresine ait akım ve gerilimler

Bu devrenin teorik incelemesi yapılırken kullanılan aktif blok yapısının uç bağıntıları dikkate alınmalıdır. Kullanılan aktif blok yapısı olan CFOA-’ye ait uç bağıntıları Bölüm 2.5.12’de verilmiştir. CFOA+ aktif blok yapısı için  $I_X$  ve  $I_Z$  akımları aynı yönlü olmak şartıyla (ikisi de giren akım veya ikisi de çıkan akım) birbirine eşittir. CFOA- aktif blok yapısı için ise  $I_X$  ve  $I_Z$  yön olarak birbirinin tersidir.

$$I_{GIRIS} = I_1 + I_2 \quad (3.58)$$

$$V_X = V_Y = V_C = V_{GIRIS} \quad (3.59)$$

$$I_Z = -I_X = I_C = I_1 \quad (3.60)$$

$$V_Z = V_W = V \quad (3.61)$$

Denklem (3.61)’deki eşitliğe  $V$  denilmiştir. Bunun sebebi yapılacak olan teorik işlemlerin daha kolay yapılabilmesidir.

$R_1$  üzerindeki akım  $I_1$  olarak tanımlanmıştır. Bu akım, Denklem (3.62)’de verilmiştir.

$$I_1 = \frac{V_Y - V_Z}{R_1} = \frac{V_Y - V}{R_1} \quad (3.62)$$

$R_2$  üzerindeki akım  $I_2$  olarak tanımlanmıştır. Bu akım, Denklem (3.63)'te verilmiştir.

$$I_2 = \frac{V_Y - V_W}{R_2} = \frac{V_Y - V}{R_2} \quad (3.63)$$

Sırasıyla Denklem (3.62) ve Denklem (3.63)'te verilen  $I_1$  ve  $I_2$  akımları birbirlerine oranlanırsa Denklem (3.65) elde edilir.

$$\frac{I_1}{I_2} = \frac{\frac{V_Y - V}{R_1}}{\frac{V_Y - V}{R_2}} = \frac{R_2}{R_1} \quad (3.64)$$

$$I_2 = I_1 \frac{R_1}{R_2} \quad (3.65)$$

Denklem (3.65), Denklem (3.58)'de yerine konursa Denklem (3.68) elde edilir.

$$I_{GİRİŞ} = I_1 + I_2 \quad (3.66)$$

$$I_{GİRİŞ} = I_1 + I_1 \frac{R_1}{R_2} \quad (3.67)$$

$$I_{GİRİŞ} = I_1 \left(1 + \frac{R_1}{R_2}\right) \quad (3.68)$$

Kondansatörün akım-gerilim ilişkisinin frekans ortamındaki eşitliği Denklem (3.69) ile gösterilmiştir. Denklem (3.69), Denklem (3.60)'da yerine konursa Denklem (3.71) elde edilir.

$$I_C = sCV_C \quad (3.69)$$

$$I_1 = I_C \quad (3.70)$$

$$I_1 = sCV_C \quad (3.71)$$

Denklem (3.71), Denklem (3.68)'de yerine konursa aşağıdaki denklem elde edilir.

$$I_{GİRİŞ} = sC(1 + \frac{R_1}{R_2})V_C \quad (3.72)$$

Giriş empedansı  $Z_{GİRİŞ}$  ve kapasitif bir elemanın empedansı  $Z_C$  aşağıdaki denklemlerde verilmiştir.

$$Z_{GİRİŞ} = \frac{V_{GİRİŞ}}{I_{GİRİŞ}} \quad (3.73)$$

$$Z_C = \frac{1}{sC} \quad (3.74)$$

Denklem (3.72) ve Denklem (3.59), Denklem (3.73)'te yerine konursa Denklem (3.77) elde edilir.

$$Z_{GİRİŞ} = \frac{V_{GİRİŞ}}{I_{GİRİŞ}} \quad (3.75)$$

$$Z_{GİRİŞ} = \frac{V_C}{sC(1 + \frac{R_1}{R_2})V_C} \quad (3.76)$$

$$Z_{GİRİŞ} = \frac{1}{sC(1 + \frac{R_1}{R_2})} \quad (3.77)$$

$$K = 1 + \frac{R_1}{R_2} \quad (3.78)$$

Burada K, birimsizdir ve dirençler ile değiştirilen kuvvetlendirme katsayısı olarak tanımlanmıştır. Dolayısı ile eşdeğer kapasite değeri önerilen devrede kullanılan C ile K'nın çarpımı ile elde edilir.

$$C_{EŞ} = C.K \quad (3.79)$$

$$Z_{GİRİŞ} = \frac{1}{sC_{EŞ}} \quad (3.80)$$

Dikkat edilirse  $Z_{GİRİŞ}$ ,  $Z_C$ 'ye benzemektedir. Dolayısı ile teorik aşağıdaki gibi elde edilmektedir.

$$Z_{GİRİŞ} = Z_{C_{EŞ}} \quad (3.81)$$



$$Z_{E\text{Ş}} = \frac{1}{sC_{E\text{Ş}}} \quad (3.82)$$

$$C_{E\text{Ş}} = C.K \quad (3.83)$$

$$K = 1 + \frac{R_1}{R_2} \quad (3.84)$$

$$C_{E\text{Ş}} = C \left( 1 + \frac{R_1}{R_2} \right) \quad (3.85)$$

### 3.2.3 Önerilen Devrenin Benzetim Sonuçları

Önerilen devrenin benzetimi OrCAD programının PSPICE AD BASICS arayüzü kullanılarak gerçekleştirilmiştir.

Benzetimler için Şekil 2.30'da gösterilen CFOA-'nin iç yapısı kullanılmıştır. Bu devrede kullanılan MOSFET'ler için 0.13µm IBM (Uluslararası İş Makineleri Şirketi) teknolojisi kullanılmıştır. Bu teknolojiye alternatif olarak 0.18µm veya 0.25µm IBM teknolojisi kullanılabilirdi. Fakat tezin amaçlarından biri olan tümleşik devre içerisinde kullanım için, devrede kullanılacak MOSFET'lerin en küçük boyutlara sahip olacağı teknoloji kullanılmalıdır. Böylece tümleşik devre boyutu daha da küçülebilecektir. Bu da üreticilerin talep ettiği bir durumdur.

PSPICE programı için kullanılacak 0.13µm IBM teknolojisine ait MOSFET parametreleri EK A'da verilmiştir.

Önerilen devrenin benzetiminin yapılabilmesi için kullanılan MOSFET'lerin en-boy oranları belirlenmelidir. En-boy oranı belirlenirken kullanılan teknoloji göz önünde bulundurulmalıdır. Kullanılan teknoloji 0.13µm olduğu için MOSFET'lerin daha kolay üretilebilmelerini sağlayabilmek adına devrede kullanılan MOSFET'lerin en-boy oranları 0.13µm'nin katı olarak seçilmiştir. Önerilen devrede kullanılan MOSFET'lere ait en boy oranları Tablo 3.1'de verilmiştir.

Tablo 3.1: Önerilen devrede kullanılan MOSFET'lerin en boy oranları

MOSFETLER	W[ $\mu\text{m}$ ]	L[ $\mu\text{m}$ ]
$M_1 - M_9$	5.2	0.52
$M_{11}, M_{12}$	5.2	0.52
$M_{10}, M_{13}$	13	0.52
$M_{14} - M_{22}$	83.2	0.52

Önerilen devrenin analizleri için PSPICE benzetim programına yazılan kodlar EK B'de verilmiştir.

Tasarlanan devrede besleme gerilimleri  $V_{DD} = -V_{SS} = 0.75V$ , kutuplama gerilimi  $V_B = 0.37V$  olarak seçilmiştir. Devre benzetimlerinde, referans direnci olarak kullanılan  $R_2$  direnci  $1K\Omega$  olarak belirlenmiş ve  $R_1$  direnci ile kuvvetlendirme katsayısı ayarlanmıştır. Devre,  $0.75V$  simetrik besleme gerilimlerinde maksimum  $0.1mW$  güç tüketmektedir.

$R_1$  ve  $R_2$  dirençlerinin değerlerine göre hesaplanan teorik kapasite değerleri ile yapılan benzetimlerden elde edilen kapasite değerleri karşılaştırmalı olarak Tablo 3.2'de sunulmuştur. Tablo 3.2'de kullanılan K bağıntısı Denklem (3.84)'te gösterilmiştir. Tabloda görülen hata payı, MOSFET'lerin yüksek frekans modellerindeki kapasitif etkilerden kaynaklanmaktadır.

Tablo 3.2: 100KHz-6MHz arası K değişkenine göre elde edilen C

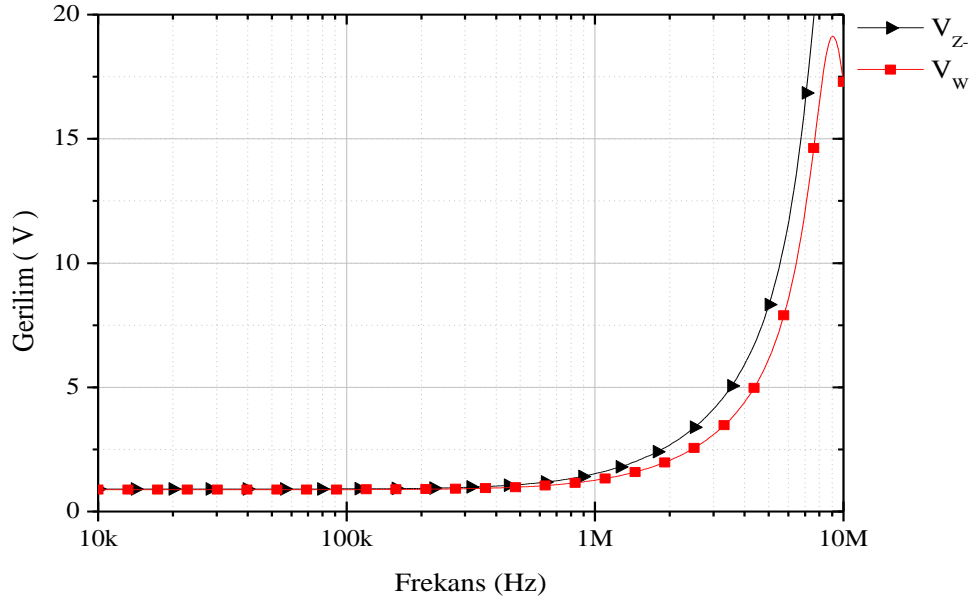
C (pF)	K	$R_1$ (k $\Omega$ )	$R_2$ (k $\Omega$ )	Olması Gereken C (pF)	Eşdeğer Kapasite C (pF)	Hata Payı (%)
20	2	1	1	40	46	13,0435
20	3	2	1	60	66	9,09091
20	4	3	1	80	85	5,88235
20	5	4	1	100	104	3,84615
20	6	5	1	120	122	1,63934
20	7	6	1	140	140	0
20	8	7	1	160	159	-0,6289
20	9	8	1	180	177	-1,6949
20	10	9	1	200	195	-2,5641
20	20	19	1	400	364	-9,8901
20	30	29	1	600	516	-16,279
20	40	39	1	800	650	-23,077
20	50	49	1	1000	775	-29,032

Önerilen devrenin entegre edilebilir olması için devrede 20pF kapasite değeri kullanılmıştır. Devrenin kullanılabilirliğini gösterebilmek için önerilen devrenin benzetimlerinde 20pF kapasite dışında 27pF, 33pF, 47pF, 100pF, 1nF, 10nF, 100nF gibi ticari olarak temin edilebilen kapasiteler de kullanılmıştır. Bu kapasitelerin farklı kuvvetlendirme katsayılarında elde edilen kapasite değerleri Tablo 3.3'te verilmiştir.

Tablo 3.3: Farklı kapasitelerin farklı kuvvetlendirme katsayılarına göre elde edilen kapasite değerleri

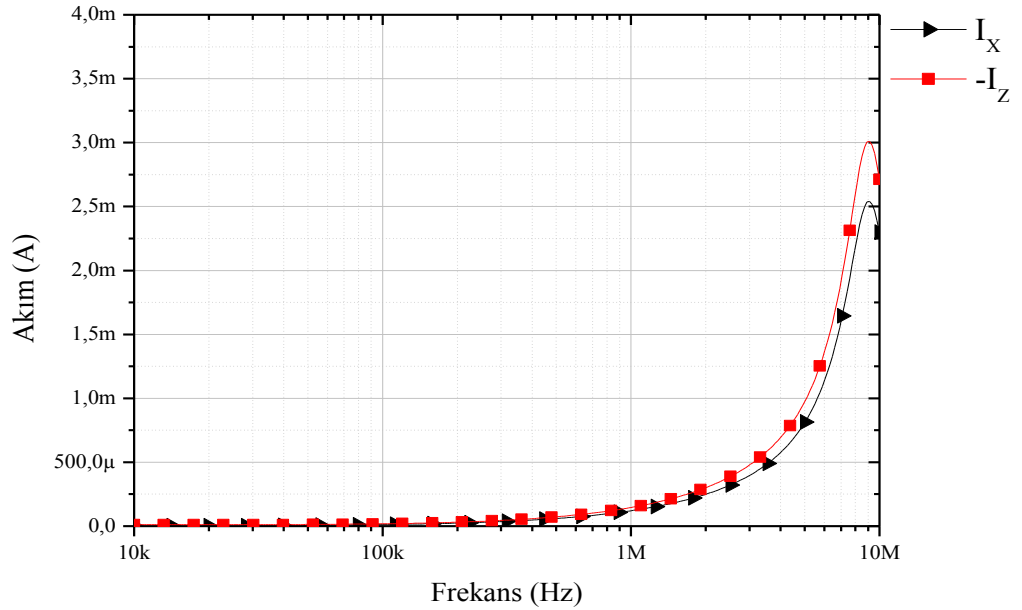
C	K	R1 (kΩ)	R2 (kΩ)	Olması Gereken C	Elde Edilen C	Hata Payı (%)	Çalışma Frekansı
20pF	5	4	1	100pF	104pF	3,84615	100KHz-6MHz
20pF	7	6	1	140pF	140pF	0	
20pF	10	9	1	200pF	195pF	-2,5641	
27pF	5	4	1	135pF	138,8pF	2,73775	100KHz-6MHz
27pF	7	6	1	189pF	189pF	0	
27pF	10	9	1	270pF	262,3pF	-2,9356	
33pF	5	4	1	165pF	169,39pF	2,59165	70KHz-5.5MHz
33pF	7	6	1	231pF	231pF	0	
33pF	10	9	1	330pF	320,65pF	-2,916	
47pF	5	4	1	235pF	241,4pF	2,6512	50KHz-5MHz
47pF	7	6	1	329pF	329pF	0	
47pF	10	9	1	470pF	457,8pF	-2,6649	
100pF	5	4	1	500pF	517pF	3,2882	30KHz-5MHz
100pF	7	6	1	700pF	706pF	0,84986	
100pF	10	9	1	1nF	982pF	-1,833	
1nF	5	4	1	5nF	5nF	0	1KHz-1MHz
1nF	7	6	1	7nF	6,81nF	-2,79	
1nF	10	9	1	10nF	9,48nF	-5,4852	
10nF	5	4	1	50nF	50nF	0	100Hz-100KHz
10nF	7	6	1	70nF	68,5nF	-2,1898	
10nF	10	9	1	100nF	95,1nF	-5,1525	
100nF	5	4	1	500nF	500nF	0	10Hz-10KHz
100nF	7	6	1	700nF	680nF	-2,9412	
100nF	10	9	1	1μF	951nF	-5,1525	

CFOA aktif blok yapısının uç denklemleri Denklem (2.74)'te gösterilmiştir. Önerilen devrede kullanılan CFOA- aktif blok yapısı, bu uç bağıntılarını sağlamalıdır. Önerilen devrede CFOA- uç bağıntılarına ait şartların sağlandığı Şekil 3.12, Şekil 3.13 ve Şekil 3.14' te gösterilmiştir.



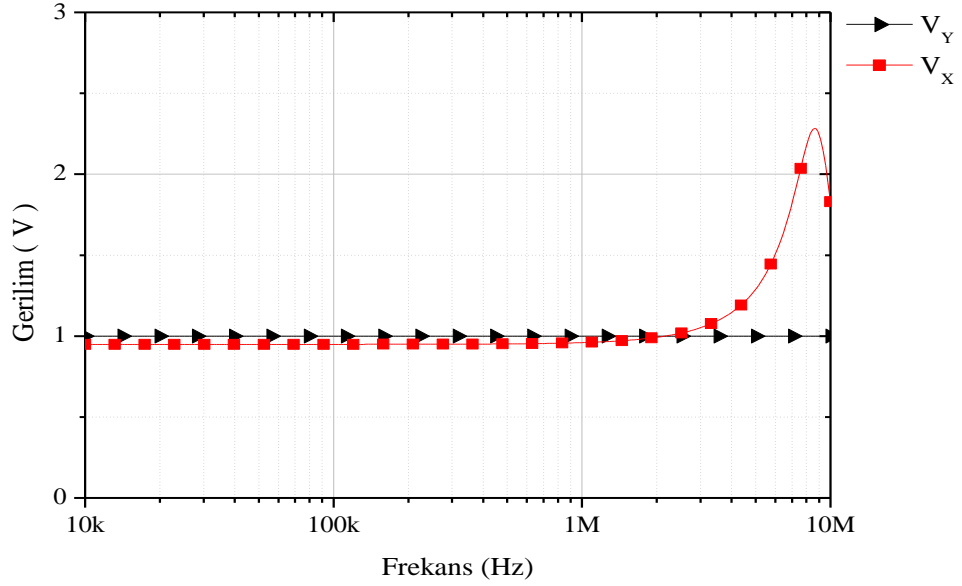
Şekil 3.12: CFOA-'nin Z- ve W uçlarına ait gerilimlerin frekans ortamındaki gösterimi

Şekil 3.12'de CFOA-'nin Z- ve W uçlarına ait gerilimlerin frekans ortamındaki grafikleri gösterilmiştir. Şekilde de görüldüğü üzere  $V_Z$ - ve  $V_W$  gerilimleri kabul edilebilir hatalar ile birbirine eşittir.



Şekil 3.13: CFOA-'nin X ve Z- uçlarına ait akımların frekans ortamındaki gösterimi

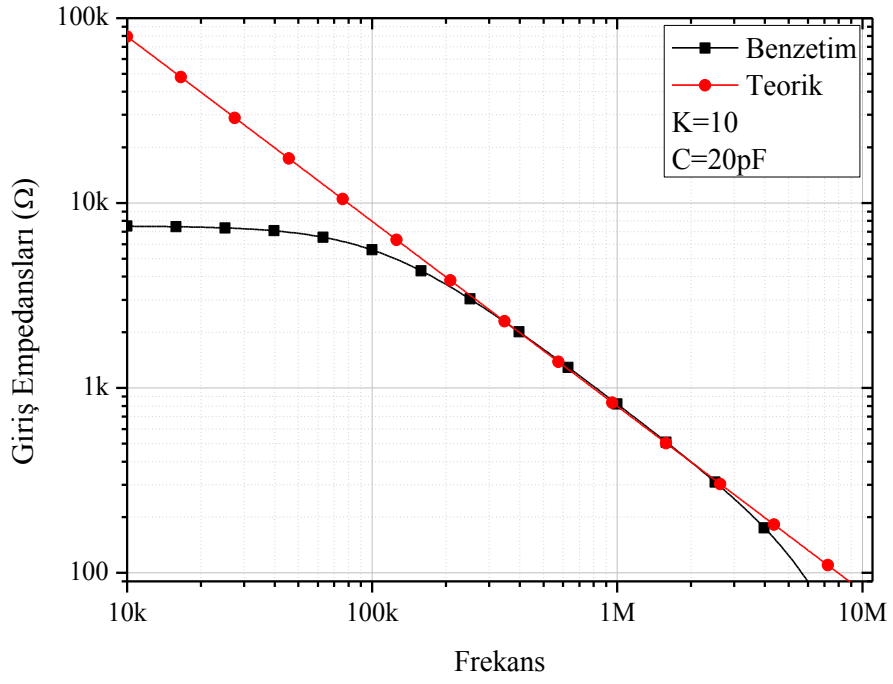
Şekil 3.12’de CFOA-’nin Z- ve X uçlarına ait akımların frekans ortamındaki grafikleri gösterilmiştir. Şekilde de görüldüğü üzere  $-I_Z$  ve  $I_X$  gerilimleri kabul edilebilir hatalar ile birbirine eşittir.



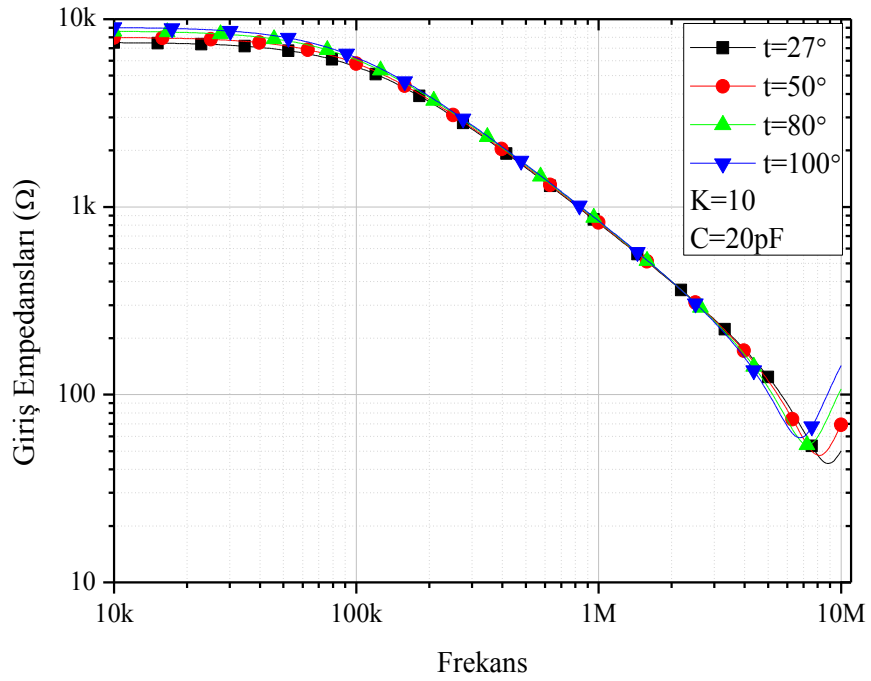
Şekil 3.14: CFOA-'nin Y ve X uçlarına ait gerilimlerin frekans ortamındaki gösterimi

Şekil 3.14’te CFOA-’nin X ve Y uçlarına ait gerilimlerin frekans ortamındaki grafikleri gösterilmiştir. Şekilde de görüldüğü üzere  $V_X$  ve  $V_Y$  gerilimleri kabul edilebilir hatalar ile birbirine eşittir.

Şekil 3.15’te  $K = 10$  ve  $C = 20\text{pF}$  değerleri için benzetim ve teorik olarak elde edilen giriş empedansları gösterilmiştir. 100KHz ile 6MHz arasında elde edilen giriş empedansı kabul edilebilir hatalar ile olması gereken giriş empedansına eşittir. Bu şekil göstermektedir ki bu frekans aralıklarında önerilen devre kapasite çarpma devresi olarak kullanılabilir.

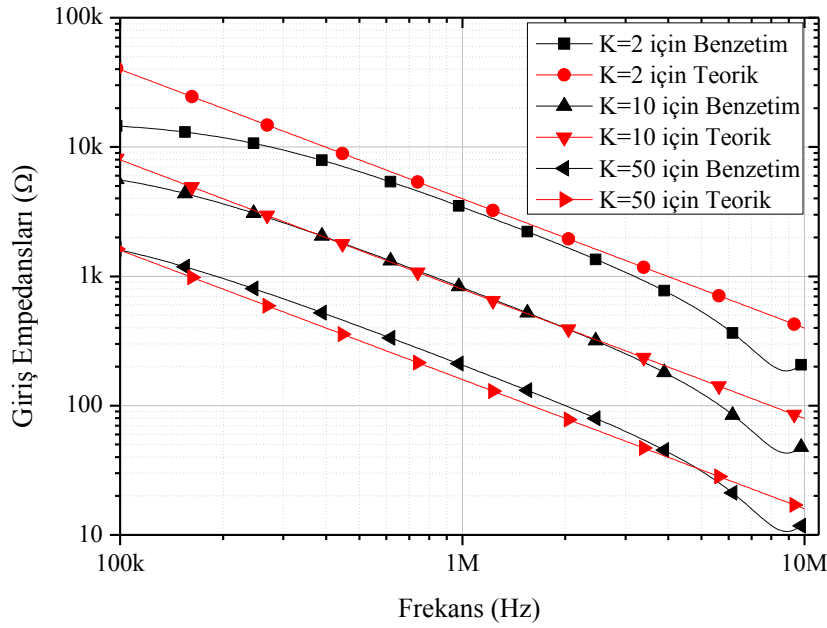


Şekil 3.15: Giriş Empedanslarının Frekans Ortamındaki Benzetimleri



Şekil 3.16: Farklı sıcaklıklarda giriş empedansının genliğinin frekans cevabı

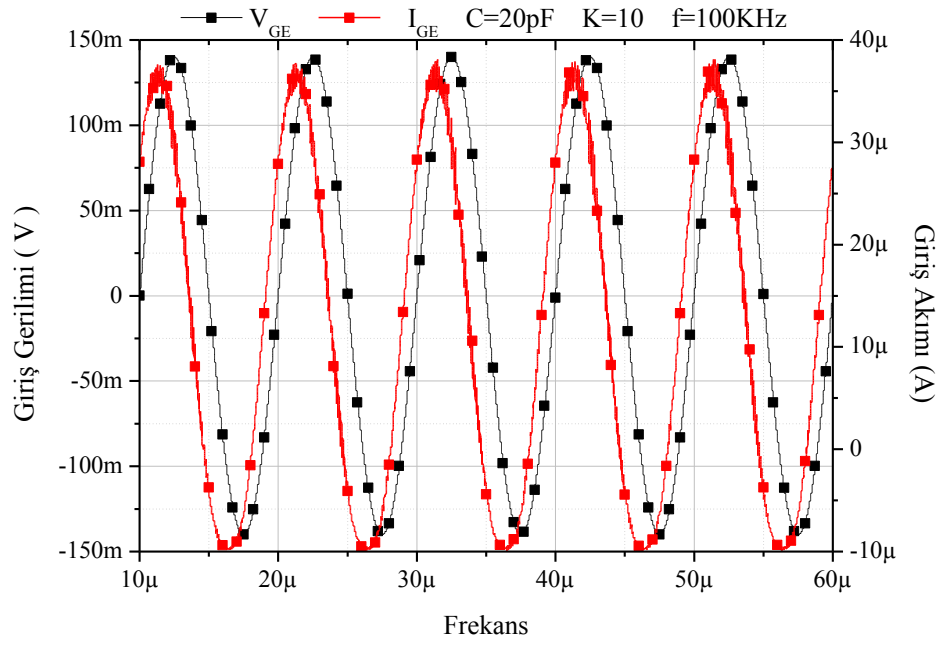
Şekil 3.16'da ise devrenin giriş empedansının sıcaklığa göre değişimi gösterilmiştir. Sıcaklık analizleri için dört sıcaklık değeri referans olarak seçilmiştir. Bu değerler 27°C, 50°C, 80°C ve 100°C'dir. Görüldüğü gibi sıcaklık değişimine karşı önerilen devrenin empedansı kabul edilebilir sınırlar içinde değişim göstermiştir.



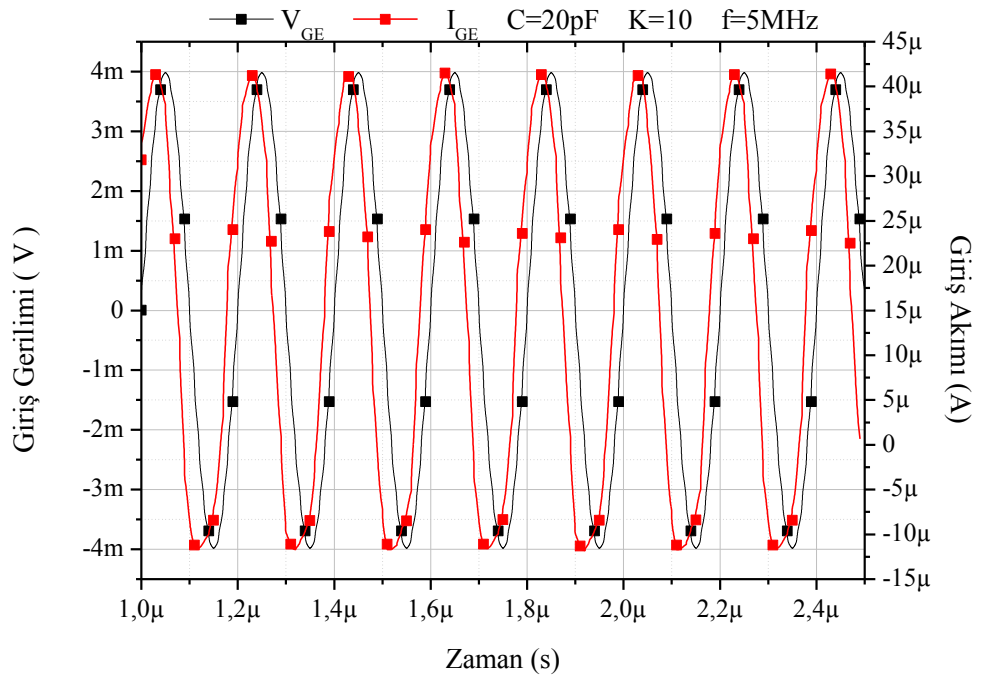
Şekil 3.17: Farklı kuvvetlendirme katsayıları için, elde edilen ve teorik giriş empedanslarının frekans cevapları

Şekil 3.17'de farklı kuvvetlendirme katsayılarında benzetim ve teorik sonuçlardan elde edilen giriş empedanslarının frekans cevapları gösterilmiştir. Benzetimler frekans ortamında yapılmıştır. Yaklaşık 2 dekatlık frekans değişiminde teorik sonuçlar ile benzetim sonuçları birbirine yakın seyretmektedir.

Şekil 3.18 ve Şekil 3.19 önerilen devrede 10 kat kuvvetlendirme için, giriş kaynağının maksimum genliklerini göstermektedir. Şekil 3.18'de 100KHz giriş frekansı için giriş genliğinin maksimum değerinin 140mV olduğu görülmektedir. Bu değer üstündeki giriş gerilimleri için giriş akımı bozulmaktadır. Şekil 3.19'de 5MHz giriş frekansı için giriş genliğinin maksimum değerinin 4mV olduğu görülmektedir. Bu değer üstündeki giriş gerilimleri için giriş akımı bozulmaktadır. Şekillerden de anlaşılacağı üzere frekans değeri azaltıldıkça giriş kaynağının maksimum genliği artmaktadır.

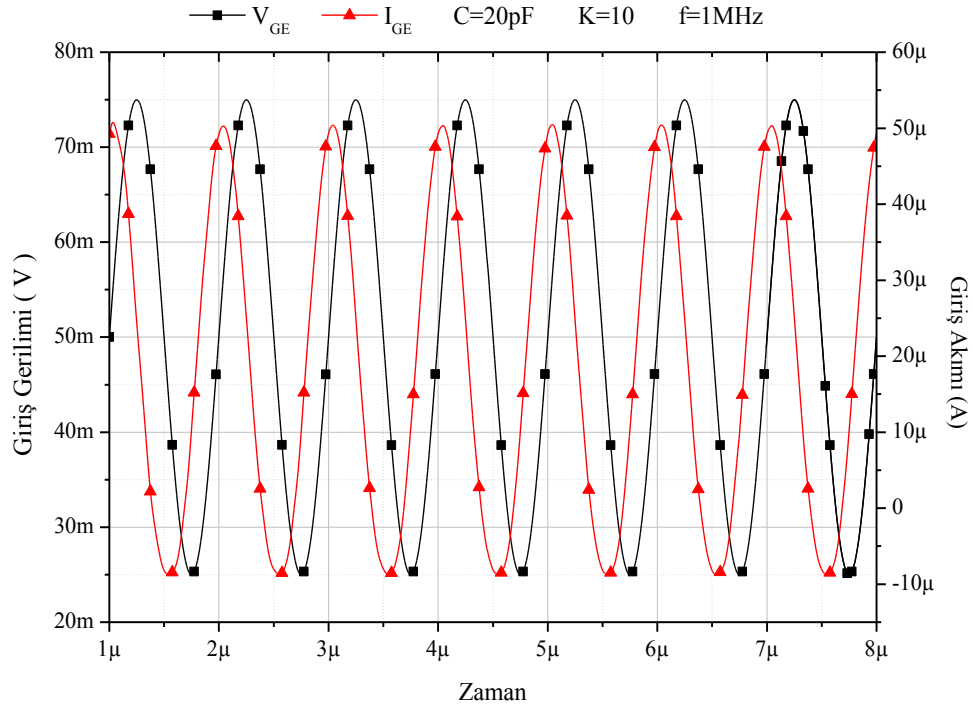


Şekil 3.18: 100KHz için giriş gerilimi ile giriş akımının zaman ortamındaki analizi



Şekil 3.19: 5MHz için giriş gerilimi ile giriş akımının zaman ortamındaki analizi

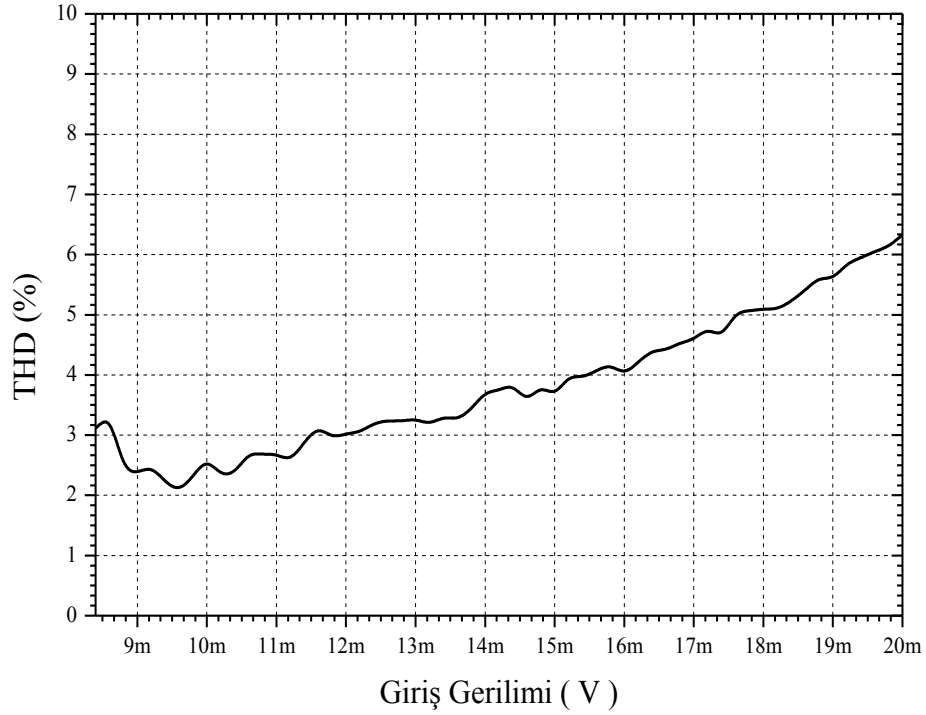




Şekil 3.20: 1MHz için giriş gerilimi ile giriş akımının zaman ortamındaki analizi

Şekil 3.20’de 10 kat kuvvetlendirme için 1MHz frekansında giriş gerilimi ile giriş akımının zaman ortamındaki analizi verilerek önerilen devre için faz farkı incelenmiştir. Giriş gerilimi için genliği 25mV ve ötelemesi 50mV olan 1MHz’lik sinüzoidal sinyal uygulanmıştır. Giriş akımı, giriş geriliminden yaklaşık  $85^\circ$  ileridedir.

Şekil 3.21’de önerilen devreye ait THD (toplam harmonik bozulma) analizi gösterilmiştir. Önerilen devrede bu analizi yapabilmek için, frekansı 1MHz olan sinüzoidal giriş kaynağı kullanılmıştır. Giriş kaynağının genliği 8.4mV ile 20mV arasında parametrik olarak değiştirilmiştir. Şekilden de anlaşılacağı üzere 8.4mV ile 19.6mV arasında THD %6’dan düşüktür. Her bir giriş genliği için elde edilen THD’ler Tablo 3.4’te gösterilmiştir.



Şekil 3.21: Önerilen devrede farklı her bir giriş gerilimi için THD analizi

Tablo 3.4: Her bir giriş genliği için THD sonuçları

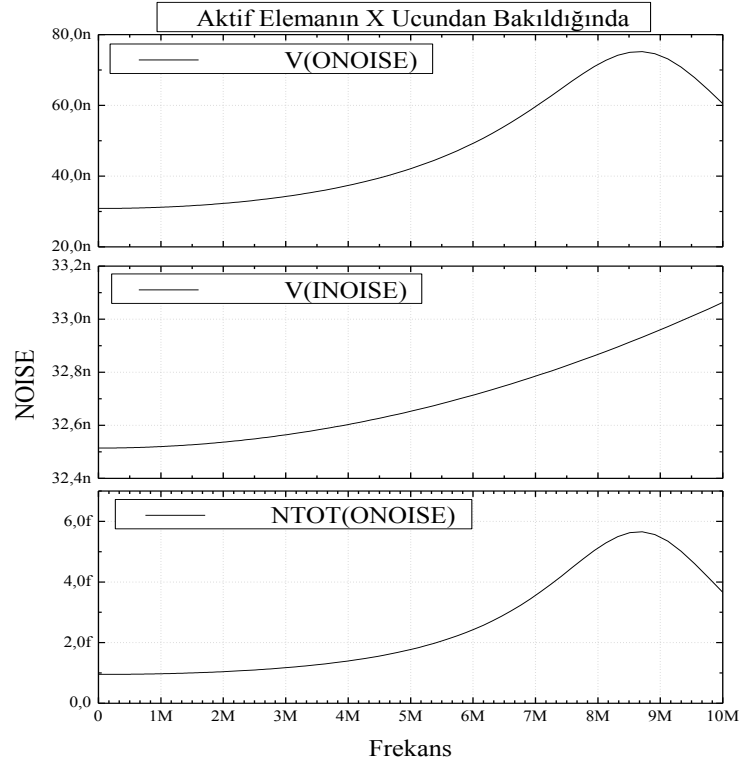
$V_{GİRİŞ}$	THD	$V_{GİRİŞ}$	THD	$V_{GİRİŞ}$	THD
8,4mV	%3,08021	12,4mV	%3,196235	16,4mV	%4,407537
8,6mV	%3,378663	12,6mV	%3,243611	16,6mV	%4,40795
8,8mV	%2,412863	12,8mV	%3,228559	16,8mV	%4,534937
9mV	%2,366607	13mV	%3,27247	17mV	%4,580568
9,2mV	%2,486303	13,2mV	%3,170574	17,2mV	%4,792048
9,4mV	%2,218323	13,4mV	%3,314555	17,4mV	%4,613981
9,6mV	%2,060387	13,6mV	%3,250102	17,6mV	%5,049742
9,8mV	%2,309709	13,8mV	%3,432821	17,8mV	%5,061967
10mV	%2,620235	14mV	%3,719247	18mV	%5,100235
10,2mV	%2,324475	14,2mV	%3,738084	18,2mV	%5,088422
10,4mV	%2,36264	14,4mV	%3,853143	18,4mV	%5,224971
10,6mV	%2,710867	14,6mV	%3,545331	18,6mV	%5,409158
10,8mV	%2,677683	14,8mV	%3,829736	18,8mV	%5,625735
11mV	%2,692154	15mV	%3,639068	19mV	%5,585675
11,2mV	%2,557806	15,2mV	%3,992546	19,2mV	%5,854929
11,4mV	%2,887184	15,4mV	%3,955094	19,4mV	%5,943974
11,6mV	%3,147463	15,6mV	%4,071598	19,6mV	%6,049579
11,8mV	%2,951572	15,8mV	%4,18335	19,8mV	%6,126465
12mV	%3,028036	16mV	%3,997867	20mV	%6,330025
12,2mV	%3,045244	16,2mV	%4,217041		

Bir devrenin çıkışından bakıldığında, devreye ait tüm rezistif ve yarı iletken devre elemanların giriş geriliminden etkilenmesine gürültü denir. PSPICE’da V(ONoise) devrenin RMS (karekök ortalama) özetlenmiş çıkış gürültüsü, V(INoise) devrenin eşdeğer giriş gürültüsü, NTOT(device) herhangi bir devre elemanına ait toplam gürültü ve NTOT(ONoise) ise devrenin toplam çıkış gürültüsüdür.

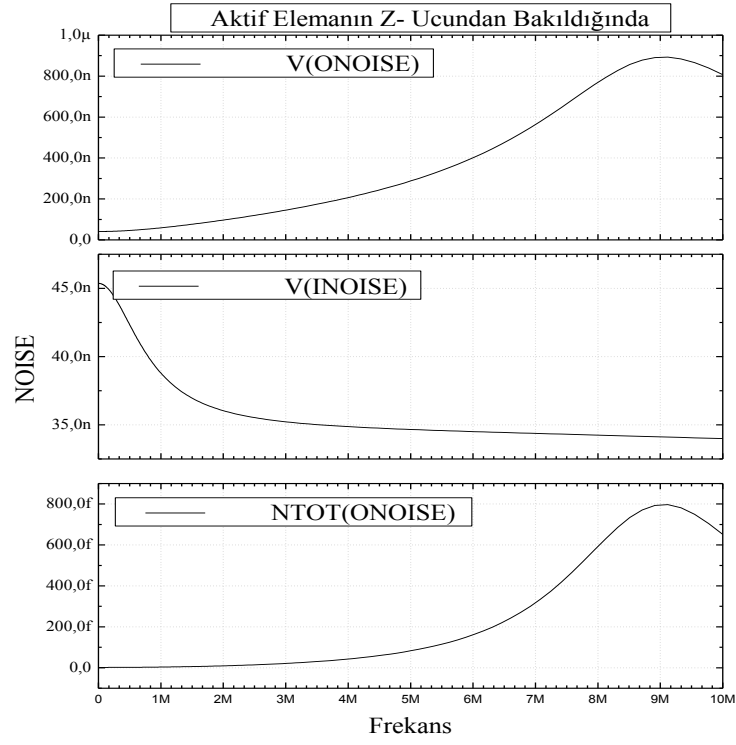
$$NTOT(ONoise) = \sum_{\text{device}} NTOT(\text{device}) \quad (3.86)$$

$$V(ONoise) = \sqrt{NTOT(ONoise)} \quad (3.87)$$

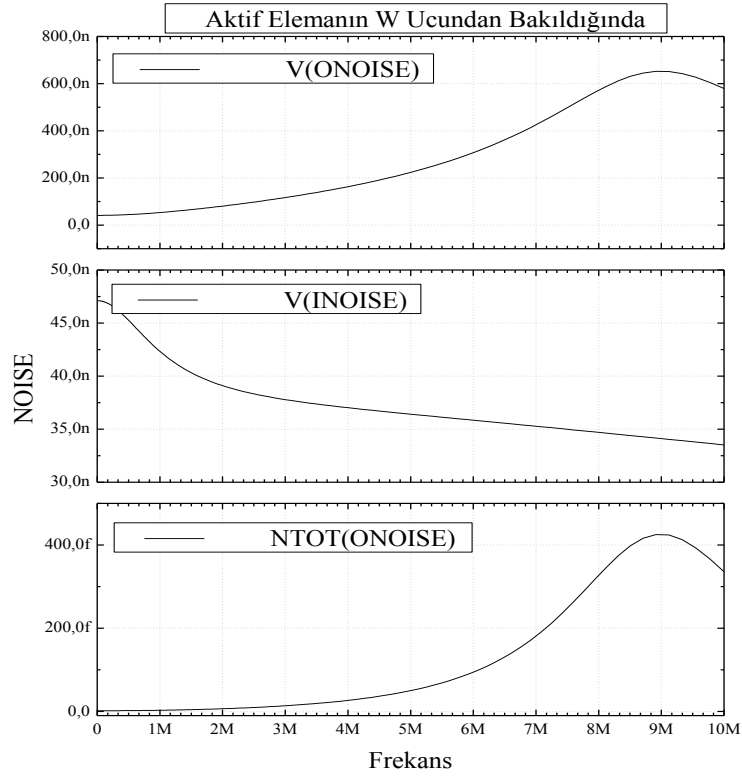
$$V(INoise) = \frac{V(ONoise)}{A} \quad (3.88)$$



Şekil 3.22: Önerilen devrede CFOA-'nin X düğümünden bakıldığındaki gürültü analizi



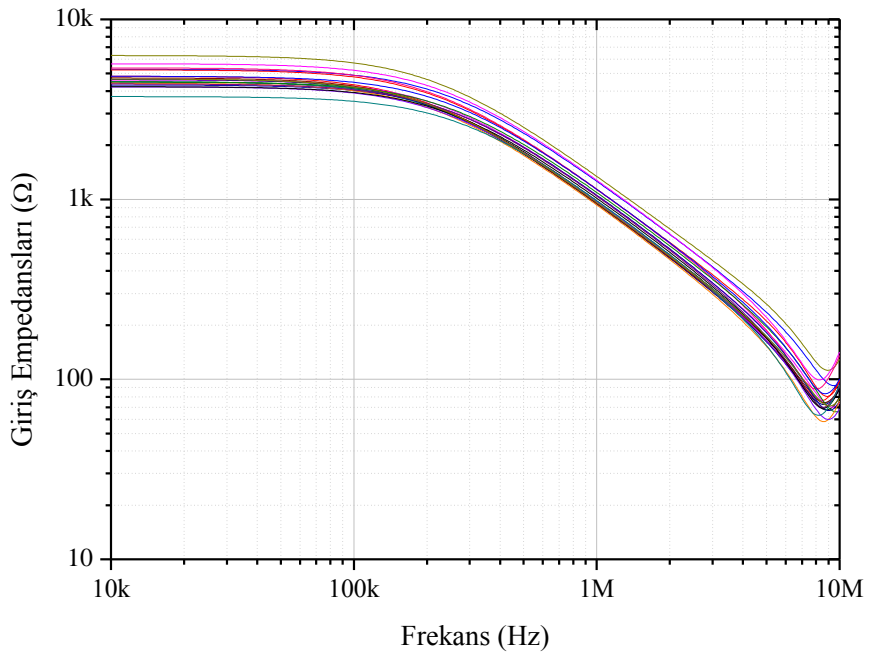
Şekil 3.23: Önerilen devrede CFOA-'nin Z- düğümünden bakıldığındaki gürültü analizi



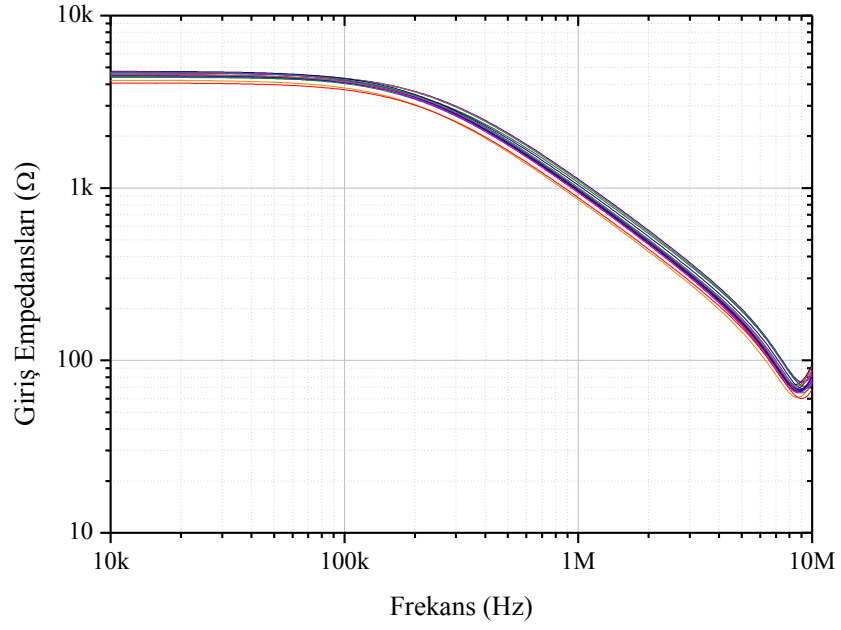
Şekil 3.24: Önerilen devrede CFOA-'nin W düğümünden bakıldığındaki gürültü analizi

Şekil 3.22'deki, Şekil 3.23'teki Şekil 3.24'teki gürültü analizleri devrenin çıkış ucu sırasıyla CFOA-'nin X ucu, Z- ucu ve W ucu seçilerek yapılmıştır. Önerilen devrenin çalışma frekansları içerisinde gürültüye karşı hassasiyetinin az olduğu grafiklerden yorumlanabilir.

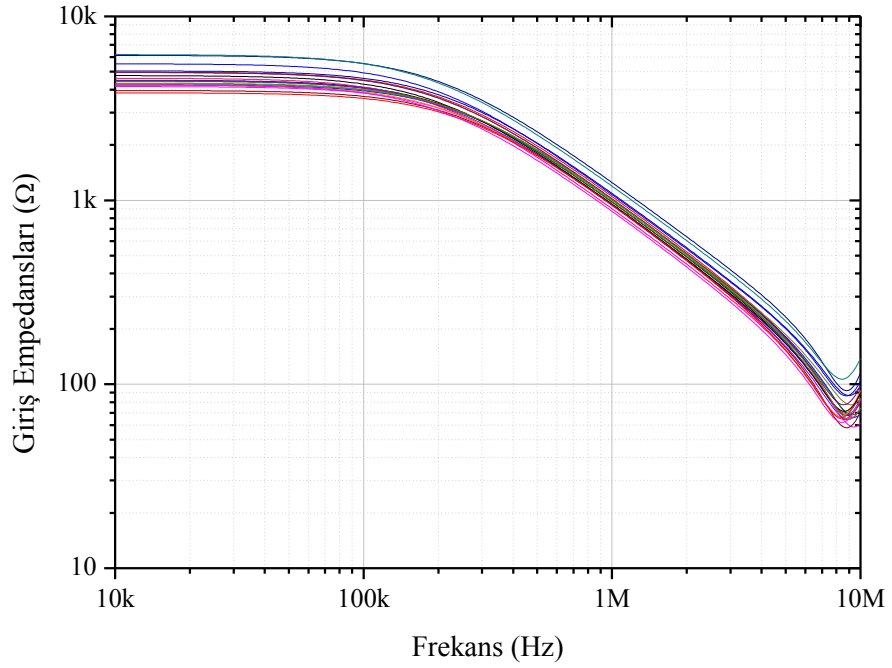
Şekil 3.25, Şekil 3.26 ve Şekil 3.27'de önerilen devreye ait giriş empedansının Monte Carlo analizi gösterilmiştir. Monte Carlo analizlerinde  $R_2 = 220\Omega$ ,  $K = 10$ ,  $C = 20\text{pF}$  seçilmiştir ve 20 örnekleme yapılmıştır. Monte Carlo analizlerinde pasif elemanların değerlerinin gauss dağılımı %5, MOSFET'lerin  $V_{TH}$  parametresinin değerleri gauss dağılımı %2 olarak belirlenmiştir. Monte Carlo analizlerin giriş empedansları, Şekil 3.25'te aynı anda MOSFET'lerin  $V_{TH}$  parametresinin değerleri ve pasif elemanların değerleri, Şekil 3.26'da sadece pasif elemanların değerleri, Şekil 3.27'de sadece MOSFET'lerin  $V_{TH}$  parametresi değiştirilerek gösterilmiştir.



Şekil 3.25: MOSFET'in parametreleri ve pasif elemanların değerinin değişimi baz alındığında giriş empedansının Monte Carlo analizi

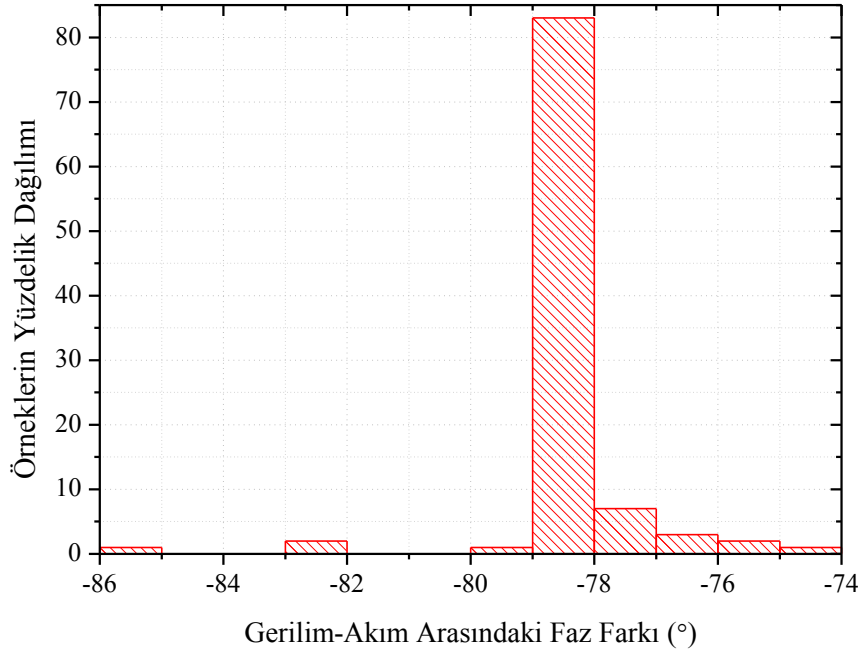


Şekil 3.26: Sadece pasif elemanların değerinin değişimi baz alındığında giriş empedansının Monte Carlo analizi

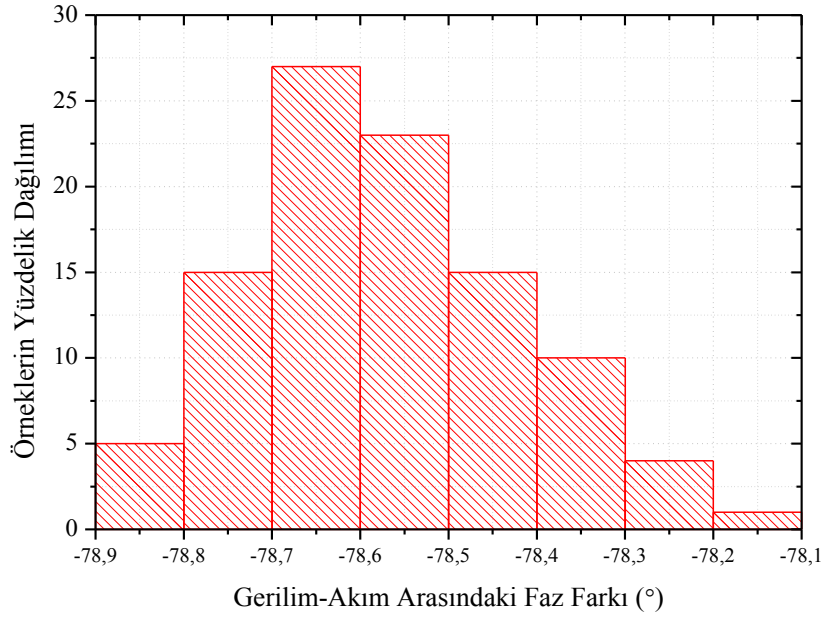


Şekil 3.27: Sadece MOSFET'in parametrelerinin değişimi baz alındığında giriş empedansının Monte Carlo analizi

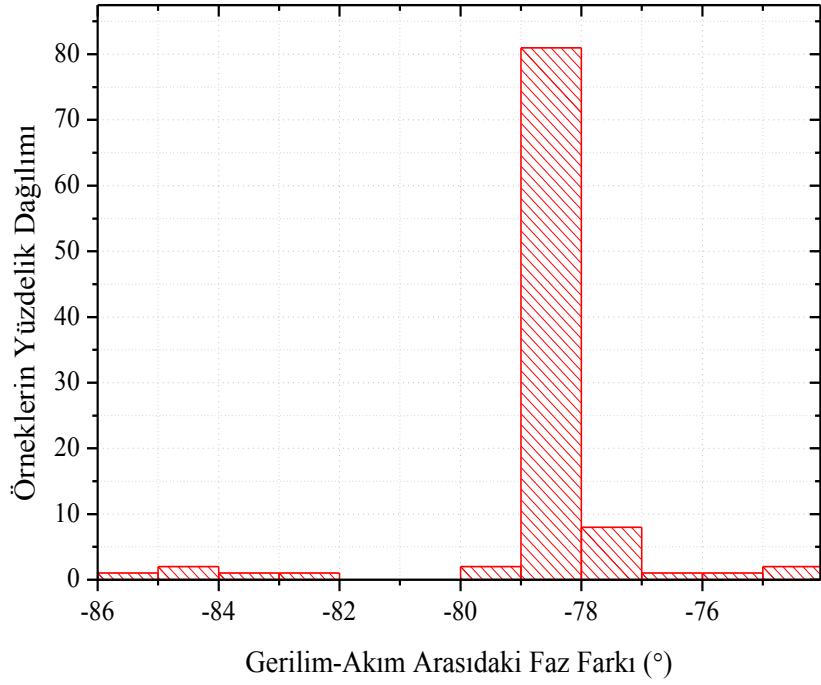
Şekil 3.28, Şekil 3.29, Şekil 3.30’da önerilen devreye ait giriş gerilimi ile giriş akımı arasındaki faz farkının histogram analizleri gösterilmiştir. Histogram grafikleri, Monte Carlo analizinin tek bir frekansta yapılması ile elde edilir. Burada gerçekleştirilen Monte Carlo analizleri için  $R_2 = 7K\Omega$ ,  $K = 10$ ,  $C = 20pF$   $f = 912.011KHz$  olarak seçilmiştir ve 100 örnekleme yapılmıştır. Bununla beraber pasif elemanların değerlerinin gauss dağılımı %5, MOSFET’lerin  $V_{TH}$  parametresinin değerleri %2 olarak belirlenmiştir. Giriş gerilimi ile giriş akımı arasındaki faz farkı Şekil 3.28’de aynı anda hem pasif elemanların değerleri hem de MOSFET’lerin  $V_{TH}$  parametresi, Şekil 3.29’da sadece pasif elemanların değerleri, Şekil 3.30’da sadece MOSFET’lerin  $V_{TH}$  parametresi değiştirilerek gösterilmiştir.



Şekil 3.28: MOSFET’in parametreleri ve pasif elemanların değerleri değiştirildiğinde gerilim-akım arasındaki faz farkı



Şekil 3.29: Sadece pasif elemanların değerleri değiştirildiğinde gerilim-akım arasındaki faz farkı

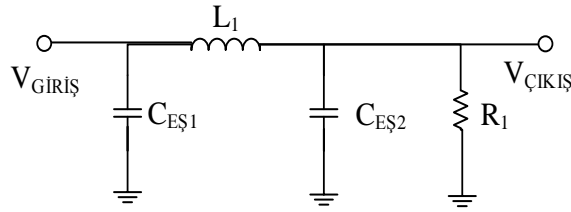


Şekil 3.30: Sadece MOSFET'in parametreleri değiştirildiğinde gerilim-akım arasındaki faz farkı

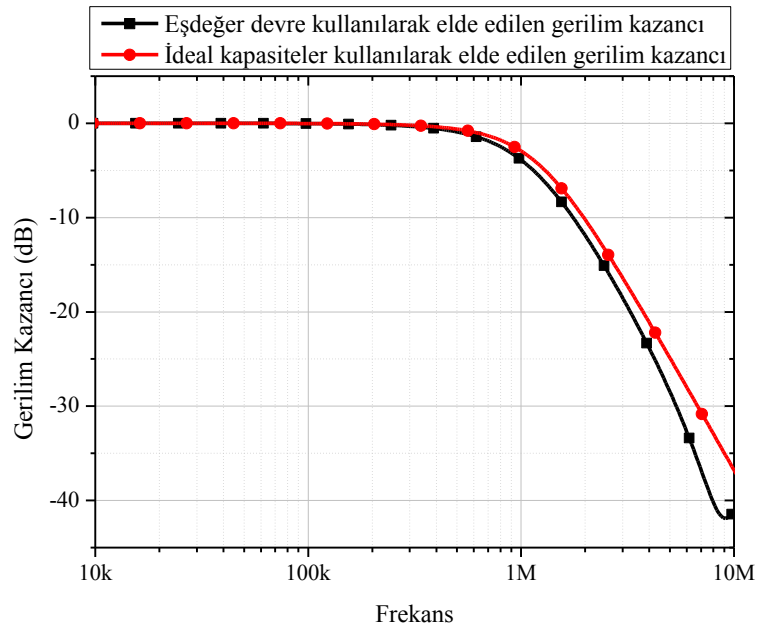


### 3.3 Önerilen Kapasite Çarpma Devresinin Uygulamasının Benzetimi

Önerilen devrenin uygulaması benzetim programları aracılığı ile yapılmıştır. Bu incelemenin yapılmasındaki amaç önerilen devrenin uygulanabilirliğini test etmektir. Uygulama olarak Şekil 3.31’de gösterilen 3.derece Butterworth alçak geçiren süzgeç devresi kullanılmıştır. Önerilen kapasite çarpma devresi ile ideal kapasite kullanılarak frekans ortamında elde edilen gerilim kazançları karşılaştırmalı olarak Şekil 3.32’de gösterilmiştir. Burada, eşdeğer devrelerde kullanılan kapasite değeri  $20\text{pF}$ ,  $L_1 = 87\mu\text{H}$ ,  $R_1 = 400\Omega$  seçilmiştir.  $C_{EŞ1}$  için 30 kat kuvvetlendirme,  $C_{EŞ2}$  için 10 kat kuvvetlendirme yapılmıştır. Eşdeğer devre kullanılarak gerçekleştirilen devre ile ideal devrenin kesim frekansı sırasıyla  $879\text{KHz}$  ile  $1.01\text{MHz}$ ’dir.



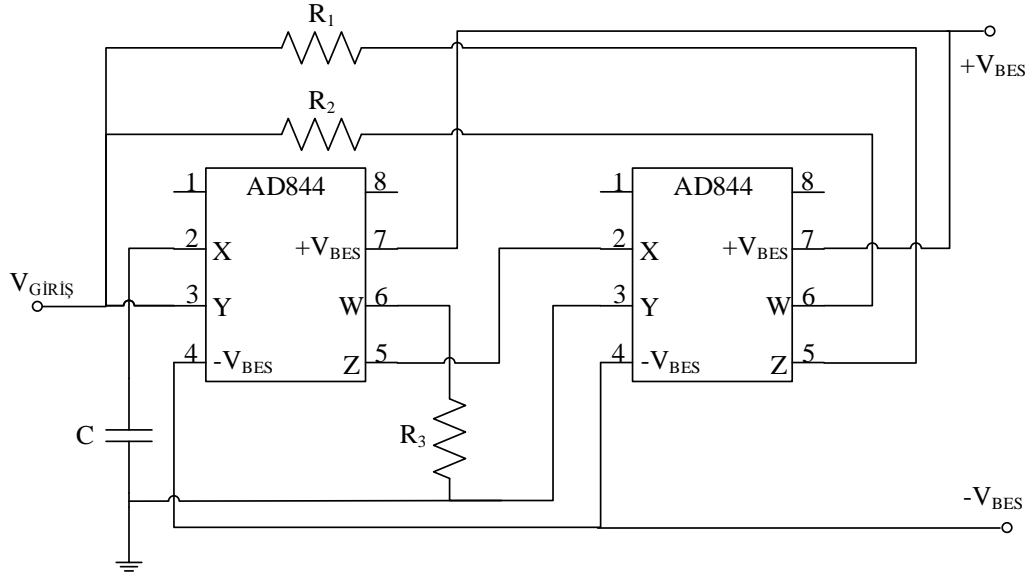
Şekil 3.31: 3. derece Butterworth alçak geçiren süzgeç devresi



Şekil 3.32: 3. derece Butterworth alçak geçiren süzgeç devresinin frekans cevabı sonuçları

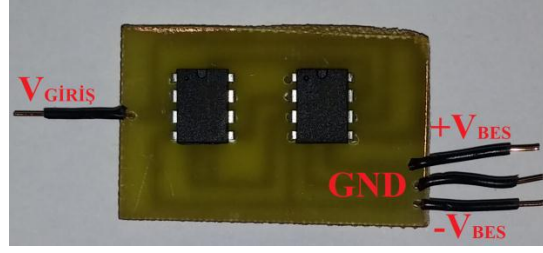
## 4 ÖNERİLEN DEVRENİN GERÇEKLENMESİ

Önerilen devrede kullanılan CFOA- aktif blok yapısını gerçekleştirmek için iki adet AD844 entegresi kullanılmıştır. Şekil 4.1’de AD844’ler kullanılarak CFOA-’nin elde edilmesi gösterilmiştir.

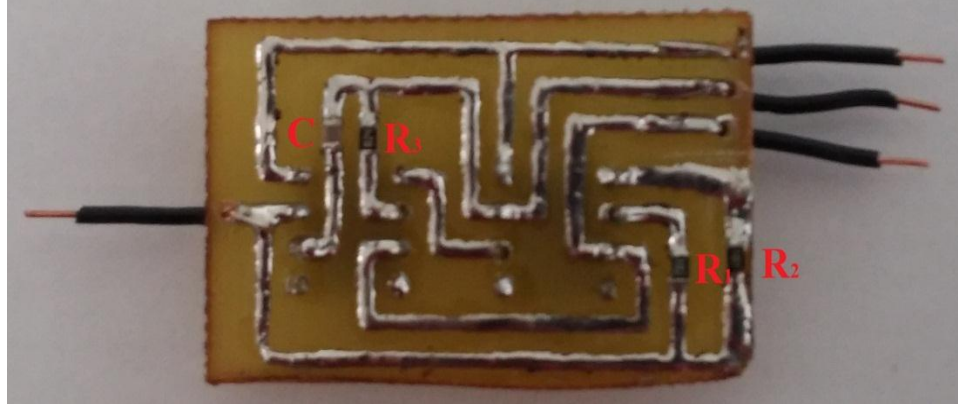


Şekil 4.1: AD844 kullanılarak CFOA- elde edilmesi

Önerilen devrenin gerçekleştirilmesi PCB (baskılı devre kartı) üzerinde olup gösterimi Şekil 4.2 ve Şekil 4.3’te verilmiştir. Şekil 4.2’de  $V_{GIRIŞ}$  devrenin giriş sinyalini,  $+V_{BES}$  devrede kullanılan AD844’lerin pozitif besleme gerilimini,  $-V_{BES}$  devrede kullanılan AD844’lerin negatif besleme gerilimini ve GND toprak ucunu temsil etmektedir. Şekil 4.3’te C devrede kullanılan kapasiteyi,  $R_1$  ve  $R_2$  kuvvetlendirme amaçlı kullanılmış dirençleri ve  $R_3$  ise AD844’ün doğru çalışması için konulmuş direnci temsil etmektedir.



Şekil 4.2: Önerilen devreye ait PCB'nin ön yüzü



Şekil 4.3: Önerilen devreye ait PCB'nin arka yüzü

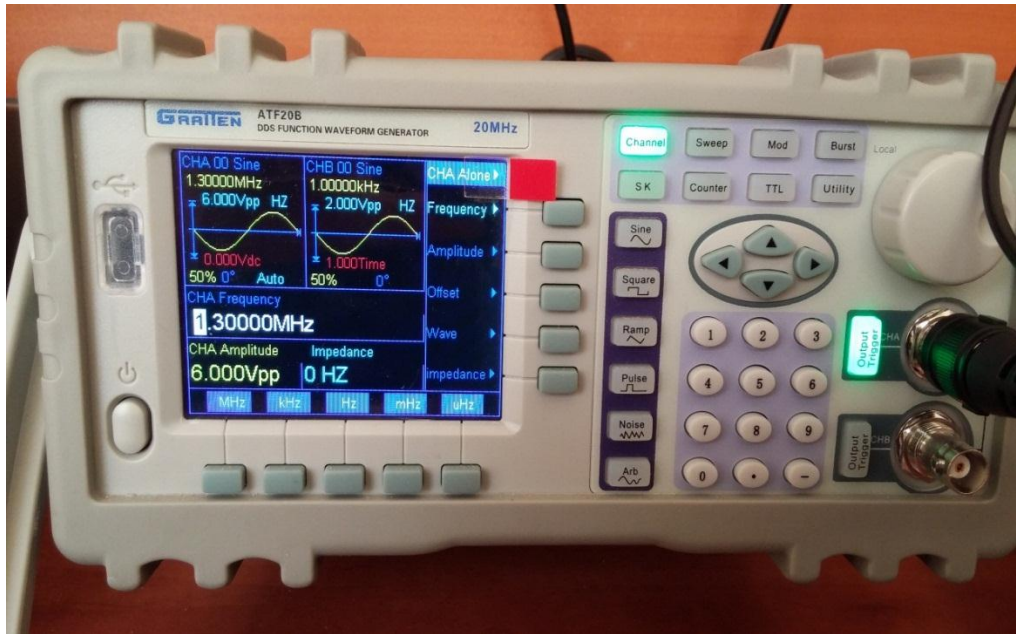
#### 4.1 Gerçeklenen Devrenin Kapasite Çarpma Devresi Olarak Davranışı

Baskı devre üzerine kurulan devrenin beslemeleri güç kaynağı aracılığı ile yapılmıştır ve güç kaynağı olarak “Keitley 2220-30-1 DC Power Supply” kullanılmıştır. Devrenin simetrik besleme gerilimleri 7V olarak seçilmiştir. Besleme gerilimlerine ait resim Şekil 4.4'te gösterilmiştir. Devrenin girişine 1.3MHz frekansında genliği 6V ve ötelemesi 0V olan sinüzoidal işaret verilmiştir. Giriş sinyali, sinyal jeneratörü aracılığı ile verilmiştir. Sinyal jeneratörü olarak “Gratten ATF20B Function Generator” kullanılmıştır. Devreye verilen giriş sinyali Şekil 4.5'te gösterilmiştir. Önerilen devrede eşdeğer kapasite giriş geriliminin giriş akımına bölünmesi ile edilir. Dolayısı ile önerilen devrenin eşdeğer bir kapasite gibi davranması için akımın geriliminden  $90^\circ$  ileride olması gerekir. Önerilen devrede giriş akımı yardımcı devreler aracılığı ile okunmuştur. Önerilen devrenin giriş ve çıkış sinyallerini okuyabilmek için “AaTech ADS3072B Digital Oscilloscope” kullanılmıştır. Şekil 4.6'da, sarı renkli sinyal önerilen devrenin giriş gerilimi iken

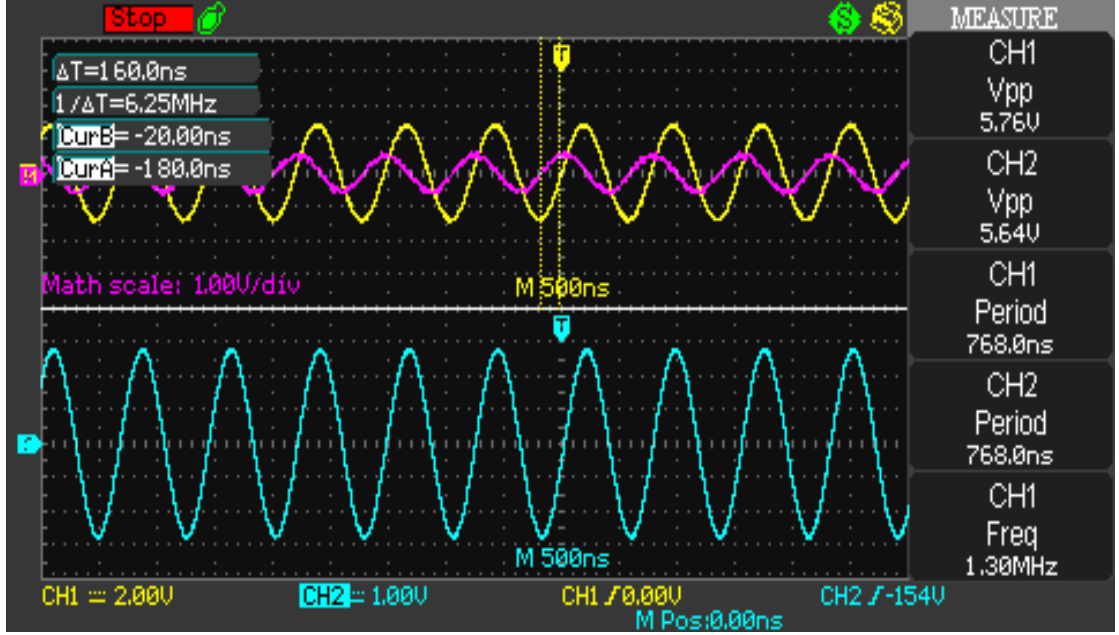
mor renkli sinyal önerilen devrenin giriş akımıdır. Dikkat edilecek olursa mor sinyal ile sarı sinyal arasındaki faz farkı net bir şekilde gözükmektedir.



Şekil 4.4: Önerilen devrede kullanılan aktif blok yapısının beslemesi



Şekil 4.5: Önerilen devrede uygulanan giriş sinyali



Şekil 4.6: Önerilen devrenin gerçekleştirilme sonuçları

Gerçekleştirilen devrede  $R_1 = 10\text{K}\Omega$  ve  $R_2 = 1\text{K}\Omega$  seçilerek kuvvetlendirme katsayısı  $K = 11$  olarak ayarlanmıştır. Devrede  $C = 22\text{pF}$  olarak seçilmiştir. Devrede girişe verilen sinyalin frekans değeri  $1.3\text{MHz}$  olduğu için giriş sinyalinin bir periyodu yaklaşık olarak  $769.23\text{ns}$ 'dir.

$$K = 1 + \frac{R_1}{R_2} = 1 + \frac{10\text{K}\Omega}{1\text{K}\Omega} = 11 \quad (4.1)$$

$$C_{E\text{Ş}} = C \cdot K = 22\text{pF} \cdot 11 = 242\text{pF} \quad (4.2)$$

$$T = \frac{1}{f} = \frac{1}{1.3\text{MHz}} = 769.23\text{ns} \quad (4.3)$$

Şekil 4.6'da görülen  $\Delta t = 180\text{ns}$  giriş gerilimi ile giriş akımı arasındaki zaman farkını göstermektedir. Bir tam periyot  $360^\circ$  ise,  $\Delta t$  bize giriş akımının faz açısı gösterir. Faz açısı Denklem (4.4) ile gösterilmiştir.

$$\theta = \frac{\Delta t \cdot 360^\circ}{T} = \frac{180\text{ns} \cdot 360^\circ}{769.23\text{ns}} = 84.24^\circ \quad (4.4)$$

Osiloskobun 1. kanalı ile giriş gerilimi ölçülmüştür. Akım yardımcı devreler aracılığı ile okunmuş olup değeri Denklem (4.5)'te gösterilmiştir. Giriş geriliminin, Denklem (4.5)'te bulunan giriş akımına bölünmesi ile giriş empedansı elde edilir.

Elde edilen bu giriş empedansı ile gerçekleştirilen devreden elde edilen eşdeğer kapasite ( $C_{EŞ-elde}$ ) değeri bulunur.

$$I_{GİRİŞ} = 0.012A \quad (4.5)$$

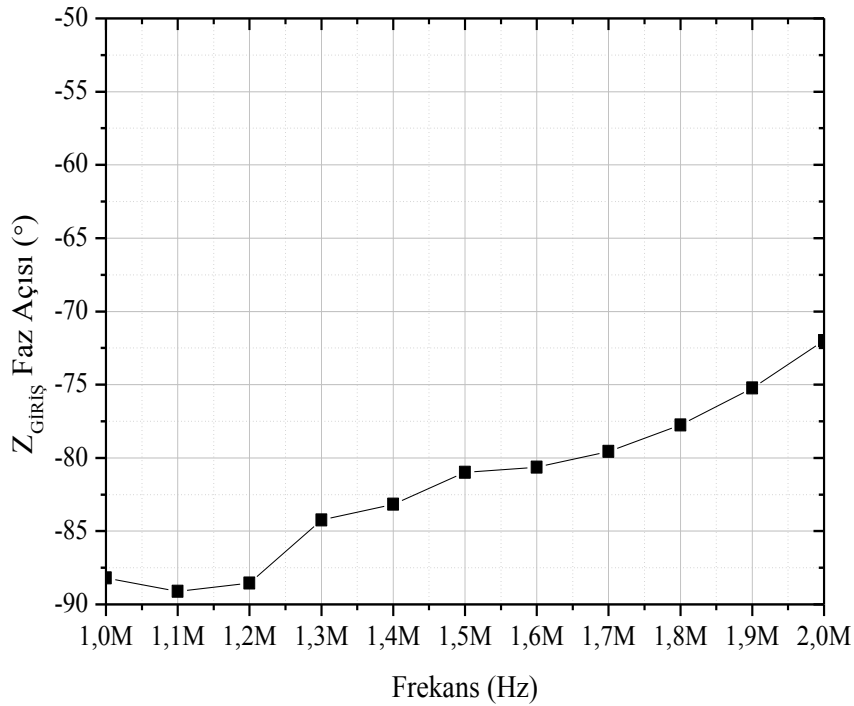
$$C_{EŞ-elde} = \frac{1}{sZ_{GİRİŞ}} \quad (4.6)$$

$$C_{EŞ-elde} = \frac{1}{j\omega \frac{V_{GİRİŞ}}{I_{GİRİŞ}}} = \frac{1}{j2\pi f \frac{V_{GİRİŞ}}{I_{GİRİŞ}}} \quad (4.7)$$

$$C_{EŞ-elde} = \frac{1}{j2\pi(1.3MHz) \cdot \frac{5.76V}{0.012A}} \rightarrow |C_{EŞ-elde}| = 255.05pF \quad (4.8)$$

Elde edilen kapasite değeri ile olması gereken kapasite değeri arasında %5.11'lik fark vardır.

Önerilen devreye farklı frekanslarda giriş sinyali uygulandığında elde edilen faz farkları Şekil 4.7'de karşılaştırmalı olarak verilmiştir.



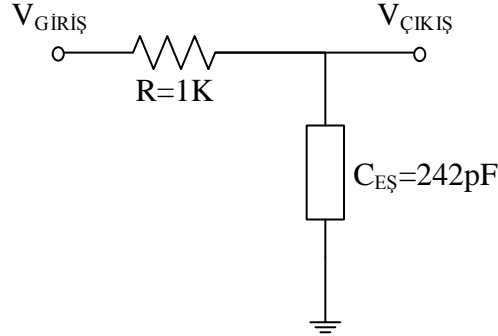
Şekil 4.7: Farklı frekanslardaki giriş sinyali için elde edilen giriş empedansının faz açısı

## 4.2 Önerilen Devrenin Uygulama Üzerinde Gerçeklenmesi

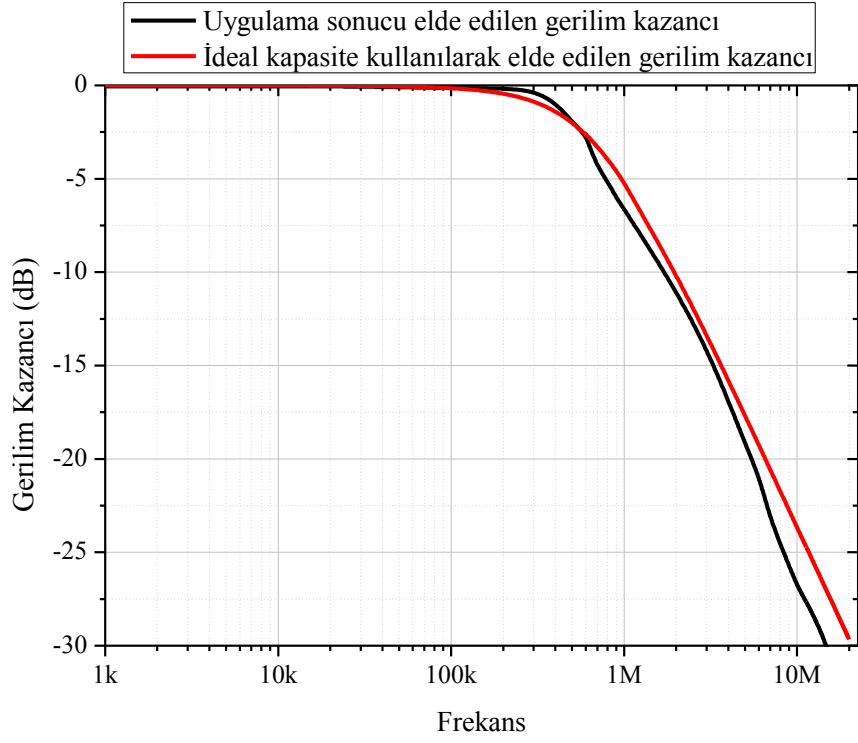
Önerilen devrenin uygulama üzerinde gerçekleşmesi için Şekil 4.8'de gösterilen 1. derece alçak geçiren süzgeç kullanılmıştır. Alçak geçiren süzgeçte direnç  $1K\Omega$  seçilmiştir. Bu devrede kapasite yerine önerilen kapasite çarpma devresi kullanılmıştır. Önerilen kapasite çarpma devresinde  $R_2=1K\Omega$ ,  $K=11$  ve  $C=22pF$ 'tır. Dolayısı ile eşdeğer kapasite değeri  $242pF$ 'tır. Bu değerler için alçak geçiren süzgecin teorik olarak kesim frekansı  $658KHz$ 'dir. Şekil 4.9'da uygulaması yapılan önerilen devrenin frekans cevabı ile teorik olarak olması gereken frekans cevabı sonuçları karşılaştırmalı olarak gösterilmiştir. Sonuçlara göre kesim frekansının yaklaşık  $620KHz$  olduğu gözlemlenmiştir. Uygulama sonucunda elde edilen  $620KHz$  kesim frekansına göre elde edilen eşdeğer kapasite değeri  $256.7pF$ 'tır. Dolayısı ile elde edilen kapasite değeri ile olması gereken kapasite değeri arasında  $\%5.72$ 'lik fark vardır.

$$f = \frac{1}{2\pi RC_{E\check{S}-elde}} \rightarrow C_{E\check{S}-elde} = \frac{1}{2\pi Rf} \quad (4.9)$$

$$C_{E\check{S}-elde} = \frac{1}{2\pi(1K\Omega)(620KHz)} = 256.7pF \quad (4.10)$$



Şekil 4.8: 1. derece alçak geçiren süzgeç uygulaması



Şekil 4.9: 1. derece alçak geçiren süzgeç frekans cevabı sonuçları

Şekil 4.9'da çıkış ve giriş gerilimlerinin oranı dB cinsinden gösterilmiştir. Burada 10MHz frekans değerinde  $V_{\text{ÇIKIŞ}}/V_{\text{GİRİŞ}}$  -26.74dB bulunmuştur. Önerilen devrede  $V_{\text{ÇIKIŞ}}/V_{\text{GİRİŞ}}$  oranı 1MHz frekans değerinde -6.61dB olarak bulunmuştur. Bu da göstermektedir ki eğim yaklaşık olarak -20dB/dekat'tır.



## 5 SONUÇ

Bu çalışmada, CFOA- aktif blok yapısı kullanılarak yeni bir topraklanmış kapasite çarpma devresi tasarlanmıştır. Kapasite çarpma devrelerinde amaç küçük değerli kapasitenin büyük değerli gibi davranması sağlamaktır.

Günümüzde tümleşik devre üreticiler geliştirdikleri teknoloji ile beraber daha küçük ve işlevsel tümleşik devreler imal etmektedir. Tümleşik devre elemanları için en önemli sorunlardan biri pasif devre elemanların tümleşik devre içinde kapladığı alandır. Bu sebeple aynı görevi görecekle daha az alan kaplayan pasif elemanlara ihtiyaç vardır. Pasif elemanlardan kondansatörün değeri büyüdükçe kapladığı alanı da artmaktadır. Dolayısı ile IC teknolojisine büyük kapasitelerin yerleştirilmesi tercih edilmemektedir. Tümleşik devre elemanı içerisine yaklaşık 20pF'lık kapasite elemanı yerleştirilmektedir. Burada büyük boyutlu kapasiteler yerine aynı görevi görebilecek analog devreler olan kapasite çarpma devreleri kullanılabilir. Bunlara ek olarak günümüzde teknolojik her ürün daha da az alan kaplayacak şekilde tasarlanmaktadır. Geliştirilen hemen hemen her ürünün elektronik devresinde pasif eleman kullanılmaktadır. Bu sebepten dolayı boyutu az olan ürün tasarlanırken kullanılacak elemanların boyutlarının da az olması gerekmektedir. Önerilen devre bu amaçlar için kullanılabilir. Önerilen devrenin IC teknolojisine uygunluğu için 20pF kondansatör kullanılmıştır. Bölüm 3.2.3'te de görüldüğü gibi benzetim sonuçları kabul edilebilir hatalar ile iyi sonuçlar vermiştir. 20pF kapasite değeri için devrenin çalışma aralığı 100KHz ile 6MHz arasındadır. Bununla beraber önerilen devre, tümleşik devre içerisinde kullanılmayacaksa 20pF'dan büyük kondansatörler seçilebilir. Örneğin; 100pF veya 100nF gibi kapasiteler kullanılırsa önerilen devre çok daha iyi sonuçlar vermektedir. Önerilen devrede kapasite değeri arttırıldıkça, çalışma frekansı aralığı artmakla beraber hata payı da azalmaktadır.

Önerilen devrenin farklı sıcaklıklardaki kullanılabilirliğini görebilmek adına farklı sıcaklıklardaki benzetimleri de yapılmıştır. Elde edilen sonuçlara göre önerilen devre kabul edilebilir hatalar ile farklı sıcaklıklarda çalışabilmektedir.

Önerilen devrede kuvvetlendirme katsayısı değiştirilerek kabul edilebilir hatalar ile istenilen kapasite değeri elde edilebilmektedir. Bu durum, hassas kullanım gerektiren uygulamalar için önemlidir. Kondansatörler her değerde üretilmemektedir. Örneğin; 220pF kondansatör var iken 230pF veya 240pF bulunmamaktadır. Bu yüzden hassas uygulamalarda tasarlanacak devreler kondansatör değerlerine göre tasarlanmaktadır. Önerilen kapasite çarpma devresi ile bulunmayan kapasite değerleri elde edilebilir. Örneğin kuvvetlendirme katsayısı olarak 11 seçilirse ve önerilen devrede kullanılan kapasite değeri 20pF seçilirse elde edilecek kapasite değeri piyasada bulunmayan 240pF'dır.

Önerilen devrede tek tip aktif blok yapısı kullanılması güç tüketimini azalmıştır. Önerilen devre, 0.75V simetrik besleme gerilimlerinde maksimum 0.1mW güç tüketmektedir.

Önerilen devrenin laboratuvar ortamında deneysel gerçekleştirilmesi yapılmıştır. Gerçekleme sonucu bulunan değerler ile teorik olarak olması gereken değerler karşılaştırılmış ve sonuçların kabul edilebilir olduğu kanısına varılmıştır. Önerilen devrenin gerçekleştirilmesinin yanında uygulamasının da gerçekleştirilmesi yapılmıştır. Sonuçlar göstermektedir ki önerilen devre kapasite çarpma devresi olarak kullanılabilir.

Sonuç olarak önerilen devre; sinyal işlemede kullanılan düşük frekanslı osilatörler gibi büyük değerli kapasitelerin kullanılması gereken durumlarda çok büyük yer kaplama sorununa çözüm getirmiştir. Bunlara ek olarak sıcaklığa karşı hassasiyetinin az olması ve tümeşik devre haline getirilebilir olması, önerilen devrenin kullanılabilir alanları arttırmaktadır. Düşük güç tüketimi ile üreticiye ve tüketiciye ekonomik açıdan destek olmaktadır.

Bu tezde, CFOA- aktif blok yapısı kullanılarak kapasite çarpma devresi gerçekleştirilmiştir. Önerilen devrede kullanılan direçlerin yerine kullanılabilir yardımcı devreler ile önerilen devrenin elektronik olarak ayarlanabilir olması tezin geliştirilmesine katkıda bulunabilir.

## 6 KAYNAKLAR

Abuelma'atti, M. T. and Faris, O. O., "A Current-Mode Logarithmic Function Circuit", *Active and Passive Electronic Components*, 27, 183–187, (2004).

Abuelma'atti, M. T. and Tasadduq, N. A., "Electronically Tunable Capacitance Multiplier and Frequency-Dependent Negative-Resistance Simulator Using The Current-Controlled Current Conveyor", *Microelectronics Journal*, 30, 869–873, (1999).

Acar, C. and Ozoguz, S., "A New Versatile Building Block: Current Differencing Buffered Amplifier Suitable for Analog Signal-Processing Filters", *Microelectronics Journal*, 30, 157–160, (1999).

Ayten, U. E., Sagbas, M., Herencsar, N. and Koton, J., "Novel Floating FDNR, Inductor and Capacitor Simulator Using CBTA", *34th International Conference on Telecommunications and Signal Processing*, 312–316, (2011).

Banchuin, R., Chipipop, B. and Sirinaovakul, B., "Novel Practically Applicable Passive Equivalent Circuit Model of The Alternatively Structured Higher Performance Practical OTA-Based Floating Inductor", *Proceedings of 2007 International Symposium on Intelligent Signal Processing and Communication Systems*, 447–450, (2007).

Biolek, D., "CDTA–Building Block for Current-Mode Analog Signal Processing", *Proceedings of the ECCTD*, 3, 397–400, (2003).

Carrillo, J., Dominguez, M. A., Duque-Carrillo, J. F. and Torelli, G., "Low-Voltage Wide-Swing Fully Differential CMOS Voltage Buffer", *20th European Conference on Circuit Theory and Design*, 122–125, (2011).

Cataldo, G. Di, Ferri, G. and Pennisi, S., "Active Capacitance Multipliers Using Current Conveyors", *Circuits and Systems 1998*, 4, 343–346 (1998).

Chiu, W., Liu, S.-I., Tsao, H.-W. and Chen, J.-J., "CMOS Differential Difference Current Conveyors and Their Applications", *IEE Proceedings - Circuits, Devices and Systems*, 143, 91, (1996).

Demirel, H., *Elektronik-1*, İstanbul : Birsen Yayınevi, (2014).

Elwan, H. O. and Soliman, A. M., "Novel CMOS Differential Voltage Current Conveyor and Its Applications", *IEE Proceedings - Circuits, Devices and Systems*, 144, 195–200, (1997).

- Fabre, A., Saaid, O., Wiest, F. and Boucheron, C., “High Frequency Applications Based On A New Current Controlled Conveyor”, *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, 43, 82–91, (1996).
- Ferri, G. and Pennisi, S., “A 1.5-V Current-Mode Capacitance Multiplier”, *ICM'98*, 9–12, (1998).
- Ferri, G., Guerrini, N., Romanato, R., Scotti, G. and Trifiletti, A., “CCII-Based High-Valued Inductance Simulators With Minimum Number of Active Elements”, *Circuit Theory*, 440–443, (2007).
- Franco, S., *Design With Operational Amplifiers and Analog Integrated Circuits*, New York : Mcgraw-Hill, (2002).
- Gballab, Y. H., El-Ela, M. A. and Elsaid, M. H., “Operational Floating Current Conveyor: Characteristics, Modelling and Experimental Results”, *Instrumentation and Measurement Technology Conference*, 59–62, (1994).
- Ghallab, Y. H. and Badaway, W., “A New Differential PH Sensor Current Mode Read-Out Circuit Using Only Two Operational Floating Current Conveyor”, *IEEE International Workshop on Biomedical Circuits and Systems*, 13–16, (2004).
- Ghanaatian-Jahromi, A., Abrishamifar, A. and Medi, A., “A Novel Voltage-to-Voltage Logarithmic Converter with High Accuracy”, *Multidisciplinary Journals in Science and Technology, Journal of Selected Areas in Microelectronics (JSAM)*, 1–5, (2011).
- Gray, P. R., Hurst, P. J., Lewis, S. H. and Meyer, R. G., *Analysis and Design of Analog Integrated Circuits*, New York : John Wiley and Sons Inc., (2009).
- Jaikla, W. and Siripruchyanan, M., “An Electronically Controllable Capacitance Multiplier with Temperature Compensation”, *ISCIT 2006*, 356–359, (2006).
- Jaikla, W., Lahiri, A. and Siripruchyanun, M., “Capacitance Multipliers Using Tunable Four Terminal Floating Nullors”, *ECTI-CON 2010*, 8–11, (2010).
- Jantakun, A., Pisutthipong, N. and Siripruchyanun, M., “Single Element Based-Novel Temperature Insensitive/Electronically Controllable Floating Capacitance Multiplier And Its Application”, *ECTI-CON 2010*, (2010).

- Kaçar, F., Kuntman, H. and Kuntman, A., “Grounded Inductance Simulator Topologies Realization with Single Current Differencing Current Conveyor”, *European Conference on Circuit Theory and Design (ECCTD)*, 1, (2015).
- Kaewdang, K., Fongsamut, C. and Surakamponorn, W., “A Wide-Band Current-Mode OTA-Based Analog Multiplier-Divider”, *Proceedings of the 2003 International Symposium*, 1, 349–352 (2003).
- Kaplan, I., *Analog Elektronik-1*, Mersin Üniversitesi, Mersin, (2009).
- Kartci, A., Ayten, U. E., Sotner, R. and Arslanalp, R., “Elektronik Olarak Ayarlanabilen VDCC Tabanlı Yüzen Kapasite Çarpma Devresi”, *23. Sinyal İşleme ve İletişim Uygulamaları Kurultayı*, 4–7, (2015).
- Keskin, A. Ü. and Biolek, D., “Current Mode Quadrature Oscillator Using Current Differencing Transconductance Amplifiers (CDTA)”, *IEE Proceedings - Circuits, Devices and Systems*, 153, 1–5, (2006).
- Khan, A. A., Bimal, S., Dey, K. K. and Roy, S. S., “Current Conveyor Based R- and C- Multiplier Circuits”, *International Journal of Electronics and Communications*, 56, 312–316, (2002).
- Kılınç, S. and Çam, U., “Gerilim İzleyicili Akım Farkı Kuvvetlendiricisi (CDBA) Tabanlı Akım-Modlu Süzgeçler”, *Signal Processing and Communications Applications Conference*, 634–637, (2004).
- Kumngern, M., “DDTA and DDCCTA: New Active Elements for Analog Signal Processing”, *IEEE International Conference on Electronics Design, Systems and Applications (ICEDSA)*, 141–145, (2012).
- Kuntman, H. and Uygur, A., “New Possibilities and Trends in Circuit Design for Analog Signal Processing”, *Applied Electronics*, (2012).
- Kuntman, H., *Endüstriyel Elektronik*, İstanbul : Birsen Yayınevi, (1998)
- Kwawsibsam, A., Lahiri, A. and Jaikla, W., “Conception of Simulating Grounded Negative Inductor and Implementation Using Operational Transconductance Amplifiers”, *13th International Symposium on Communications and Information Technologies (ISCIT)*, 347–349, (2013).
- Layer, K. R., *Introduction to Microelectronics*, Penn University, Pennsylvania, (2008).
- Longsomboon K., Petchmaneelumka, W. and Cheypoca, T., “OTA-Based Electronically Variable Floating Inductance Simulator,” *11th International Conference on Control, Automation and Systems*, 221–224, (2011).

- Lu., H. L., *Electronics II -Frequency Response*, Taiwan, National Taiwan University, (2007).
- MacEachern, L., *MOSFET Capacitances*, Ottawa, Charleton University, (2003).
- Madian, A. H., Mahmoud, S. A. and Soliman, A. M., “New 1.5-V CMOS Current Feedback Operational Amplifier”, *Proceedings of the IEEE International Conference on Electronics, Circuits, and Systems*, 600–603, (2006).
- Maktoomi, M. A., Mishra, R. K., Siddiqi, M. A. and Pyari, M. P., “CDTA Based Logarithmic Amplifier”, *2012 IEEE International Conference on Signal Processing, Computing and Control*, 1–4 (2012).
- Maxim Integrated, “Integrated DC Logarithmic Amplifiers”, *Maxim Engineering Journal*, 56, 3–9, (2005).
- Minaei, S., Yuce, E. and Cicekoglu, O., “A Versatile Active Circuit For Realizing Floating Inductance, Capacitance , FDNR and Admittance Converter”, *Analog Integrated Circuits and Signal Processing*, 47, 199–202, (2006).
- Nandi, R., “Grounded-Capacitor Simulation of Grounded Inductors Using Current Conveyors”, *Electronics Letters*, 15, 1–2, (1979).
- Pal, K., “New Inductance and Capacitor Floatation Schemes Using Current Conveyors”, *Electronics Letters*, 17, 3–4, (1981).
- Pandey, N., Tripathi, P., Pandey, R. and Batra, R., “OFCC Based Logarithmic Amplifier”, *2014 International Conference on Signal Processing and Integrated Networks (SPIN)*, 522–525, (2014).
- Patel, C., *Principles of VLSI Design - Capacitance and Resistance Model*, Maryland, University of Maryland, (2007).
- Petchakit, W. and Petchakit, S., “New Floating Capacitance Multipliers”, *EECON-28*, 2, 1233–1236, (2005).
- Premont, C., Grisel, R., Abouchi, N. and Chante, J.-P., “A Current Conveyor Based Capacitive Multiplier”, *Circuits and Systems*, 1997, 146–147, (1997).
- Razavi B., *Design of Analog CMOS Integrated Circuits*, New York: Mcgraw-Hill, (2001).

Sedra, A. and Smith, K. C., “A Second-Generation Applications Current Conveyor And Its Applications”, *IEEE Transactions on Circuit Theory*, 132–134, (1970).

Sedra, A. S. and Smith, K. C., *Microelectronic Circuit*, New York : Oxford University Press, (2010).

Senani, R., “A Novel Application of Four-Terminal Floating Nullor”, *Proceedings of the IEEE*, 1544–1546, (1987).

Silapan, P., Tanaphatsiri, C. and Siripruchyanun, M., “Current Controlled CCTA Based- Novel Grounded Capacitance Multiplier with Temperature Compensation”, *APCCAS 2008 - 2008 IEEE Asia Pacific Conference on Circuits and Systems*, 1490–1493, (2008).

Siripruchyanan, M. and Jaikla, W., “Floating Capacitance Multiplier Using DVCC and CCCIs”, *2007 International Symposium on Communications and Information Technologies (ISCIT 2007)*, 218–221, (2007).

Somdunyanok, M., “Floating-Capacitance Multiplier Based on CCDDCCs and Its Application”, *Tencon 2011*, 1, 1367–1370, (2011).

Surakamponorn, W., Riewruja, V., Kumwachara, K. and Dejhan, K., “Accurate CMOS-Based Current Conveyors”, *IEEE Transactions on Instrumentation and Measurement*, 40, 699–702, (1991).

Tai, I. and Hasegawa, K.-I., “A High-Speed Logarithmic Amplifier”, *IEEE Transactions on Instrumentation and Measurement*, 25, 61–65, (1976).

Yuan, F., *CMOS Current-Mode Circuits For Data Communications*, Canada : Springer Science+Business Media, (2007)

Yuce, E. and Minaei, S., “A Modified CFOA and Its Applications to Simulated Inductors, Capacitance Multipliers and Analog Filters”, *IEEE Transactions on Circuits and Systems—I: Regular Papers.*, 55, 266–275, (2008).

Yuce, E., “Grounded Inductor Simulators with Improved Low-Frequency Performances”, *IEEE Transactions on Instrumentation and Measurement*, 57, 1079–1084, (2008).

## 7 EKLER

### 7.1 EKA

#### MOSIS WAFER ACCEPTANCE TESTS

RUN: T97F (8HP\_5LM)  
BURLINGTON  
TECHNOLOGY: SIGE013  
microns

VENDOR: IBM-  
FEATURE SIZE: 0.13

Run type: DED

INTRODUCTION: This report contains the lot average results obtained by MOSIS

from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: SIGE8HP\_IBM-BU

TRANSISTOR PARAMETERS      W/L      N-CHANNEL P-CHANNEL  
UNITS

MINIMUM	0.16/0.12		
Vth	0.41	-0.42	volts
SHORT	20.0/0.12		
Idss	447	-184	uA/um
Vth	0.45	-0.42	volts
Vpt	3.0	-3.6	volts
WIDE	20.0/0.12		
Ids0	229.6	-212.4	pA/um
LARGE	20.0/20.0		
Vth	0.13	-0.22	volts
Vjbkd	2.6	-2.5	volts
Ijlk	<50.0	<50.0	pA
Gamma	0.18	0.26	V^0.5
K' (Uo*Cox/2)	303.7	-44.8	uA/V^2
Low-field Mobility	562.89	83.03	cm^2/V*s



BIPOLAR PARAMETERS Emitter W/L NPN UNITS

NPN\_HP 0.12/2.5  
 Beta (I=10uA) 351  
 Vce,sat (Ic=100uA) 0.01 volts  
 BVceo 1.88 volts  
 BVcbo 5.87 volts  
 BVebo 2.66 volts  
 Re 9.31 ohms

PROCESS PARAMETERS POLY\_NON N+ P+ POLY M1 M2  
 UNITS

Sheet Resistance 1627.4 6.8 6.5 6.7 0.07 0.05 ohms/sq  
 Contact Resistance 10.0 9.8 8.8 0.74 ohms  
 Gate Oxide Thickness 32 angstrom

PROCESS PARAMETERS M3 PPLY+BLK N+BLK TaN NS M4 M5  
 N\_W UNITS

Sheet Resistance 0.05 348.2 76.5 62.3 9.4 0.02 0.01 528 ohms/sq  
 Contact Resistance 1.00 1.35 1.70 ohms

COMMENTS: BLK is silicide block.

CAPACITANCE PARAMETERS N+ P+ POLY D\_N\_W  
 N\_W UNITS

Area (substrate) 948 1166 1001 aF/um^2  
 Area (N+active) 10910 aF/um^2  
 Area (P+active) 10116 aF/um^2  
 Area (r well) 398 aF/um^2  
 Area (N+ HA varactor) 2086 aF/um^2

CIRCUIT PARAMETERS UNITS

Inverters K  
 Vinv 1.0 0.51 volts  
 Vol (100 uA) 2.0 0.01 volts  
 Voh (100 uA) 2.0 1.18 volts  
 Vinv 2.0 0.54 volts  
 Gain 2.0 -17.38  
 Vinv 1.5 0.52 volts  
 Ring Oscillator Freq.  
 DIV1024 (31-stg,1.2V) 407.77 MHz  
 Ring Oscillator Power  
 DIV1024 (31-stg,1.2V) 5.00 nW/MHz/gate  
 Operational Amplifier  
 Gain 12

COMMENTS: DEEP\_SUBMICRON  
 T97F SPICE BSIM3 VERSION 3.1 PARAMETERS  
 SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8  
 \* DATE: Oct 8/09

\* LOT: T97F                    WAF: 1003  
\* Temperature\_parameters=Default

```
.MODEL CMOSN NMOS (                    LEVEL = 49
+VERSION = 3.1            TNOM = 27            TOX = 3.2E-9
+XJ = 1E-7            NCH = 2.3549E17    VTH0 = 0.0408721
+K1 = 0.325863        K2 = -0.0303381    K3 = 1E-3
+K3B = 7.9752313      W0 = 1.005139E-7   NLX = 9.892661E-7
+DVT0W = 0            DVT1W = 0            DVT2W = 0
+DVT0 = 1.2297627    DVT1 = 0.1473877   DVT2 = 0.295815
+U0 = 451.7567843    UA = -1.42062E-10   UB = 3.125058E-18
+UC = 4.349531E-10   VSAT = 1.104974E5   A0 = 0.1756127
+AGS = 0.0121649     B0 = 5.453993E-6    B1 = 5E-6
+KETA = 0.05           A1 = 4.699783E-4    A2 = 0.476527
+RDSW = 150           PRWG = 0.3491049    PRWB = 0.1116032
+WR = 1               WINT = 1.273353E-8   LINT = 1.040852E-8
+DWG = -2.333272E-9   DWB = 2.870557E-8   VOFF = -5.88255E-3
+NFACTOR = 2.5        CIT = 0              CDSC = 2.4E-4
+CDSCD = 0            CDSCB = 0            ETA0 = 2.748809E-6
+ETAB = -0.0153583   DSUB = 4.054516E-6   PCLM = 1.9787164
+PDIBLC1 = 0.9653375   PDIBLC2 = 0.01       PDIBLCB = 0.1
+DROUT = 0.9990938    PSCBE1 = 7.952366E10   PSCBE2 =
5.012991E-10
+PVAG = 0.5350786    DELTA = 0.01        RSH = 6.8
+MOBMOD = 1           PRT = 0              UTE = -1.5
+KT1 = -0.11          KT1L = 0             KT2 = 0.022
+UA1 = 4.31E-9        UB1 = -7.61E-18     UC1 = -5.6E-11
+AT = 3.3E4           WL = 0               WLN = 1
+WW = 0               WWN = 1               WWL = 0
+LL = 0               LLN = 1               LW = 0
+LWN = 1               LWL = 0               CAPMOD = 2
+XPART = 0.5           CGDO = 4E-10        CGSO = 4E-10
+CGBO = 1E-12        CJ = 8.406526E-4    PB = 0.8
+MJ = 0.4923081      CJSW = 1.939781E-10   PBSW = 0.99
+MJSW = 0.2751883    CJSWG = 3.3E-10     PBSWG = 0.99
+MJSWG = 0.2751883   CF = 0               PVTH0 = -1.031224E-3
+PRDSW = 0            PK2 = 1.629017E-3   WKETA = 0.0106762
+LKETA = 8.760864E-3   PU0 = -3.5021185   PUA = -3.13657E-11
+PUB = 0               PVSAT = 653.2294237   PETA0 = 1E-4
+PKETA = -0.0140591   SAREF = 5.5E-7       SBREF = 5.5E-7
+WLOD = 2E-6           KU0 = -4E-6           KVSAT = 0.2
+KVTH0 = 2E-8        LLODKU0 = 1.0867072   STIMOD = 2
+WLODKU0 = 1.0990864   LLODVTH = 1           WLODVTH = 1
+LKU0 = 1E-6           WKU0 = 1E-6           LODETA0 = 1
+LKVTH0 = 1.1E-6      WKVTH0 = 1.1E-6      PKVTH0 = 0
+STK2 = 0            LODK2 = 1            STETA0 = 0        )
*
```

```
.MODEL CMOSP PMOS (                    LEVEL = 49
+VERSION = 3.1            TNOM = 27            TOX = 3.2E-9
```

```

+XJ = 1E-7      NCH = 4.1589E17  VTH0 = -0.2178731
+K1 = 0.3055794  K2 = -1.881877E-4  K3 = 0.0955725
+K3B = 6.5385817  W0 = 1E-6      NLX = 3.118875E-7
+DVT0W = 0      DVT1W = 0      DVT2W = 0
+DVT0 = 0.2602151  DVT1 = 0.1593124  DVT2 = 0.1
+U0 = 100      UA = 1.043597E-9  UB = 1E-21
+UC = -4.36034E-11  VSAT = 2E5      A0 = 1.844554
+AGS = 0.2915063  B0 = -4.189558E-6  B1 = 5E-6
+KETA = 0.0414839  A1 = 0.0228958  A2 = 1
+RDSW = 105.3697072  PRWG = -0.1019642  PRWB = 0.5
+WR = 1      WINT = 0      LINT = 9.95995E-9
+DWG = 1.093168E-9  DWB = -2.857077E-8  VOFF = -0.1022829
+NFACTOR = 1.5332272  CIT = 0      CDSC = 2.4E-4
+CDSCD = 0      CDSCB = 0      ETA0 = 0.011015
+ETAB = -0.0285373  DSUB = 2.460721E-3  PCLM = 1.6249923
+PDIBLC1 = 0      PDIBLC2 = -4.302895E-9  PDIBLCB = -1E-3
+DROUT = 1.282078E-3  PSCBE1 = 2.169291E9  PSCBE2 =
6.594654E-10
+PVAG = 1.5395235  DELTA = 0.01      RSH = 6.5
+MOBMOD = 1      PRT = 0      UTE = -1.5
+KT1 = -0.11      KT1L = 0      KT2 = 0.022
+UA1 = 4.31E-9      UB1 = -7.61E-18  UC1 = -5.6E-11
+AT = 3.3E4      WL = 0      WLN = 1
+WW = 0      WWN = 1      WWL = 0
+LL = 0      LLN = 1      LW = 0
+LWN = 1      LWL = 0      CAPMOD = 2
+XPART = 0.5      CGDO = 3E-10      CGSO = 3E-10
+CGBO = 1E-12      CJ = 1.174275E-3  PB = 0.8310047
+MJ = 0.4126286  CJSW = 1.312194E-10  PBSW = 0.99
+MJSW = 0.1      CJSWG = 4.22E-10  PBSWG = 0.99
+MJSWG = 0.1      CF = 0      PVTH0 = 5.166851E-4
+PRDSW = 42.1520552  PK2 = 1.857124E-3  WKETA = 0.0358202
+LKETA = 0.0271244  PU0 = -1.0381257  PUA = -4.75151E-11
+PUB = 4.084847E-22  PVSAT = -50      PETA0 = -2E-4
+PKETA = -3.142785E-3 )
*

```

## 7.2 EK B

```

**
** BILDIRI
** CAPACITANCE MULTIPLIER-CFOA_EKSI-ERKAN HOCANIN
DEVRESI-ALTDEVRESIZ
**
**
Vin 50 0 AC 1 SIN(0 25m 1MEG)
R1 1 3 {R1}
R2 1 4 {R2}

```

```

R3 50 1 20
C1 2 0 {C1}
.PARAM A=9
.PARAM R1={A*R2}
.PARAM R2=1k
.PARAM C1=20p
.PARAM Vbes=0.75
.PARAM Vb=0.37
.PARAM W1=5.2u
.PARAM W2=83.2u
.PARAM W3=13u
.PARAM L=0.52u

```

\*\*\*\*\*///

CALISMA ARALIGI BELIRLEMEK ICIN KULLANILAN PARAMETRELER ///

```

*.TEMP 27 50 80 100
*.STEP PARAM R2 1K 20K 500
*.STEP PARAM Vb 0.5 0.7 0.01
*.STEP PARAM W1 13u 26u 1.3u
*.STEP PARAM W2 13u 52u 1.3u
*.STEP PARAM W3 1.3u 26u 1.3u

```

\*\*\*\*\*///

OLMASI GEREKEN KAPASITE DEGERI ///

```

*Vin100 100 0 SIN(2 1 1MEG)
Vin100 100 0 AC 1
C100 100 0 {{A+1}*C1}
R100 100 0 100000000000000000000T

```

\*\*\*\*\*

\*\*\*\*\*///

ELDE EDILEN KAPASITE DEGERI ///-----degeri bulmak icin kapasite sürekli degistirilcek grafikler üst üste gelecek

```

Vin200 200 0 AC 1
C200 200 0 194.8p

```

\*\*\*\*\*

```

Vdd 5 0 {Vbes}
Vss 0 6 {Vbes}
Vb 7 0 {Vb}
M1 8 7 5 5 CMOS W={W1} L={L}
M2 2 7 5 5 CMOS W={W1} L={L}
M3 12 7 5 5 CMOS W={W1} L={L}
M4 11 11 5 5 CMOS W={W1} L={L}
M5 3 11 5 5 CMOS W={W1} L={L}
M6 13 7 5 5 CMOS W={W1} L={L}
M7 4 7 5 5 CMOS W={W1} L={L}
M8 17 1 8 8 CMOS W={W1} L={L}
M9 9 2 8 8 CMOS W={W1} L={L}
M10 10 9 2 2 CMOS W={W3} L={L}
M11 14 3 13 13 CMOS W={W1} L={L}
M12 15 4 13 13 CMOS W={W1} L={L}
M13 16 15 4 4 CMOS W={W3} L={L}
M14 17 17 6 6 CMOS W={W2} L={L}

```

M15 9 17 6 6 CMOSN W={W2} L={L}  
M16 10 10 6 6 CMOSN W={W2} L={L}  
M17 11 10 6 6 CMOSN W={W2} L={L}  
M18 12 12 6 6 CMOSN W={W2} L={L}  
M19 3 12 6 6 CMOSN W={W2} L={L}  
M20 14 14 6 6 CMOSN W={W2} L={L}  
M21 15 14 6 6 CMOSN W={W2} L={L}  
M22 16 16 6 6 CMOSN W={W2} L={L}

\*Model tanımı 0.13 micron

\* Temperature\_parameters=Default

```
.MODEL CMOSN NMOS (
LEVEL = 7
+VERSION = 3.1 TNOM = 27 TOX = 3.2E-9
+XJ = 1E-7 NCH = 2.3549E17 VTH0 = 0.0408721
+K1 = 0.325863 K2 = -0.0303381 K3 = 1E-3
+K3B = 7.9752313 W0 = 1.005139E-7 NLX = 9.892661E-7
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 1.2297627 DVT1 = 0.1473877 DVT2 = 0.295815
+U0 = 451.7567843 UA = -1.42062E-10 UB = 3.125058E-18
+UC = 4.349531E-10 VSAT = 1.104974E5 A0 = 0.1756127
+AGS = 0.0121649 B0 = 5.453993E-6 B1 = 5E-6
+KETA = 0.05 A1 = 4.699783E-4 A2 = 0.476527
+RDSW = 150 PRWG = 0.3491049 PRWB = 0.1116032
+WR = 1 WINT = 1.273353E-8 LINT = 1.040852E-8
+DWG = -2.333272E-9 DWB = 2.870557E-8 VOFF = -5.88255E-3
+NFACTOR = 2.5 CIT = 0 CDSC = 2.4E-4
+CDSCD = 0 CDSCB = 0 ETA0 = 2.748809E-6
+ETAB = -0.0153583 DSUB = 4.054516E-6 PCLM = 1.9787164
+PDIBLC1 = 0.9653375 PDIBLC2 = 0.01 PDIBLCB = 0.1
+DROUT = 0.9990938 PSCBE1 = 7.952366E10 PSCBE2 =
```

5.012991E-10

```
+PVAG = 0.5350786 DELTA = 0.01 RSH = 6.8
+MOBMOD = 1 PRT = 0 UTE = -1.5
+KT1 = -0.11 KT1L = 0 KT2 = 0.022
+UA1 = 4.31E-9 UB1 = -7.61E-18 UC1 = -5.6E-11
+AT = 3.3E4 WL = 0 WLN = 1
+WW = 0 WWN = 1 WWL = 0
+LL = 0 LLN = 1 LW = 0
+LWN = 1 LWL = 0 CAPMOD = 2
+XPART = 0.5 CGDO = 4E-10 CGSO = 4E-10
+CGBO = 1E-12 CJ = 8.406526E-4 PB = 0.8
+MJ = 0.4923081 CJSW = 1.939781E-10 PBSW = 0.99
+MJSW = 0.2751883 CJSWG = 3.3E-10 PBSWG = 0.99
+MJSWG = 0.2751883 CF = 0 PVTH0 = -1.031224E-3
+PRDSW = 0 PK2 = 1.629017E-3 WKETA = 0.0106762
+LKETA = 8.760864E-3 PU0 = -3.5021185 PUA = -3.13657E-11
+PUB = 0 PVSAT = 653.2294237 PETA0 = 1E-4
*+PKETA = -0.0140591 )
```

\*

```
.MODEL CMOSP PMOS (
LEVEL = 7
+VERSION = 3.1 TNOM = 27 TOX = 3.2E-9
```

```

+XJ = 1E-7      NCH = 4.1589E17  VTH0 = -0.2178731
+K1 = 0.3055794  K2 = -1.881877E-4  K3 = 0.0955725
+K3B = 6.5385817  W0 = 1E-6      NLX = 3.118875E-7
+DVT0W = 0      DVT1W = 0      DVT2W = 0
+DVT0 = 0.2602151  DVT1 = 0.1593124  DVT2 = 0.1
+U0 = 100      UA = 1.043597E-9  UB = 1E-21
+UC = -4.36034E-11  VSAT = 2E5      A0 = 1.844554
+AGS = 0.2915063  B0 = -4.189558E-6  B1 = 5E-6
+KETA = 0.0414839  A1 = 0.0228958  A2 = 1
+RDSW = 105.3697072  PRWG = -0.1019642  PRWB = 0.5
+WR = 1      WINT = 0      LINT = 9.95995E-9
+DWG = 1.093168E-9  DWB = -2.857077E-8  VOFF = -0.1022829
+NFACTOR = 1.5332272  CIT = 0      CDSC = 2.4E-4
+CDSCD = 0      CDSCB = 0      ETA0 = 0.011015
+ETAB = -0.0285373  DSUB = 2.460721E-3  PCLM = 1.6249923
+PDIBLC1 = 0      PDIBLC2 = -4.302895E-9  PDIBLCB = -1E-3
+DROUT = 1.282078E-3  PSCBE1 = 2.169291E9  PSCBE2 =
6.594654E-10
+PVAG = 1.5395235  DELTA = 0.01      RSH = 6.5
+MOBMOD = 1      PRT = 0      UTE = -1.5
+KT1 = -0.11      KT1L = 0      KT2 = 0.022
+UA1 = 4.31E-9      UB1 = -7.61E-18  UC1 = -5.6E-11
+AT = 3.3E4      WL = 0      WLN = 1
+WW = 0      WWN = 1      WWL = 0
+LL = 0      LLN = 1      LW = 0
+LWN = 1      LWL = 0      CAPMOD = 2
+XPART = 0.5      CGDO = 3E-10      CGSO = 3E-10
+CGBO = 1E-12      CJ = 1.174275E-3  PB = 0.8310047
+MJ = 0.4126286  CJSW = 1.312194E-10  PBSW = 0.99
+MJSW = 0.1      CJSWG = 4.22E-10  PBSWG = 0.99
+MJSWG = 0.1      CF = 0      PVTH0 = 5.166851E-4
+PRDSW = 42.1520552  PK2 = 1.857124E-3  WKETA = 0.0358202
+LKETA = 0.0271244  PU0 = -1.0381257  PUA = -4.75151E-11
+PUB = 4.084847E-22  PVSAT = -50      PETA0 = -2E-4
+PKETA = -3.142785E-3 )
*
*****
*****
.PROBE
.TRAN 5n 8u 1u 5n
.AC DEC 100 100k 10MEG
.END

```

## 8 ÖZGEÇMİŞ

Adı Soyadı : Tolga YÜCEHAN

Doğum Yeri ve Tarihi : Diyarbakır – 21.06.1989

Lisans Üniversite : Pamukkale Üniversitesi

Elektronik posta : tolga.yucehan@gop.edu.tr

İletişim Adresi : Turhal MYO Turhal Kampüsü İdari Bina  
Oda No:İ-19 Öğr. Gör. Tolga YÜCEHAN Turhal/TOKAT

**Konferans listesi** :

- Remzi ARSLANALP, Tolga YÜCEHAN, “CFOA- Kullanılarak Kapasite Çarpıcı Devre Tasarımı” 23. Sinyal İşleme ve İletişim Uygulamaları Kurultayı, 2015 (İnönü Üniversitesi)