

T. C.
PAMUKKALE ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

MOS TRANSİSTÖR TABANLI ELEKTRONİK OLARAK
AYARLANABİLİR ANALOG DEVRELER

DOKTORA TEZİ

FIRAT YÜCEL

DENİZLİ, OCAK 2015

T. C.
PAMUKKALE ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI



MOS TRANSİSTÖR TABANLI ELEKTRONİK OLARAK
AYARLANABİLİR ANALOG DEVRELER

DOKTORA TEZİ

FIRAT YÜCEL

DENİZLİ, OCAK 2015

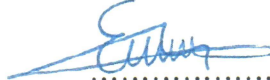
KABUL VE ONAY SAYFASI

Fırat YÜCEL tarafından hazırlanan "MOS TRANSİSTÖR TABANLI ELEKTRONİK OLARAK AYARLANABİLİR ANALOG DEVRELER" adlı tez çalışmasının savunma sınavı 15/01/2015 tarihinde yapılmış olup aşağıda verilen jüri tarafından oy birliği ile Pamukkale Üniversitesi Fen Bilimleri Enstitüsü Elektrik-Elektronik Mühendisliği Anabilim Dalı Doktora Tezi olarak kabul edilmiştir.

Jüri Üyeleri

İmza

Danışman
Doç. Dr. Erkan YÜCE
Pamukkale Üniversitesi



.....

Üye
Prof. Dr. Shahram MINAEI
Doğuş Üniversitesi




.....

Üye
Prof. Dr. Orhan KARABULUT
Pamukkale Üniversitesi



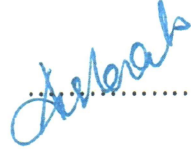
.....

Üye
Yrd. Doç. Dr. M. Serhat KESERLİOĞLU
Pamukkale Üniversitesi



.....

Üye
Yrd. Doç. Dr. Remzi ARSLANALP
Pamukkale Üniversitesi



.....

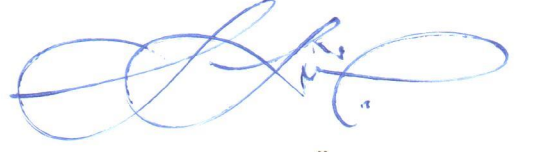
Pamukkale Üniversitesi Fen Bilimleri Enstitüsü Yönetim Kurulu'nun 29./01./2015 tarih ve ...04/19.. sayılı kararıyla onaylanmıştır.



Prof. Dr. Orhan KARABULUT
Fen Bilimleri Enstitüsü Müdürü

Bu tez alıřması, Pamukkale niversitesi Bilimsel Arařtırma Projeleri Yönetim Birimi tarafından 2012FBE033 nolu proje ile desteklenmiřtir.

Bu tezin tasarımı, hazırlanması, yürütülmesi, arařtırmalarının yapılması ve bulgularının analizlerinde bilimsel etięe ve akademik kurallara özenle riayet edildiđini; bu çalışmanın doğrudan birincil ürünü olmayan bulguların, verilerin ve materyallerin bilimsel etięe uygun olarak kaynak gösterildiđini ve alıntı yapılan çalışmalara atfedildiđini beyan ederim.



FIRAT YÜCEL

ÖZET

**MOS TRANSİSTÖR TABANLI ELEKTRONİK OLARAK
AYARLANABİLİR ANALOG DEVRELER
DOKTORA TEZİ
FIRAT YÜCEL
PAMUKKALE ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI
(TEZ DANIŞMANI: DOÇ. DR. ERKAN YÜCE)
DENİZLİ, OCAK 2015**

Bu tezde; ayarlanabilir, lineerliği yüksek, az sayıda devre elemanı içeren, düşük gürültü, düşük güç tüketimi, düşük toplam harmonik bozulma ve geniş dinamik aralık özelliklerine sahip MOS transistör tabanlı yeni analog devrelerin tasarımı amaçlanmıştır. Bu kapsamda; ayarlanabilir direnç, transkondüktör, kare alıcı, birinci ve ikinci dereceden süzgeç devreleri hazırlanmıştır.

İlk olarak, ayarlanabilir bir topraklanmış direnç ve bu devrenin ikinci dereceden çok fonksiyonlu süzgeç uygulaması önerilmiştir. Ayrıca, altı adet MOS transistör kullanılarak, iki adet ayarlanabilir lineer transkondüktör devresi hazırlanmıştır. Bir uygulama örneği olarak ise pozitif kayıpsız bir topraklanmış endüktans simülatörü verilmiştir.

Başka bir çalışmada, kaskat bağlanabilir, gerilim giriş akım çıkışlı, MOS transistör tabanlı bir analog kare alıcı ve bu devrenin dört kadranlı analog çarpıcı uygulaması verilmiştir. Ayrıca, daha önce önerilen transkondüktör devrelerinden türetilmiş bir kare alıcı devre daha verilmiştir.

Tez kapsamında, dört adet elektronik olarak ayarlanabilir, gerilim modlu birinci dereceden tüm geçiren süzgeç devresi tasarlanmıştır. Bunlardan birisi, yalnızca üç adet NMOS transistör ile tasarlanan bir süzgeçtir. İkinci çalışmada ise CCII- tabanlı bir süzgeç verilmiştir. Son olarak ise, iki adet CCII tabanlı ayarlanabilir süzgeç devresi hazırlanmıştır.

Diğer bir çalışmada, ikinci dereceden akım modlu bir evrensel süzgeç, beş adet CCII+ elemanı kullanılarak gerçekleştirilmiştir. Ayrıca, iki adet çok çıkışlı CCII elemanı ile tasarlanan, ikinci dereceden gerilim modlu çok fonksiyonlu bir süzgeç önerilmiştir.

Hazırlanan devrelerin performans ve çalışabilirliğini göstermek üzere, SPICE programında, $0.13 \mu\text{m}$ ve $0.25 \mu\text{m}$ CMOS teknoloji parametreleri kullanılarak simülasyonlar gerçekleştirilmiştir. Ayrıca, bazı çalışmalar için deneysel test sonuçları da verilmiştir. Simülasyon ve deneysel test sonuçları, kuramı en iyi şekilde desteklemiştir.

ANAHTAR KELİMELEER: Analog devreler, aktif süzgeçler, ayarlanabilirlik, CCII, MOS transistör.

ABSTRACT

MOS TRANSISTOR BASED ELECTRONICALLY TUNABLE ANALOG CIRCUITS

**PH. D. THESIS
FIRAT YÜCEL**

**PAMUKKALE UNIVERSITY INSTITUTE OF SCIENCE
ELECTRICAL AND ELECTRONICS ENGINEERING
(SUPERVISOR: ASSOC. PROF. DR. ERKAN YÜCE)
DENİZLİ, JANUARY 2015**

In this thesis, it is aimed to design new MOS transistor based analog circuits having the features of tunability, better linearity, low power dissipation, low number of component, low noise, low total harmonic distortion and wider dynamic range. For this purpose, tunable resistor, transconductor, squarer, first and second order filter circuits are implemented.

Firstly, an electronically tunable grounded resistor and its second-order multifunctional filter application are proposed. Further, two new highly linear tunable transconductors using six MOS transistors are proposed. Additionally, a positive lossless grounded inductor simulator is given as an application example of the proposed transconductors.

As another work, a cascadable voltage input current output MOS based analog squarer and its four quadrant analog multiplier application are given. A new squarer circuit derived from previously proposed transconductors is also given.

In this thesis, four first-order all-pass filter circuits are designed. One of them is electronically tunable filter design using only three NMOS transistors. A new all-pass filter using only one CCII- is proposed. CCII based two voltage-mode tunable all-pass filters are given.

A second-order current-mode universal filter in this thesis is implemented by using five CCII+s. Also, a second-order voltage-mode multifunctional filter using two multiple output CCII is proposed.

Simulations of the proposed circuits by using 0.13 μm and 0.25 μm CMOS technology parameters in SPICE program are accomplished to test performance and workability. Experimental test results for some circuits are also achieved. Simulations and experimental results confirm the theory well.

KEYWORDS: Analog circuits, active filters, tunability, CCII, MOS transistor.

İÇİNDEKİLER

Sayfa

ÖZET.....	i
ABSTRACT	ii
İÇİNDEKİLER.....	iii
ŞEKİL LİSTESİ.....	v
TABLO LİSTESİ.....	ix
SEMBOL LİSTESİ.....	x
KISALTMALAR	xi
ÖNSÖZ.....	xii
1. GİRİŞ.....	1
1.1 Elektronik Olarak Ayarlanabilir Dirençler.....	1
1.2 Transkondüktörler.....	4
1.3 Kare Alıcı Devreler.....	5
1.4 Birinci Dereceden Tüm Geçiren Süzgeçler.....	6
1.5 İkinci Dereceden Akım Modlu Süzgeçler.....	12
1.6 İkinci Dereceden Gerilim Modlu Süzgeçler.....	14
2. TEMEL KAVRAMLAR.....	18
2.1 Topraklanmış Gerilim Kontrollü Direnç (GVCR)	18
2.2 Transkondüktör.....	19
2.3 İkinci Nesil Akım Taşıyıcı (CCII).....	20
2.3.1 Pozitif ve Negatif Tip İkinci Nesil Akım Taşıyıcılar	21
2.3.2 Diğer İkinci Nesil Akım Taşıyıcı Türleri.....	23
2.4 Birim Kazançlı Eviren Yükselteç	25
2.5 Diferansiyel Gerilim Akım Taşıyıcı (DVCC).....	25
3. AYARLANABİLİR DİRENÇ TASARIMI.....	27
3.1 Lineer Topraklanmış Gerilim Kontrollü Direnç.....	27
3.1.1 Giriş	27
3.1.2 Yöntem.....	27
3.1.3 Lineerlik Analizi.....	29
3.1.4 Simülasyon Sonuçları	31
3.1.5 Bir Uygulama Örneği: İkinci Dereceden Çok Fonksiyonlu Süzgeç.....	38
4. AYARLANABİLİR TRANSKONDÜKTÖR TASARIMI	42
4.1 Gerilim Girişli Akım Çıkışlı Ayarlanabilir Transkondüktör	42
4.1.1 Giriş	42
4.1.2 Yöntem.....	42
4.1.3 Bir Uygulama Örneği: Endüktans Simülatörü	45
4.1.4 Simülasyon Sonuçları	46
4.1.5 Deneysel Test Sonuçları	53
5. KARE ALICI DEVRELERİN TASARIMI.....	55
5.1 MOS Transistör Tabanlı Analog Kare Alıcı	55
5.1.1 Giriş	55
5.1.2 Yöntem.....	55
5.1.3 Analog Dört Kadranlı Çarpıcı Uygulaması.....	58
5.1.4 Simülasyon Sonuçları	59
5.2 Transkondüktör Tabanlı Analog Kare Alıcı.....	65
5.2.1 Giriş	65
5.2.2 Yöntem.....	65

5.2.3	Simülasyon Sonuçları	67
6.	BİRİNCİ DERECEDEDEN TÜM GEÇİREN SÜZGEÇLERİN TASARIMI.	69
6.1	MOSFET Tabanlı Birinci Dereceden Tüm Geçiren Süzgeç	69
6.1.1	Giriş	69
6.1.2	Yöntem.....	69
6.1.3	Simülasyon Sonuçları	72
6.2	CCII- Tabanlı Birinci Dereceden Tüm Geçiren Süzgeç	78
6.2.1	Giriş	78
6.2.2	Yöntem.....	78
6.2.3	Parazitik Empedansların Etkisi	80
6.2.4	Kuadratör Osilatör Uygulaması.....	81
6.2.5	Simülasyon Sonuçları	83
6.2.6	Deneysel Test Sonuçları	88
6.3	DO-CCII ve MCCII- Tabanlı Birinci Dereceden Tüm Geçiren Süzgeçler	90
6.3.1	Giriş	90
6.3.2	Yöntem.....	90
6.3.3	Parazitik Empedansların Etkisi	92
6.3.4	Kuadratör Osilatör Uygulaması.....	95
6.3.5	Simülasyon Sonuçları	97
6.3.6	Deneysel Test Sonuçları	104
7.	İKİNCİ DERECEDEDEN AKIM MODLU SÜZGEÇ TASARIMI	107
7.1	CCII+ Tabanlı Kaskat Bağlanabilir Akım Modlu Evrensel Süzgeç.....	107
7.1.1	Giriş	107
7.1.2	Yöntem.....	107
7.1.3	Parazitik Empedansların Etkisi	111
7.1.4	Simülasyon Sonuçları	112
7.1.5	Deneysel Test Sonuçları	119
8.	İKİNCİ DERECEDEDEN GERİLİM MODLU SÜZGEÇ TASARIMI.....	121
8.1	CCII Tabanlı Gerilim Modlu Çok Fonksiyonlu Süzgeç	121
8.1.1	Giriş	121
8.1.2	Yöntem.....	121
8.1.3	Simülasyon Sonuçları	124
9.	SONUÇ VE ÖNERİLER	128
10.	KAYNAKLAR	132
11.	EKLER	153
EK A.	Simülasyonlarda Kullanılan CMOS Teknoloji Parametreleri	153
EK B.	Hazırlanan GVCR Elemanının Tümleşik Devre Şeması.....	157
12.	ÖZGEÇMİŞ	158

ŞEKİL LİSTESİ

Sayfa

Şekil 2.1: Tek kontrol gerilimine (V_C) sahip GVCR'nin elektriksel sembolü.	19
Şekil 2.2: GVCR eşdeğer devresi (Yuce 2011).	19
Şekil 2.3: Ayarlanabilir bir transkondüktör elemanının elektriksel sembolü.	20
Şekil 2.4: (a) CCII+ elektriksel sembolü, (b) CCII- elektriksel sembolü.	21
Şekil 2.5: CCII+ bloğunun içyapısı (Arslan ve Morgul 2008).	22
Şekil 2.6: CCII- bloğunun içyapısı (Bruun 1995).	22
Şekil 2.7: (a) DO-CCII elektriksel sembolü, (b) TO-CCII elektriksel sembolü.	24
Şekil 2.8: DO-CCII bloğunun içyapısı (Fabre ve diğ. 1996).	24
Şekil 2.9: TO-CCII bloğunun içyapısı (Surakampontorn ve diğ. 1991).	24
Şekil 2.10: Birim kazançlı eviren yükseltecin elektriksel sembolü.	25
Şekil 2.11: DVCC elemanının elektriksel sembolü.	26
Şekil 2.12: DVCC bloğunun içyapısı (Chiu ve diğ. 1996).	26
Şekil 3.1: Tasarlanan GVCR.	28
Şekil 3.2: Hazırlanan GVCR devresinin giriş/çıkış karakteristiği.	33
Şekil 3.3: Hazırlanan GVCR devresinin Shichman-Hodges modeline göre giriş/çıkış karakteristiği.	33
Şekil 3.4: MOS transistörlerin λ parametresinin değiştirilmesiyle elde edilen giriş/çıkış karakteristik eğrisi.	34
Şekil 3.5: Hazırlanan GVCR devresinin frekansa göre empedans ve faz cevabı.	35
Şekil 3.6: Hazırlanan GVCR devresinin zamana göre giriş/çıkış cevabı ($R_{eq} \cong 1.33 \text{ k}\Omega$).	35
Şekil 3.7: NMOS transistörlerin W parametresi değiştirilerek elde edilen empedans ve faz cevabı ($R_{eq} \cong 1.33 \text{ k}\Omega$).	36
Şekil 3.8: NMOS transistörlerin W parametresi değiştirilerek elde edilen zamana göre giriş/çıkış cevabı ($R_{eq} \cong 1.33 \text{ k}\Omega$).	36
Şekil 3.9: Monte Carlo analizi ile V_{TP} ve V_{TN} parametrelerinin %5 oranında değiştirilmesi sonucunda elde edilen giriş/çıkış karakteristiği ($R_{eq} \cong 1.33 \text{ k}\Omega$).	37
Şekil 3.10: Giriş akımının değişimine göre THD düzeyleri ($R_{eq} \cong 1.33 \text{ k}\Omega$).	38
Şekil 3.11: Giriş akımı frekansının (f) değişimine göre THD düzeyleri ($R_{eq} \cong 1.33 \text{ k}\Omega$).	38
Şekil 3.12: Hazırlanan DVCC tabanlı çok fonksiyonlu süzgeç uygulaması (Yuce ve diğ. 2014).	39
Şekil 3.13: Hazırlanan DVCC tabanlı süzgecin direnç değişimine göre kazanç cevabı.	40
Şekil 4.1: İlk hazırlanan transkondüktör konfigürasyonu.	43
Şekil 4.2: İkinci hazırlanan transkondüktör konfigürasyonu.	44
Şekil 4.3: Hazırlanan pozitif kayıpsız topraklanmış endüktans simülatörü.	46
Şekil 4.4: İlk hazırlanan transkondüktörün V_{C1} değerinin değişimine göre DC transfer karakteristiği.	47
Şekil 4.5: G_{m1} transkondüktansının $-V_{C1}$ kontrol gerilimine göre değişimi.	47
Şekil 4.6: İlk hazırlanan transkondüktörde güç tüketiminin $-V_{C1}$ kontrol gerilimine göre değişimi.	48
Şekil 4.7: İlk hazırlanan transkondüktörün kazanç ve faz cevabı.	48
Şekil 4.8: İlk hazırlanan transkondüktörün sinüzoidal çıkış cevabı.	49
Şekil 4.9: İlk hazırlanan transkondüktörün FFT cevabı.	49

Şekil 4.10: $M_3 - M_6$ transistörlerinin W değerinin değişimine göre sinüzoidal çıkış cevabı.	50
Şekil 4.11: İlk hazırlanan transkondüktör için giriş ve çıkış gürültüsü.	51
Şekil 4.12: İlk hazırlanan transkondüktör için sinüzoidal giriş işaretinin genlik tepe değerinin değişimine göre THD oranları.	51
Şekil 4.13: İlk hazırlanan transkondüktörün PVT (proses, güç kaynağı, sıcaklık) analizi sonucunda elde edilen DC transfer karakteristikleri.	52
Şekil 4.14: Hazırlanan endüktans simülatörünün genlik ve faz cevabı.	53
Şekil 4.15: Deneysel test için ilk hazırlanan transkondüktöre uygulanan sinüzoidal işaret girişine karşılık elde edilen çıkış cevabı (Giriş ve çıkış işaretleri için ölçeklendirme 100 mV/kare ve $R_L = 1$ k Ω).	54
Şekil 5.1: (a) Hazırlanan kare alıcı devre şeması, (b) Kutuplama gerilimi üretme devresi (Maloberti 2001).	56
Şekil 5.2: Hazırlanan analog çarpıcı blok şeması.	59
Şekil 5.3: Hazırlanan kare alıcı devrenin giriş ve ilgili çıkış karakteristiği.	60
Şekil 5.4: Eşik gerilimlerinin Gaussian dağılımına göre %1 oranında değişimi ile gerçekleştirilen Monte Carlo analizi.	61
Şekil 5.5: MOS transistörlerin W parametresinin 5 μm ile 8 μm arasında 0.25 μm adımlarla değiştirilmesiyle elde edilen adım analizi.	62
Şekil 5.6: Hazırlanan kare alıcı devrenin kutuplama gerilimlerinin ($\pm V_b$) değişimine göre ideal ve simülasyon çıkışları.	62
Şekil 5.7: Uygulanan sinüzoidal işaretin tepe genliğine göre toplam harmonik bozulma.	63
Şekil 5.8: Hazırlanan kare alıcının 2 MHz frekansında hızlı Fourier dönüşümü.	64
Şekil 5.9: Hazırlanan çarpıcı devresinin giriş/çıkış cevabı.	64
Şekil 5.10: Transkondüktör tabanlı analog kare alıcı.	66
Şekil 5.11: Hazırlanan transkondüktör tabanlı kare alıcı devrenin sinüzoidal işaret giriş ve çıkış cevabı.	68
Şekil 6.1: Hazırlanan MOSFET tabanlı tüm geçiren süzgeç.	70
Şekil 6.2: Hazırlanan tüm geçiren süzgecin kazanç ve faz cevabı.	73
Şekil 6.3: Hazırlanan tüm geçiren süzgecin 5.52 MHz frekansına sahip sinüzoidal giriş işareti için giriş/çıkış cevabı.	73
Şekil 6.4: M_2 transistörünün W değerinin 1.04 μm ile 1.56 μm arasında 0.13 μm adım değeriyle değişimine göre kazanç ve faz cevabı.	74
Şekil 6.5: M_2 transistörünün W parametresinin 1.04 μm ile 1.56 μm arasında 0.13 μm adım değeriyle değişimine göre sinüzoidal giriş işareti cevabı.	74
Şekil 6.6: Hazırlanan tüm geçiren süzgeç devresindeki transistörlerin V_{TH0} parametresinin %5 oranında değiştirilmesiyle elde edilen Monte Carlo analizi.	75
Şekil 6.7: Hazırlanan tüm geçiren süzgeç devresindeki C kapasitörünün değerinin %5 oranında değiştirilmesiyle elde edilen Monte Carlo analizi kazanç ve faz cevabı.	76
Şekil 6.8: Hazırlanan süzgeç devresindeki C kapasitörünün değerinin %5 oranında değiştirilmesiyle elde edilen Monte Carlo analizi sinüzoidal giriş işareti cevabı.	76
Şekil 6.9: Hazırlanan süzgeç devresinin giriş işaretinin frekansının değişimine göre giriş ve çıkış gürültüsü.	77
Şekil 6.10: Hazırlanan süzgecin girişine uygulanan 5.52 MHz frekansına sahip sinüzoidal giriş sinyalinin genlik değerlerinin değişimine göre THD değerleri.	77
Şekil 6.11: Hazırlanan CCII- tabanlı tüm geçiren süzgecin devre şeması.	79
Şekil 6.12: Parazitik empedansların etkisi dikkate alınarak oluşturulan CCII- modeli.	81

Şekil 6.13: Hazırlanan kuadratör osilatör uygulaması.....	82
Şekil 6.14: Birim kazançlı eviren yükselteç (Razavi 2008, Minaei ve Yuce 2012 ^b)..	82
Şekil 6.15: Hazırlanan tüm geçiren süzgeçte kullanılan CCII- elemanının frekansa göre ideal olmayan gerilim ve akım kazançları.....	84
Şekil 6.16: Hazırlanan tüm geçiren süzgecin kazanç ve faz cevabı.....	85
Şekil 6.17: M_3 - M_5 transistörleri W değerinin $16.9 \mu\text{m}$ ile $18.2 \mu\text{m}$ arasında $0.13 \mu\text{m}$ adımlarla değiştirilmesiyle elde edilen sinüzoidal giriş/çıkış cevabı.....	86
Şekil 6.18: Hazırlanan tüm geçiren süzgeç devresindeki C kapasitörünün %20 değişimi için gerçekleştirilen Monte Carlo analizi.....	86
Şekil 6.19: Hazırlanan tüm geçiren süzgecin, giriş tepe geriliminin değişimine göre toplam harmonik bozulması.....	87
Şekil 6.20: Hazırlanan kuadratör osilatörün çıkış cevabı.....	87
Şekil 6.21: Hazırlanan kuadratör osilatör uygulamasının çıkış gerilimi tepe değerinin frekansa göre değişimi.....	88
Şekil 6.22: Hazırlanan tüm geçiren süzgecin iki adet AD844 aktif elemanı kullanılarak gerçekleştirilmesi.....	89
Şekil 6.23: Hazırlanan tüm geçiren süzgecin deneysel testte elde edilen sinüzoidal işaret cevabı.....	89
Şekil 6.24: Hazırlanan DO-CCII tabanlı tüm geçiren süzgecin devre şeması.....	91
Şekil 6.25: Tasarlanan MCCII- tabanlı tüm geçiren süzgecin devre şeması.....	92
Şekil 6.26: Parazitik empedansların yer aldığı DO-CCII modeli.....	93
Şekil 6.27: Hazırlanan DO-CCII tabanlı tüm geçiren süzgeç için kuadratör osilatör uygulaması.....	95
Şekil 6.28: Hazırlanan MCCII- tabanlı tüm geçiren süzgeç için kuadratör osilatör uygulaması.....	97
Şekil 6.29: Hazırlanan DO-CCII tabanlı tüm geçiren süzgeç için kazanç ve faz cevabı.....	98
Şekil 6.30: Hazırlanan MCCII- tabanlı tüm geçiren süzgeç için kazanç ve faz cevabı.....	99
Şekil 6.31: Hazırlanan DO-CCII tabanlı tüm geçiren süzgeç için V_{TH0} değerinin NMOS transistörler için 40.46 mV ile 41.28 mV , PMOS transistörler için -220.1 mV ile -215.6 mV arasında değiştirilmesiyle elde edilen Monte Carlo analizi.....	100
Şekil 6.32: Hazırlanan MCCII- tabanlı tüm geçiren süzgeç için V_{TH0} değerinin NMOS transistörler için 40.46 mV ile 41.28 mV , PMOS transistörler için -220.1 mV ile -215.6 mV arasında değiştirilmesiyle elde edilen Monte Carlo analizi.....	100
Şekil 6.33: Hazırlanan DO-CCII tabanlı tüm geçiren süzgeç için, V_{TH0} parametresinin % 5 değiştirilmesiyle gerçekleştirilen Monte Carlo analizi kazanç ve faz cevabı.....	101
Şekil 6.34: Hazırlanan MCCII- tabanlı tüm geçiren süzgeç için, V_{TH0} parametresinin % 5 değiştirilmesiyle gerçekleştirilen Monte Carlo analizi kazanç ve faz cevabı.....	101
Şekil 6.35: Hazırlanan DO-CCII tabanlı süzgecin direnç değerlerinin ($R_1 = R_2$) değiştirilmesiyle elde edilen sinüzoidal işaret cevabı.....	102
Şekil 6.36: Hazırlanan MCCII- tabanlı süzgecin direnç değerlerinin ($R_2 = 2R_1$ ve $\gamma = 0.5$) değiştirilmesiyle elde edilen sinüzoidal işaret cevabı.....	103
Şekil 6.37: Hazırlanan DO-CCII ve MCCII- tabanlı süzgeçlerin gürültüsü.....	103
Şekil 6.38: Hazırlanan osilatörlerin çıkış gerilimleri.....	104
Şekil 6.39: İki AD844 kullanılarak MCCII- elemanının gerçekleştirilmesi.....	105

Şekil 6.40: Hazırlanan MCCII- tabanlı tüm geçiren süzgecin zaman ortamı deneysel test cevabı.....	106
Şekil 6.41: Frekans ortamı deneysel test sonucu.....	106
Şekil 7.1: Hazırlanan akım modlu evrensel süzgecin devre şeması.....	108
Şekil 7.2: Parazitik empedansların yer aldığı CCII+ modeli.....	111
Şekil 7.3: Hazırlanan süzgecin ideal ve simülasyon alçak geçiren, yüksek geçiren ve bant geçiren kazanç cevabı.....	113
Şekil 7.4: Hazırlanan tüm geçiren süzgecin ideal ve simülasyon kazanç ve faz cevabı.....	114
Şekil 7.5: Hazırlanan bant durduran süzgecin ideal ve simülasyon kazanç ve faz cevabı.....	114
Şekil 7.6: Hazırlanan bant geçiren süzgecin giriş ve çıkış gürültüsü.....	115
Şekil 7.7: C_1 , C_2 ve C_3 değerlerinin %10 değişimiyle gerçekleştirilen Monte Carlo analizi sonucunda tüm geçiren süzgeç kazanç ve faz cevabı.....	116
Şekil 7.8: R_1 , R_2 ve R_3 değerlerinin %10 değişimiyle gerçekleştirilen Monte Carlo analizi sonucunda tüm geçiren süzgeç kazanç ve faz cevabı.....	116
Şekil 7.9: Hazırlanan evrensel süzgecin sinüzoidal giriş işareti için tüm geçiren cevabı.....	117
Şekil 7.10: C_1 , C_2 ve C_3 değerlerinin %10 değişimiyle gerçekleştirilen Monte Carlo analizi sonucunda tüm geçiren süzgeç sinüzoidal giriş ve çıkış cevabı.....	117
Şekil 7.11: R_1 , R_2 ve R_3 değerlerinin %10 değişimiyle gerçekleştirilen Monte Carlo analizi sonucunda tüm geçiren süzgeç sinüzoidal giriş ve çıkış cevabı.....	118
Şekil 7.12: Hazırlanan evrensel süzgecin bant geçiren cevabı için giriş akımına bağlı olarak toplam harmonik bozulmasının değişimi.....	118
Şekil 7.13: Giriş akımı elde etmek için giriş işareti üretme devresi.....	119
Şekil 7.14: Hazırlanan süzgecin bant geçiren çıkışı için sinüzoidal giriş ve çıkış cevabı.....	120
Şekil 7.15: Hazırlanan süzgecin bant geçiren çıkışı için ideal ve deneysel frekans cevabı.....	120
Şekil 8.1: Hazırlanan CCII tabanlı gerilim modlu çok fonksiyonlu süzgecin devre şeması.....	122
Şekil 8.2: Hazırlanan CCII tabanlı gerilim modlu süzgecin kazanç cevabı.....	125
Şekil 8.3: Hazırlanan süzgecin bant geçiren sinüzoidal işaret giriş ve çıkış cevabı.....	125
Şekil 8.4: Hazırlanan süzgecin R_1 , R_2 ve R_3 direnç değerlerinin %10 değişimi ile gerçekleştirilen Monte Carlo analizi.....	126
Şekil 8.5: Hazırlanan süzgecin giriş işaretinin tepe genliğinin değişimine göre toplam harmonik bozulması.....	126
Şekil 8.6: Hazırlanan CCII tabanlı gerilim modlu süzgecin frekansın değişimine göre giriş ve çıkış gürültüsü.....	127
Şekil B.1: Hazırlanan GVCR elemanının tümleşik devre şeması.....	157

TABLO LİSTESİ

Sayfa

Tablo 3.1: Süzgeç cevapları.	41
Tablo 4.1: MOS transistör boyutları.	46
Tablo 5.1: MOS transistör boyutları.	59
Tablo 5.2: MOS transistör boyutları.	67
Tablo 6.1: MOS transistör boyutları.	72
Tablo 6.2: MOS transistör boyutları.	84
Tablo 6.3: MOS transistör boyutları.	97
Tablo 7.1: MOS transistör boyutları.	113
Tablo 8.1: MOS transistör boyutları.	124
Tablo A.1: 0.13 μm IBM NMOS teknoloji parametreleri (MOSIS 2009).	153
Tablo A.2: 0.13 μm IBM PMOS teknoloji parametreleri (MOSIS 2009).	154
Tablo A.3: 0.25 μm TSMC NMOS teknoloji parametreleri (Yuce ve diğ. 2006 ^a). .	155
Tablo A.4: 0.25 μm TSMC PMOS teknoloji parametreleri (Yuce ve diğ. 2006 ^a). ...	156

SEMBOL LİSTESİ

A	: Amper
C	: Kapasitör
C_{OX}	: Birim alana düşen kapı oksit kapasitansı
dB	: Desibel
F	: Farad
f	: Frekans
g_m	: Geçiş iletkenliği
G_m	: Geçiş iletkenliği faktörü
Hz	: Hertz
I	: Akım
k_n	: NMOS transistörler için geçiş iletkenliği parametresi
k_p	: PMOS transistörler için geçiş iletkenliği parametresi
L	: Bobin, kanal uzunluğu
Q	: Kalite faktörü
R	: Direnç
r	: İç direnç
s	: Saniye
S	: Siemens
Sa	: Örnek
V	: Gerilim
V	: Volt
V_{BS}	: Gövdeden kaynağa doğru gerilim düşümü
V_{DD}	: Akaç için DC güç kaynağı gerilimi
V_{SS}	: Kaynak için DC güç kaynağı gerilimi
V_{GS}	: Kapıdan kaynağa doğru gerilim düşümü
V_{SG}	: Kaynaktan kapıya doğru gerilim düşümü
V_{TN}	: NMOS transistörler için eşik gerilimi
V_{TP}	: PMOS transistörler için eşik gerilimi
W	: Kanal genişliği
W	: Watt
Z	: Empedans, aktif eleman terminal adı
λ_n	: NMOS transistör için cihaz parametresi
λ_p	: PMOS transistör için cihaz parametresi
μ_n	: NMOS transistör için hareketlilik katsayısı
μ_p	: PMOS transistör için hareketlilik katsayısı
ϕ_{Fn}	: NMOS transistör için Fermi gerilimi
ϕ_{Fp}	: PMOS transistör için Fermi gerilimi
Ω	: Ohm
ω_c	: Açısal köşe frekansı
ω_o	: Açısal rezonans frekansı

KISALTMALAR

BJT	: Çift kutuplu jonksiyon transistör
CCCII	: İkinci nesil akım kontrollü akım taşıyıcı
CCCII+	: Pozitif tip ikinci nesil akım kontrollü akım taşıyıcı
C-CDBA	: Akım kontrollü akım fark alıcı tamponlanmış yükselteç
CCI	: Birinci nesil akım taşıyıcı
CCII	: İkinci nesil akım taşıyıcı
CCII-	: Negatif tip ikinci nesil akım taşıyıcı
CCII+	: Pozitif tip ikinci nesil akım taşıyıcı
CFOA	: Akım geribeslemeli işlemsel yükselteç
CMOS	: Tümleşik metal oksit yarıiletken
DBTA	: Diferansiyel tamponlanmış transkondüktans yükselteç
DCCII	: Diferansiyel ikinci nesil akım taşıyıcı
DDA	: Diferansiyel fark alıcı yükselteç
DDCC	: Diferansiyel farksal akım taşıyıcı
DO-CCII	: Çift çıkışlı ikinci nesil akım taşıyıcı
DO-ICCCII	: Çift çıkışlı eviren ikinci nesil akım taşıyıcı
DVCC	: Diferansiyel gerilim akım taşıyıcı
DXCCII	: Çift X uçlu ikinci nesil akım taşıyıcı
FDCCII	: Tam diferansiyel ikinci nesil akım taşıyıcı
FDDT	: Tam diferansiyel fark transkondüktörü
FFT	: Hızlı Fourier dönüşümü
FGMOS	: Yüzen kapılı metal oksit yarıiletken
FTFN	: Dört terminalli yüzen nullor
GVCR	: Topraklanmış gerilim kontrollü direnç
ICCCII	: Eviren ikinci nesil akım taşıyıcı
ICDBA	: Eviren fark alıcı tamponlanmış yükselteç
IVB	: Eviren gerilim tamponu
JFET	: Jonksiyon alan etkili transistör
MCCII	: Modifiye edilmiş ikinci nesil akım taşıyıcı
MCCII-	: Negatif tip modifiye edilmiş ikinci nesil akım taşıyıcı
MCCII+	: Pozitif tip modifiye edilmiş ikinci nesil akım taşıyıcı
MO-CCCCII	: Çok çıkışlı ikinci nesil akım kontrollü akım taşıyıcı
MOS	: Metal oksit yarıiletken
MOSFET	: Metal oksit yarıiletken alan etkili transistör
NMOS	: N tipi metal oksit yarıiletken
OP-AMP	: İşlemsel yükselteç
OTA	: İşlemsel transkondüktans yükselteç
PMOS	: P tipi metal oksit yarıiletken
THD	: Toplam harmonik bozulma
TO-CCII	: Üç çıkışlı ikinci nesil akım taşıyıcı
UVC	: Evrensel gerilim taşıyıcı
VD-DIBA	: Gerilim fark alıcı – diferansiyel giriş tamponlu yükselteç
VDIBA	: Gerilim fark alıcı eviren tamponlanmış yükselteç
VGCCII-	: Negatif tip değişken kazançlı ikinci nesil taşıyıcı

ÖNSÖZ

Bu tez kapsamında, elektronik olarak ayarlanabilir tümleşik devre teknolojisine uygun analog devreler tasarlanmıştır.

Öncelikle doktora ve tez çalışmam süresince desteğini esirgemeyen, yardımına gereksinim duyduğumda değerli zamanlarını ayırmaktan çekinmeyen tez danışmanım Sayın Doç. Dr. Erkan YÜCE'ye, tez çalışmasının ilerlemesi için pozitif katkıda bulunan, Tez İzleme Komitesi üyeleri Sayın Prof. Dr. Orhan KARABULUT ve Sayın Yrd. Doç. Dr. Remzi ARSLANALP'e minnettarım. Ayrıca tezin düzeltmelerinde katkı sağlayan tez jürisi üyeleri Sayın Prof. Dr. Shahram MINAEI ve Sayın Yrd. Doç. Dr. M. Serhat KESERLİOĞLU'na, ayrıca çalışmaya maddi ya da manevi olarak destek veren diğer katkı sahiplerine teşekkür ederim.

Doktora öğrenimim süresince desteğini esirgemeyen, Pamukkale Üniversitesi Elektrik-Elektronik Mühendisliği Bölüm Başkanı Sayın Prof. Dr. Serdar İPLİKÇİ ve bölüm hocalarıma teşekkürlerimi sunarım. Öğrenimim boyunca kendilerinden ders aldığım tüm değerli hocalarıma, bana kazandırdıkları değerli bilgiler ışığında tezime katkılarından dolayı minnettarım.

Doktora öğrenimim için çalışma hayatımda desteğini esirgemeyen başta Akdeniz Üniversitesi Enformatik Bölüm Başkanı Sayın Doç. Dr. Mehmet TOPAKCI olmak üzere, bölümümdeki tüm çalışma arkadaşlarıma teşekkür ederim.

Bugünlere gelmemde ve bu tezi hazırlamamda büyük emek ve katkılarını üzerimden hiç eksik etmeyen değerli anneme, babama ve kardeşime; ayrıca, manevi yönden destekleyen ve mutlu olmamı sağlayan değerli dost ve arkadaşlarıma katkılarından dolayı minnettarım.

Bu tez çalışması, 2012FBE033 destek numarası ile Pamukkale Üniversitesi Bilimsel Araştırma Projeleri (BAP) Yönetim Birimi tarafından kısmen desteklenmiştir. Katkılarından dolayı, Pamukkale Üniversitesi'nin değerli yöneticilerine teşekkürü borç bilirim.

Fırat YÜCEL

1. GİRİŞ

Doğadaki tüm işaretlerin analog yapıda olması nedeniyle, birçok elektronik sistemde analog devrelere gereksinim duyulmaktadır. Tümüyle metal oksit yarıiletken (CMOS, complementary metal oxide semiconductor) teknolojisine dayalı olarak geliştirilen elektronik olarak ayarlanabilir devreler, analog devre tasarımında önemli bir yer tutar. Bu tezin ilerleyen bölümlerinde sözü edilen elektronik olarak ayarlanabilir dirençler, transkondüktörler, kare alıcı devreler, birinci ve ikinci dereceden süzgeçler; analog devrelere örnek olarak verilebilir. Analog devreler; işaret işleme uygulamalarında, kazanç kontrol devrelerinde, endüstriyel yükselteçlerde, sürekli zamanlı süzgeç ve osilatör uygulamalarında sıklıkla kullanılmaktadır.

Bu tezde, analog devreler konusunda önceden yapılan bilimsel çalışmaların taramasından elde edilen bulgular ışığında; lineerlik, güç tüketimi, kazanç bandı, kullanılan devre elemanı sayısı, toplam harmonik bozulma (THD), gürültü ve devrenin kapladığı toplam alan gibi parametrelerin iyileştirilmesine yönelik olarak MOS transistör tabanlı elektronik direnç, ayarlanabilir transkondüktör, kare alıcı devre, birinci ve ikinci dereceden süzgeç tasarımları önerilmiştir.

1.1 Elektronik Olarak Ayarlanabilir Dirençler

Elektronik olarak ayarlanabilir lineer dirençler, analog devrelerde çok amaçlı olarak kullanılan devre elemanlarıdır. Elektronik olarak ayarlanabilir dirençler iki kategoride incelenebilir:

- (a) Topraklanmış (grounded) dirençler
- (b) Yüzen (floating) dirençler

Bilimsel literatürde, bir ucu topraklanmış ve gerilim ile kontrol edilebilen dirençler, “topraklanmış gerilim kontrollü dirençler” (grounded voltage controlled resistor, GVCR) olarak da adlandırılmaktadır. GVCR’ler, yüzen dirençler ile

karşılaştırıldıklarında, daha az sayıda transistör kullanılarak gerçekleştirilebilir (Yüce ve diğ. 2011).

Elektronik olarak ayarlanabilir dirençler, metal oksit yarıiletken (metal oxide semiconductor, MOS) transistörler ile gerçekleştirilebilmekte, bir kontrol gerilimi ya da kontrol akımıyla ayarlanabilmektedir. Geçmişteki çalışmalarda, yaklaşık olarak lineer bir akım-gerilim karakteristiğine sahip MOS tabanlı dirençler, genellikle MOS transistörün lineer (triode, ohmik) bölgede çalıştırılması suretiyle oluşturulmaktaydı. Genellikle bu yaklaşım, dar bir dinamik aralık ve tümüyle lineer olmayan direnç karakteristiği ile sınırlanmaktaydı (Wang 1990^{b,c}, Wilson ve Chan 1989). Bu nedenle, MOS tabanlı dirençlerde elde edilen gerilim/akım karakteristiğinin lineer olması için birçok yöntem ve yaklaşım önerilmiştir. Sonradan yapılan çalışmalarda, transistörler, doyum (saturation) bölgesinde çalıştırılarak, çıkışta daha lineer bir karakteristik elde edilmiştir.

GVCR'ler konusunda yapılan ilk çalışmalar, 1980'li yıllardan itibaren yayımlanmaya başlamıştır. Han ve Park tarafından 1984 yılında yapılan gerilim kontrollü direnç için iki adet MOS transistör kullanılmıştır. Transistörler lineer bölgede çalıştırılarak, çıkışta direnç karakteristiği elde edilmiştir (Han ve Park 1984). Park ve Schaumann (1986) tarafından yapılan diğer bir çalışmada, doyum bölgesinde çalışan dört adet MOS transistör kullanılarak, ayarlanabilir ve lineer bir transkondüktör tasarlanmıştır. Fakat bu devre, ancak ek elemanlar kullanılarak oluşturulabilen birisi pozitif, diğeri negatif olmak üzere iki adet kontrol gerilimine gereksinim duymaktadır. Başka bir çalışmada ise, dokuz adet MOS transistör içeren bir GVCR önerilmektedir (Wilson ve Chan 1989). Fakat önerilen bu konfigürasyon, bir kutuplama gerilimine gereksinim duymaktadır (Maloberti 2001).

MOS transistörlerden lineer bir karakteristik elde edilmesi için kullanılan özel teknikler bulunmaktadır. Kare farkı (square-difference) adı verilen teknik kullanılarak gerçekleştirilen bir GVCR çalışmasında, doyum bölgesinde çalışan iki adet MOS transistör ile bir tasarım gerçekleştirilmiştir (Wang 1990^a). Kare farkı tekniğindeki amaç, MOS transistörün doyum bölgesindeki akım denkleminde yer alan kareli terimleri yok etmek ve devreye lineer bir giriş-çıkış karakteristiği sağlamaktır. Wang (1990^b) tarafından, lineer bölgede çalışan üç adet MOS transistör kullanılarak yapılan ikinci çalışmada önerilen devre akım kontrollüdür. Devrenin

kontrol gerilimi ile ayarlanabilmesi için en az bir MOS transistöre daha gereksinim bulunmaktadır. Wang (1990^c) tarafından yapılan başka bir GVCR ise beş adet MOS transistör içermektedir. Sözü edilen çalışmada, lineer bölgede çalışan bir MOS transistör, doyum bölgesinde çalışan diyot bağlantılı bir MOS transistöre paralel bağlanarak, direnç karakteristiği lineer hale getirilmiştir. Yakın zamanda yapılan başka bir GVCR'de tümü doyum bölgesinde çalışan sekiz adet MOS transistör kullanılmıştır (Yuce ve diğ. 2011). Ancak, Wang (1990^a), Park ve Schaumann (1986), Yuce ve diğ. (2011) tarafından yapılan çalışmalarda, zıt işaretli iki simetrik kontrol kaynağına gereksinim duyulmaktadır. Bunun gerçekleştirilebilmesi için ek devre elemanları kullanılmalıdır.

Said ve Fabre (1996) ile Arslanalp ve diğ. (2013) tarafından önerilen ayarlanabilir akım modlu topraklanmış ve yüzen dirençler, çift kutuplu jonksiyon transistörler (bipolar junction transistor, BJT) kullanılarak gerçekleştirilmiştir. Dolayısıyla, BJT'nin eleman özellikleri dikkate alındığında, bu devreler ısıya duyarlıdır. Maundy ve diğ. (2008) tarafından yalnızca bir adet jonksiyon alan etkili transistör (junction field effect transistor, JFET) ve bir adet akım geri beslemeli işlemsel yükselteç (current feedback operational amplifier, CFOA) kullanılarak gerçekleştirilen başka bir GVCR önerilmiştir. Pandey ve Gupta (2010^{a,b,c}) tarafından önerilen gerilim kontrollü direnç çalışmalarında ise, FGMOS (floating gate MOS) transistörler kullanılmıştır.

Senani ve Bhaskar (2008), yayınladıkları bir yorumda, bazı gerilim kontrollü dirençlerden bahsetmiştir (Senani 1994 1995^{a,b} 1998, Senani ve Bhaskar 1991, Senani ve Bhaskar 1992^{a,b}, Senani ve Bhaskar 1994). Bu çalışmaların ortak özelliği, tümünün aynı prensiple lineer olmayan terimlerin yok edilmesi yöntemiyle geliştirilmiş ve CFOA tabanlı olmalarıdır. Bilimsel literatürde yer alan bir kısım yüzen direnç çalışmaları, çok sayıda MOS transistör içermektedir (Monolescu ve Popa 2010, Fard ve Pooyan 2012, Wee ve Sarpeshkar 2008, Tekin ve diğ. 2013, Kumngern ve diğ. 2011). Bunlardan farklı olarak, aktif yapısal bloklar ile tasarlanan bazı ayarlanabilir direnç devreleri de bulunmaktadır (Metin ve diğ. 2013).

1.2 Transkondüktörler

Transkondüktörler, sürekli zaman süzgeçleri gibi birçok analog devrede kullanılan temel yapısal bloklardır. Özel bir aralıktaki giriş gerilimini, geçiş iletkenliği faktörüne (G_m) bağlı olarak çıkış akımına dönüştürür.

Doğrusal bir transkondüktör oluşturmak için farklı yöntemler kullanılmıştır. Bazı doğrusal transkondüktörler, lineer bölgede çalışan transistörlerle hazırlanmıştır (Fayed ve Ismail 2005, Gatti ve diğ. 1994). Bunlardan ilki (Fayed ve Ismail 2005), iki adet işlemsel kuvvetlendirici kullanmaktadır. Gatti ve diğ. (1994) tarafından hazırlanan konfigürasyon ise iki kutuplama akım kaynağı içermektedir. Bu nedenle ekstra devreye gereksinim duymaktadır.

Transkondüktörleri doğrusallaştırmak için diğer bir yaklaşım ise kaynak dejenerasyonu (source degeneration) tekniğidir (Worapished ve Naphaphan 2003, Kuo ve Leuciuc 2001, Martinez-Heredia ve Torralba 2011). Bu teknik kullanılarak tasarlanan bir devrede (Worapished ve Naphaphan 2003), kaynak dejenerasyonu için direnç ile diferansiyel çiftler (differential pairs) arasında bir direnç kullanılırken, Kuo ve Leuciuc (2001) tarafından tasarlanan devrede dejenerasyon direnci, MOS transistörler kullanılarak gerçekleştirilmiştir. Kaynak dejenerasyonu tekniği kullanılarak gerçekleştirilen bir diğer transkondüktör devresi (Martinez-Heredia ve Torralba 2011), süper transistör devreleri ile hazırlanmıştır. Ancak, bu devre çok sayıda transistör içermektedir. Ayrıca, sözü edilen devreler, bir ya da daha fazla kutuplama kaynağı içermektedir. Mahmoud ve Soliman (1999) tarafından geliştirilen, bir tam diferansiyel fark transkondüktörü (FDDT) konfigürasyonu, doyum bölgesinde birbiriyle eşlenmiş MOS transistörler ile tasarlanmıştır, ancak hazırlanan konfigürasyon çok sayıda transistör içermektedir.

Yerel geribeslemeli bir transkondüktör konfigürasyonu (Ohbuchi ve Matsumoto 2013), doğrusal olmayan etkileri azaltmak için alt eşik (sub-threshold) bölgesinde çalışan MOS transistörler ile tasarlanmıştır. Bu nedenle, çıkış akımı elde edebilmek için ekstra devreye gereksinim duymaktadır. Yerel geri beslemeli diğer bir MOS transkondüktör (Tongpoon ve diğ. 2012), hareketlilik bozulma problemini ortadan kaldırmak için tasarlanmıştır. Fakat bu konfigürasyon, hem iki yüzen kontrol akım kaynağına hem de bir kutuplama gerilimine sahiptir.

Üç kutuplama gerilimli başka bir transkondüktör devresi (Vlassis ve Raikos 2012), ana-uydu tekniği kullanılarak tasarlanmıştır. Ancak, bu ayarlanabilir transkondüktör uygulaması, dört adet işlemsel yükseltece gereksinim duymaktadır. Torralba ve diğ. (2002) tarafından sunulan ve lineerliği iyileştirmek için süper kaskat transistörler içeren bir transkondüktör de ekstra devre elemanları gerektirmektedir.

Uzun kuyruk (long-tail) diferansiyel çiftlerle gerçekleştirilen başka bir lineer edilmiş transkondüktör (Ismail ve Soliman 2000), çok sayıda transistör ve çıkış akım eşitliğinde doğrusal olmayan terimler içermektedir.

Bir transkondüktör oluşturmak için, Han (2006) tarafından tasarlanan devrede olduğu gibi, triode bölgesinde çalışan MOS transistörler kullanılabilir. Ancak, bu devre, çok sayıda transistör içermektedir.

Kutuplama sapma tekniği, Yamaguchi ve diğ. (2005) tarafından tasarlanan konfigürasyonda gerçekleştirilmiştir, fakat bu devrenin dezavantajı dört adet kutuplama gerilim kaynağına gereksinim duymasındadır.

Bazı transkondüktörler, AB-sınıfı (class-AB) tekniğiyle tasarlanmıştır (Demonsthenous ve Panovic 2005, El-Adawy ve Soliman 2000). Ancak, Demonsthenous ve Panovic (2005) tarafından tasarlanan transkondüktör, çıkış akımını elde edebilmek için ek devre elemanlarına gereksinim duyar ve aynı zamanda çok sayıda transistör kullanılarak yapılmıştır. Ayrıca, El-Adawy ve Soliman tarafından tasarlanan devreyi gerçekleştirmek için iki kutuplama gerilimi ve iki kontrol kaynağı gereklidir.

1.3 Kare Alıcı Devreler

Analog kare alıcı devreler; görüntü işlemcileri, modülatörler, işaret üreteçleri, frekans bölücüler ve çarpıcılar (multiplier) gibi birçok işaret işleme uygulamasında yaygın bir şekilde kullanılmaktadır. Bu devreler, işaretin analog olarak karesini alır. Kare alıcı devreler, genellikle dört yöntemle tasarlanmaktadır:

(a) Gerilim girişli ve akım çıkışlı kare alıcı devreler (Liu ve Hwang 1995, Filanovsky ve Baltes 1992, Giustolisi ve diğ. 1997, Li 2000, Minaei ve Yuce 2010^a, Yuce ve Yucel 2014),

(b) Akım girişli ve akım çıkışlı kare alıcı devreler (Liu ve diğ. 1994, Naderi ve diğ. 2009^{a,b}, Wiegerink 1991),

(c) Gerilim girişli ve gerilim çıkışlı kare alıcı devreler (Boonchu ve Surakamponorn 2002, Liu ve Wei 1996, Hidayat ve diğ. 2008),

(d) Karma modlu kare alıcı devreler (Sakul 2008).

Bilimsel literatürde yer alan bazı kare alıcı devreler, çok sayıda devre elemanı kullanılarak gerçekleştirilmiştir (Liu ve Hwang 1995, Boonchu ve Surakamponorn 2002, Liu ve Wei 1996). Filanovsky ve Baltes (1992) tarafından önerilen gerilim giriş ve akım çıkışlı bir kare alıcı devre, işlemsel yükselteç ve iç içe transistörler içermektedir.

Bazı devreler ise toplayıcı ve çıkarıcı gibi bloklara gereksinim duymaktadır (Giustolisi ve diğ. 1997). Li (2000) ile Hidayat ve diğ. (2008) tarafından tasarlanan kare alıcı devreler, iki simetrik giriş kaynağına gereksinim duymaktadır. Ayrıca, Minaei ve Yuce (2010^a) tarafından önerilen gerilim girişli ve akım çıkışlı bir kare alıcı devre, dört adet transistör içermektedir. Buna karşın, devrenin simetrik kutuplama gerilimi girişi, yüksek empedansa sahip değildir. Sakul (2008) tarafından önerilen kare alıcı devre ise, yalnızca 500 mV altındaki sinüzoidal giriş tepe gerilimleri için yeterince düşük bir THD değerine sahiptir.

Kare alıcı devreler ile gerçekleştirilen akım modlu çarpıcı uygulamalarına örnek olarak, Naderi ve diğ. (2009), Wiegerink (1991) ile Tanno ve diğ. (2000) tarafından yapılan çalışmalar verilebilir. Ayrıca, bir gerilim modlu analog çarpıcı uygulaması, Boonchu ve Surakamponorn (2005) tarafından yapılmıştır.

1.4 Birinci Dereceden Tüm Geçiren Süzgeçler

Tüm geçiren süzgeçler (all-pass filters), diğer adıyla faz kaydırıcılar (phase shifters), tüm frekanslarda elektriksel işaretin genliği sabit tutulurken, yalnızca

fazının deęiřtirilmesi için kullanılır. Tüm geiren süzgeler; faz lineerlięi, faz kayması, iřaret geciktirme iřlemleri gibi birok iřaret iřleme uygulamalarında yaygın bir řekilde kullanılmaktadır. Tüm geiren süzgeler, alıřma durumuna gre gerilim modlu, akım modlu, geiř diren (transresistance) modlu ve geiř iletken (transadmittance) modlu olarak sınıflandırılabilir.

İlk zamanlarda yapılan bazı alıřmalarda (Ponsonby 1966, Dutta Roy 1969, Schoonaert ve Kretzcshmar 1970), tüm geiren süzgeler, iřlemsel yükselte (operational amplifier, OP-AMP) kullanılarak tasarlanmaktaydı, fakat bu devrelerin iřlemsel yükselteten kaynaklanan deęiřim hızı sınırlamaları (slew rate limitations) gibi bazı sınırlılıkları bulunmaktaydı. Sonradan yapılan alıřmalarda, birok süzge, osilatr, endktans simlatr ve dięer elemanların tasarımında, ilk olarak Sedra ve Smith (1970) tarafından kullanılan ikinci nesil akım tařıyıcı (second-generation current conveyor, CCII) gibi aktif yapısal bloklar yer aldı. Bazı devre topolojilerinde CCII elemanının kullanımı, yüksek performans ve fonksiyonel deęiřkenlik saęlamaktadır (Ferri ve Guerrini 2003, Yucel ve Yuce 2014^a).

Salawu (1980) tarafından sunulan bir gerilim modlu birinci dereceden tüm geiren süzge devresi, yalnızca bir adet pozitif tip CCII (CCII+) ve drt pasif elemandan oluřmaktadır. Buna karřın, sz edilen konfigrasyonda diren ve kapasitr elemanları CCII+ elemanının X terminaline seri olarak baęlanmıřtır. Bu durum, devrenin yüksek frekans performansını olumsuz ynde etkiler (Yuce ve Minaei 2008). Ayrıca, devrede kullanılan ç direncin tüm yzen elemanlardır.

Liu ve Tsao (1991) tarafından nerilen negatif tip CCII (CCII-) kullanılarak tasarlanan gerilim modlu bir tüm geiren süzge devresi, yüksek giriř empedansına sahiptir. Buna karřın devrede yzen bir kapasitr yer almaktadır. Entegre devre tasarımında, yzen kapasitrlerin gerekleřtirilmesi bazı glklere sahiptir. Toker ve dię. (2001) tarafından tek CCII+ elemanı ve ç adet pasif eleman ile gerekleřtirilen gerilim modlu tüm geiren süzge, topraklanmış bir kapasitr iermemektedir. Pal ve Rana (2004) tarafından tasarlanan CCII- tabanlı süzge devresinde, topraklanmış kapasitr kullanılmıřtır. Buna karřın, topraklanmış kapasitr, CCII- elemanının X ucuna seri olarak baęlanmıřtır.

Pandey ve Paul (2004) tarafından tasarlanan gerilim modlu bir tüm geçiren süzgeç, bir adet CCII- elemanı ve üç adet pasif eleman içerir. Ancak, sözü edilen devrede de bir yüzen kapasitör yer alır. Başka bir tüm geçiren süzgeç konfigürasyonu (Hornig 2005), tümüyle topraklanmış pasif elemanlar içermektedir. Buna karşın bu devrede iki CCII+ elemanı ve iki kapasitör bulunmaktadır. Dolayısıyla, devrede kullanılan aktif eleman sayısı, son zamanlarda yayınlanan tüm geçiren süzgeç konfigürasyonlarına nazaran fazladır.

Değişken gerilim kazançlı CCII kullanılarak gerçekleştirilen gerilim modlu bir tüm geçiren süzgeç devresi (Yuce ve diğ. 2008^a), yüksek giriş empedansına sahiptir ve topraklanmış kapasitör kullanılarak gerçekleştirilmiştir. Ancak, kullanılan CCII elemanı standart bir eleman değildir. Aynı zamanda, devrede, üç adet kritik eleman eşlenme durumu söz konusudur.

Metin ve Pal (2009) tarafından tasarlanan çift çıkışlı CCII (dual-output CCII, DO-CCII) tabanlı birinci dereceden tüm geçiren süzgeç konfigürasyonu, bir adet topraklanmış kapasitör içermektedir. Yüksek giriş empedanslı ve topraklanmış kapasitör kullanılarak gerçekleştirilen diğer bir gerilim modlu tüm geçiren süzgeç (Metin ve Cicekoglu 2009), değiştirilmiş CCII- (modified CCII-, MCCII-) elemanı içermektedir. Bu devrede kullanılan MCCII- elemanının akım kazancı -0.5'tir. Sözü edilen devrelerdeki dirençlerin yerine, Arslanalp ve diğ. (2013) tarafından tasarlanan ayarlanabilir yüzen dirençler bağlanarak, süzgeçlerin harici olarak kontrol edilebilmesi mümkündür.

Yuce (2010) tarafından sunulan birinci dereceden gerilim modlu bir tüm geçiren süzgeç, üç adet MOS transistör, iki direnç ve bir topraklanmış kapasitör elemanından oluşmaktadır. Fakat sözü edilen devrede iki adet kutuplama gerilimi kullanılmaktadır. Ayrıca devrenin rezonans frekansı, iki eşlenmiş direncin eşzamanlı olarak değiştirilmesiyle ayarlanabilmektedir. Tezin ilerleyen bölümlerinde ayrıntılı olarak anlatılan, Yucel ve Yuce (2014^a) tarafından tasarlanan iki adet gerilim modlu tüm geçiren süzgeç, sırasıyla DO-CCII ve MCCII- elemanları içermektedir (Bkz. Başlık 6.3).

Bazı gerilim modlu birinci dereceden tüm geçiren süzgeçler, CMOS transistörler kullanılarak gerçekleştirilmiştir (Maundy ve Aronhime 2002, Metin ve

Cicekoglu 2008, Ölmez ve Çam 2010, Toker ve Özoğuz 2003, Yuce 2010, Yuce ve Minaei 2010, Minaei ve Yuce 2012^b, Herencsar ve diğ. 2013^a). Ozoguz ve diğ. (2006) tarafından yapılan akım modlu bir tüm geçiren süzgeç, birkaç adet MOS transistör kullanılarak gerçekleştirilmiştir. Diğer taraftan, bilimsel literatürde onlarca MOS transistörün kullanıldığı tasarımlar da mevcuttur (Metin ve Pal 2009, Metin ve Cicekoglu 2009, Horng 2010, Ibrahim ve diğ. 2011, Yuce ve diğ. 2008^a, Pandey ve Paul 2004). Daha az sayıda transistör içeren tasarımlar, Yuce (2010) ile Yuce ve Minaei (2010) tarafından yapılan çalışmalarda verilmiştir.

Gerilim modlu süzgeçlerin ana özelliği, kaskat bağlanabilir olmasıdır. Kaskat bağlanabilir olabilmesi için, süzgecin yüksek giriş empedansına sahip olması gereklidir. Bu özelliğe sahip tüm geçiren süzgeçlere örnek olarak, Ölmez ve Çam (2010), Minaei ve Yuce (2010^a), Metin ve Pal (2009), Metin ve Cicekoglu (2009), Horng (2010), Ibrahim ve diğ. (2011) ile Yuce ve diğ. (2008^a) tarafından yapılan çalışmalar verilebilir.

Elektronik olarak ayarlanabilir olması da süzgeçlerin önemli özelliklerinden birisidir. Bu özelliğe sahip MOS transistör ile gerçekleştirilen süzgeçler, Metin ve Cicekoglu (2008), Ölmez ve Çam (2010), Toker ve Ozoguz (2003), Minaei ve Yuce (2012^b) ile Herencsar ve diğ. (2013^a) tarafından yapılan çalışmalarda verilmiştir.

Bilimsel literatürde geçen bazı çalışmalarda, kutuplama gerilimi gereksinimi vardır. Devrede, kutuplama gerilimleri elde etmek için ekstra eleman gereksinimi doğabilir. Bu çalışmalara örnek olarak Maundy ve Aronhime (2002), Metin ve Cicekoglu (2008), Yuce (2010) ile Ozoguz ve diğ. (2006) tarafından tasarlanan süzgeçler verilebilir.

Süzgeçlerde kullanılan elemanların sayısı, önemli bir tasarım özelliğidir. Minaei ve Yuce (2012^b) tarafından önerilen süzgeç yüksek giriş empedansı özelliğine sahiptir, ancak beş adet NMOS transistör ile tasarlanmıştır. Herencsar ve diğ. (2013^a) ile Metin ve Pal (2009) tarafından gerçekleştirilen süzgeçler yalnızca bir adet pasif eleman içerir. Bununla birlikte, bu devrelerde sırasıyla altı ve yedi adet MOS transistör kullanılmıştır. Ayrıca, Herencsar ve diğ. (2013^a) tarafından hazırlanan süzgeç, yüksek giriş empedansı özelliğine sahip değildir.

Tüm geçiren süzgeçlerin kazancı ise tasarımı etkileyen başka bir özelliktir. Bazı tüm geçiren süzgeçlerin kazancı, birim kazançtan düşüktür (Metin ve Cicekoglu 2008, Yuce ve Minaei 2010).

Bilimsel literatürde aktif yapısal bloklar kullanılarak gerçekleştirilen tüm geçiren süzgeç devreleri de mevcuttur. Birolek ve Biolkova (2010), gerilim fark alıcı-diferansiyel giriş tamponlu yükselteç (voltage differencing-differential input buffered amplifier, VD-DIBA) kullanarak bir tüm geçiren süzgeç devresi tasarlamıştır. Bunun dışında diferansiyel tamponlanmış ve transkondüktans yükselteç (differential buffered and transconductance amplifier, DBTA) (Herencsar ve diğ. 2012^a), gerilim fark alıcı eviren tamponlanmış yükselteç (voltage differencing inverting buffered amplifier, VDIBA) (Herencsar ve diğ. 2013^a), evrensel gerilim taşıyıcı (universal voltage conveyor, UVC) (Herencsar ve diğ. 2011, Metin ve diğ. 2012^a), diferansiyel gerilim akım taşıyıcı (differential voltage current conveyor, DVCC) (Hornig 2009, Ibrahim ve diğ. 2012, Maheshwari ve diğ. 2013, Minaei ve Yuce 2010^b), diferansiyel farksal akım taşıyıcı (differential difference current conveyor, DDCC) (Ibrahim ve diğ. 2003, Ibrahim ve diğ. 2011, Maheshwari ve diğ. 2011, Metin ve diğ. 2011^b), tam diferansiyel ikinci nesil akım taşıyıcı (fully differential second-generation current conveyor, FDCCII) (Maheshwari ve diğ. 2006, Metin ve diğ. 2011^a), diferansiyel ikinci nesil akım taşıyıcı (differential second-generation current conveyor, DCCII) (Metin ve diğ. 2012^b), eviren akım fark alıcı tamponlanmış yükselteç (inverting current differencing buffered amplifier, ICDBA) (Metin ve diğ. 2011^c), akım kontrollü akım fark alıcı tamponlanmış yükselteç (current controlled current differencing buffered amplifier, C-CDBA) (Metin ve Pal 2010), çift X uçlu ikinci nesil akım taşıyıcı (dual- X second-generation akım taşıyıcı, DXCCII) (Minaei ve Yuce 2010^c), diferansiyel fark alıcı yükselteç (differential difference amplifier, DDA) (Toker ve Özoğuz 2004), negatif tip değişken kazançlı ikinci nesil akım taşıyıcı (minus-type variable gain second-generation current conveyor, VGCCII-) (Yuce ve diğ. 2008^a), eviren gerilim tamponu (inverting voltage buffer, IVB) (Herencsar ve diğ. 2012^b), eviren ikinci nesil akım taşıyıcı (inverting second-generation current conveyor, ICCII) (Ibrahim ve diğ. 2004), işlemsel transkondüktans yükselteç (operational transconductance amplifier, OTA) (Kumngern ve diğ. 2008, Keskin ve diğ. 2008), CCII- (Khan ve Maheshwari 2000), birinci nesil akım taşıyıcı (first-generation current conveyor, CCI) (Metin ve

Cicekoglu 2006), MCCII- (Metin ve Cicekoglu 2009), DO-CCII (Metin ve Pal 2009), pozitif tip ikinci nesil akım kontrollü akım taşıyıcı (plus-type second-generation current-controlled conveyor, CCCII+) (Minaei ve Cicekoglu 2006), dört terminalli yüzen nullor (four-terminal floating nullor, FTFN) (Sayginer ve Kuntman 2006) gibi aktif yapısal bloklar kullanılarak tasarlanan tüm geçiren süzgeç devreleri bulunmaktadır.

Bazı tüm geçiren süzgeçler, yüksek giriş empedansına sahip değildir (Herencsar ve diğ. 2013^a, Ibrahim ve diğ. 2003, Ibrahim ve diğ. 2004, Maheshwari ve diğ. 2006, Metin ve diğ. 2011^c, Metin ve Pal 2010, Metin ve Cicekoglu 2006, Sayginer ve Kuntman 2006, Toker ve Özoğuz 2004, Herencsar ve diğ. 2012^b, Khan ve Maheshwari 2000, Yucel ve Yuce 2014^b).

Bir kısım tüm geçiren süzgeçler ise topraklanmış bir kapasitör içermemektedir (Herencsar ve diğ. 2011, Herencsar ve diğ. 2012^{a,b}, Herencsar ve diğ. 2013^a, Ibrahim ve diğ. 2003, Ibrahim ve diğ. 2004, Metin ve diğ. 2011^c, Metin ve Pal 2010, Metin ve Cicekoglu 2006, Minaei ve Cicekoglu 2006, Metin ve diğ. 2012^a, Khan ve Maheshwari 2000).

Birkaç tüm geçiren süzgeç çalışmasında, kapasitörler, aktif yapısal bloğun X ucuna bağlanmıştır. Bu durum, devrenin yüksek frekans performansını olumsuz etkilemektedir (Metin ve diğ. 2011^{a,b}, Minaei ve Cicekoglu 2006, Minaei ve Yuce 2010^c). Bazı süzgeçler ise kanonik sayıdan daha fazla (derecesinden fazla) kapasitör kullanılarak tasarlanmıştır (Minaei ve Cicekoglu 2006, Minaei ve Yuce 2010^c, Sayginer ve Kuntman 2006).

Bazı tüm geçiren süzgeçlerde ise birden fazla aktif yapısal blok kullanılmıştır (Ibrahim ve diğ. 2011, Ibrahim ve diğ. 2012, Keskin ve diğ. 2008, Kumngern ve diğ. 2008, Maheshwari ve diğ. 2011, Maheshwari ve diğ. 2013, Metin ve diğ. 2011^b, Metin ve Pal 2010, Minaei ve Cicekoglu 2006, Minaei ve Yuce 2010^b).

Minaei ve Yuce (2012^b) tarafından yalnızca bir adet çift- X uçlu CCII (dual- X CCII, DX-CCII) kullanılarak, gerilim modlu bir tüm geçiren süzgeç tasarlanmıştır. Ancak, DX-CCII elemanının içyapısı komplekstir. Bir DDCC elemanı ile birinci dereceden gerilim modlu bir tüm geçiren süzgeç tasarımı, Ibrahim ve diğ. (2011) tarafından yapılan çalışmada önerilmiştir. Buna karşın DDCC elemanı da kompleks

bir içyapıya sahiptir. İki DVCC kullanılarak gerçekleştirilen yüksek giriş ve düşük çıkış empedansına sahip tüm geçiren süzgeç konfigürasyonları, Minaei ve Yuce (2010) ile Ibrahim ve diğ. (2012) tarafından yapılan çalışmalarda görülmektedir. Maheshwari (2008) ile Metin ve diğ. (2011^b) tarafından gerçekleştirilen süzgeçler, sırasıyla DVCC ve DDCC elemanlarıyla tasarlanmıştır. Metin ve diğ. (2011^c) tarafından yapılan başka bir süzgeç, bir adet ICDBA elemanı ile tasarlanmıştır. Ancak, ICDBA elemanının içyapısı komplekstir. Son zamanlarda yapılan bir çift çıkışlı tüm geçiren süzgeç (Herencsar ve diğ. 2013^a) ise bir adet VDIBA elemanı ve bir yüzen kapasitör kullanılarak gerçekleştirilmiştir.

1.5 İkinci Dereceden Akım Modlu Süzgeçler

Analog süzgeçler, elektriksel işaret üzerindeki gürültü gibi istenmeyen bileşenleri kaldırmak için kullanılmaktadır (Dorf ve Svoboda 2011). Analog süzgeçler, tümleşik devrelerde farklı türlerde gerçekleştirilebilir:

- (i) Akım modlu süzgeçler,
- (ii) Gerilim modlu süzgeçler,
- (iii) Geçiş iletkenliği modlu süzgeçler,
- (iv) Geçiş empedans modlu süzgeçler,
- (v) Mikrodalga süzgeçler.

Analog süzgeçlerin tasarımında, fonksiyonelliği ve yaygın kullanımı nedeniyle, genellikle CCII elemanı tercih edilmektedir (Wilson 1990). Bu başlık altında yalnızca CCII tabanlı akım modlu devreler üzerinde durulacaktır. Akım modlu aktif cihazlar, gerilim modlu aktif cihazlara nazaran daha büyük bant genişliği, yüksek lineerlik, daha geniş dinamik aralık, daha az sayıda aktif eleman gereksinimi gibi bazı potansiyel avantajlara sahiptir (Ferri ve Guerrini 2003).

Bilimsel literatürde çok sayıda aktif yapısal blok tabanlı akım modlu evrensel süzgeç bulunmaktadır. Özoguz ve Acar (1997), Yuce ve diğ. (2006^b) ile Özoguz ve diğ. (1999^b) tarafından tasarlanan konfigürasyonlar, tümleşik devre teknolojisinde dezavantajları bulunan iki adet yüzen kapasitör içermektedir. CCCII tabanlı bir

evrensel süzgeç (Tangsrirat ve Surakamptorn 2006) çok giriş ve çok çıkışlıdır, buna karşın devrenin süzgeç cevapları eşzamanlı olarak alınamamaktadır.

Akım modlu süzgeç konfigürasyonları, kaskat bağlanabilir olması için düşük giriş ve yüksek çıkış empedansına sahip olmalıdır, fakat bu özellik bazı akım modlu süzgeçlerde bulunmamaktadır (Özoguz ve Acar 1997, Yuce ve diğ. 2006^b, Minaei ve Türköz 2001, Tangsrirat ve Surakamptorn 2006, Minaei ve Türköz 2004, Yuce ve Minaei 2008, Yuce ve diğ. 2008^a, Minaei ve Yuce 2006, Alpaslan ve Yuce 2012, Elwan ve Soliman 1996, Güneş ve diğ. 1999, Tangsrirat ve Surakamptorn 2007, Chen 2013, Horng ve diğ. 2007, Soliman 2008, Chen 2014, Sharma ve Senani 2003, Sharma ve Senani 2004^{a,b}).

Bazı süzgeçler ise elektronik olarak ayarlanabilir değildir (Alpaslan ve Yuce 2012, Soliman 1995, Elwan ve Soliman 1996, Wang and Lee 2001, Chen 2013, Soliman 2008, Alzaher ve Ismail 1999, Chen 2014, Chen 2012, Sharma ve Senani 2003, Sharma ve Senani 2004^{a,b}).

Süzgeçlerde, açısal rezonans frekansı (ω_o) ve kalite faktörünün (Q) birbirinden bağımsız olarak ayarlanabilmesi ortogonal kontrol edilebilir olduğunu gösterir. Özoguz ve Acar (1997), Yuce ve diğ. (2006^b), Özoğuz ve diğ. (1999^b), Yuce ve diğ. (2008^a), Alpaslan ve Yuce (2012), Güneş ve diğ. (1999), Wang ve Lee (2001), Tangsrirat ve Surakamptorn (2007), Horng ve diğ. (2007), Pandey ve diğ. (2005), Yuce (2009^a) ve Wang ve diğ. (2011) tarafından yapılan süzgeçler, ortogonal olarak kontrol edilebilir değildir.

Soliman (1995) ile Elwan ve Soliman (1996) tarafından CCII elemanları ile yapılan akım modlu süzgeç konfigürasyonları, yalnızca alçak geçiren ve bant geçiren süzgeç cevaplarını sağlamaktadır. Bazı CCII tabanlı süzgeç devreleri (Tangsrirat ve Surakamptorn 2006, Güneş ve diğ. 1999, Wang ve Lee 2001, Tangsrirat ve Surakamptorn 2007, Chen 2013), çok girişli olabilmek için ekstra devre elemanlarına gereksinim duymaktadır. Bir kısım süzgeçlerde kullanılan aktif yapısal bloklar, ticari olarak elde edilebilir elemanlar değildir (Yuce ve diğ. 2008^a, Soliman 1995, Elwan ve Soliman 1996, Güneş ve diğ. 1999, Wang 2001, Tangsrirat ve Surakamptorn 2007, Chen 2013, Horng ve diğ. 2007, Pandey ve diğ. 2005, Pandey

ve diğ. 2009, Yuce 2009^a, Soliman 2008, Alzaher ve Ismail 1999, Chen 2014, Chen 2012, Wang ve diğ. 2008, Wang ve diğ. 2011).

Bunlardan başka; ICCII (Soliman 2008), CDBA (Özoğuz ve diğ. 1999^a), birim kazanç hücreleri (Alzaher ve Ismail 1999), çift çıkışlı ICCII (DO-ICCII) (Chen 2014), DVCC (Chen 2012), DO-CCII (Keskin ve Cam 2007), çok çıkışlı ikinci nesil akım kontrollü taşıyıcı (MO-CCCII) (Yuce 2009^a, Wang ve diğ. 2008, Wang ve diğ. 2011) ve CFOA (Sharma ve Senani 2003, Sharma ve Senani 2004^{a,b}) tabanlı akım modlu süzgeçler de bilimsel literatürde yer almaktadır.

1.6 İkinci Dereceden Gerilim Modlu Süzgeçler

Bilimsel literatürde, CCII tabanlı gerilim modlu birçok süzgeç örneği yer almaktadır. Chang ve Lee (1995) ile Özoğuz ve Güneş (1996) tarafından sunulan süzgeçler, üç adet giriş ve bir çıkışa sahip olup, üç adet CCII+ elemanı ile gerçekleştirilmiştir. Buna karşın, her iki devre de üç adet giriş geriliminin uygun seçimi ile yalnızca tek çıkış verebilmektedir. Chang ve Lee (1995) tarafından sunulan bir süzgeç, tüm geçiren cevabının elde edilebilmesi için birim kazançlı eviren yükselteç gibi ek elemanlara gereksinim duymaktadır. Özoğuz ve Güneş (1996) tarafından gerçekleştirilen gerilim modlu süzgeç ise, direnç eşlenmesine gereksinim duymaktadır.

Horng ve diğ. (1997^a) tarafından hazırlanan bir süzgeç, dört adet CCII+ elemanı ve dokuz adet pasif eleman içermektedir. Higashimura ve Fukui (1996) tarafından gerçekleştirilen bir süzgeç ise, yedi adet CCII+ elemanı ve on adet pasif elemana sahiptir. Bu nedenle, sözü edilen süzgeç, tümleşik devre üretiminde geniş bir alana gereksinim duymaktadır.

Higashimura (1991) tarafından dört CCII+ elemanı kullanılarak gerçekleştirilen süzgeçler, yalnızca bir çeşit süzgeç cevabı sağlamaktadır. Ayrıca, bazı süzgeçler (Horng 2001, Horng 2004), üç adet giriş geriliminin uygun seçimiyle, yalnızca tek çıkış cevabı verebilmektedir.

Yirmi dört MOS transistörlü negatif tip CCII elemanı ile tasarlanan gerilim modlu bir süzgeç (Chen 2010), bazı kritik pasif eleman eşlenmelerine gereksinim

duymaktadır. Soliman (1998) tarafından tasarlanan bir süzgeç, yalnızca alçak geçiren cevabı verebilmektedir. Horng (1996) ile Horng ve diğ. (1997^b) tarafından tasarlanan süzgeçler, tüm geçiren süzgeç cevabı verebilmek için ek aktif elemana gereksinim duymaktadır. Chang ve Tu (1999) ile Liu ve Lee (1997) tarafından gerçekleştirilen süzgeçler, bazı kritik pasif eleman eşlenmelerine ihtiyaç duymaktadır.

Tek giriş ve üç çıkışa sahip gerilim modlu çok fonksiyonlu bir süzgeç (Chang ve Lee 1999), iki adet DO-CCII elemanı ile gerçekleştirilmiştir. Buna karşın, elektronik olarak ayarlanabilirlik özelliği bulunmamaktadır. Bunlar dışında, bazı CCII tabanlı süzgeçler de, bilimsel literatürde yer almaktadır (Horng ve diğ. 2005, Horng ve diğ. 2006).

Son zamanlarda gerçekleştirilen bazı gerilim modlu süzgeçler, Kaçar ve Yeşil (2012) ile Horng ve diğ. (2012^a) tarafından yapılan çalışmalarda önerilmiştir. Kaçar ve Yeşil (2012) tarafından gerçekleştirilen süzgeç, iki adet FDCCII elemanı, iki adet topraklanmış kapasitör ve iki NMOS transistör kullanılarak tasarlanmıştır. Fakat FDCCII elemanın içyapısı komplekstir. Horng ve diğ. (2012^a) tarafından hazırlanan yüksek giriş empedansına sahip ikinci dereceden süzgeç, üç adet DVCC elemanı ile gerçekleştirilmiştir. Horng ve diğ. (2012^b) tarafından hazırlanan üç giriş ve yedi adet çıkış terminaline sahip diğer bir süzgeç devresi, üç adet DDCC elemanı ile gerçekleştirilmiştir. Başka bir DVCC tabanlı karma modlu süzgeç konfigürasyonu, Minaei ve Ibrahim (2009) tarafından verilmiştir. DVCC+ ve DDCC+ tabanlı evrensel süzgeç devreleri, sırasıyla, Horng ve diğ. (2006^b) ile Chen (2007) tarafından sunulmuştur. Horng ve diğ. (2006^b) tarafından tasarlanan süzgeç üç adet aktif eleman içermektedir. Chen (2007) tarafından hazırlanan süzgeç ise yüksek giriş empedansı özelliğine sahip değildir. Ayrıca, Yuce (2009^b) ile Chiu ve Horng (2012) tarafından tasarlanan, sırasıyla, DVCC ve DDCC elemanı içeren çok fonksiyonlu süzgeçler, tek bir aktif eleman ile tasarlanmış olmasına karşın, her ikisi de yüksek giriş empedansı özelliğine sahip değildir ve eşzamanlı süzgeç cevabı verebilmek için kritik pasif eleman eşlenmesine gereksinim duymaktadır.

Bu tezin amacı, CMOS teknolojisi kullanılarak, çıkış karakteristiğinde geniş bir frekans bandı içerisinde işlevsel olan, bilimsel literatürde gerçekleştirilen çalışmalara göre daha az sayıda aktif ve pasif elemana sahip, olabildiğince düşük güç tüketimli ve elektronik olarak ayarlanabilir devrelerin incelenmesi ve

tasarlanmasıdır. Devrelerin tasarımında, tümleşik devre teknolojisine uygun olarak MOS transistörler ve bunlarla gerçekleştirilmiş elektronik devre blokları kullanılmıştır.

Tasarlanan devrelerin ideal elemanlarla analizini gerçekleştirmek üzere, Cadence Design Systems, Inc. firmasına ait Orcad PSpice 9.2 (Simulation Program for Integrated Circuits Emphasis) programı kullanılarak, 0.13 μm ve 0.25 μm CMOS teknoloji parametreleri ile zaman ve frekans ortamında simülasyonlar yapılmıştır. Simülasyonlarda kullanılan CMOS teknoloji parametreleri, EK A'da verilmiştir. Bu simülasyonlar grafik haline getirilerek, sonuçlar analiz edilmiştir.

Tasarlanan bazı devreler için deneysel düzenek oluşturulmuştur. Tasarlanan devre, bir elektronik deney bordu üzerinde, ticari olarak mevcut bulunan tümleşik devreler, MOS transistör, direnç ve kondansatör gibi ayrıık veya tümleşik devre elemanları kullanılarak oluşturulmuş, osiloskop ve multimetre cihazlarıyla çıkış cevabı izlenmiştir. Daha sonra, elde edilen deneysel bulgular analiz edilerek, devrenin performansı konusunda tespitler yapılmıştır.

Deneysel testlerde, Tektronix marka TDS3032B model numaralı iki kanallı dijital osilaskop kullanılmıştır. Kullanılan osilaskop cihazı, 300 MHz frekansına kadar 2.5 GSa/s örnekleme hızına sahiptir. İşaret üretici olarak, Rigol marka DG2041A model numaralı fonksiyon dalga şekli üretici kullanılmıştır. Kullanılan fonksiyon dalga şekli üretici, 40 MHz frekansına kadar 100 MSa/s örnekleme hızına sahiptir. Deneysel testlerde kullanılan güç kaynağı, AA Tech marka ATP-3306D model numaralı, regülasyonlu DC ayarlanabilir güç kaynağıdır. Sözü edilen cihaz, simetrik 0-30 V aralığında 6 A değerine kadar çıkış verebilmektedir. Deneysel testler, yaklaşık 25 °C oda sıcaklığında gerçekleştirilmiştir.

Bu tez, dokuz bölümden oluşmaktadır. İlk bölümde, tezin konusu ile ilgili bilimsel literatürde mevcut bulunan çalışmalar özetlenmiştir. İkinci bölümde temel kavramlar hakkında kuramsal bilgiler verilmiş, üçüncü bölümde ayarlanabilir dirençlerden bahsedilmiştir. Dördüncü bölümde ayarlanabilir transkondüktör devreleri, beşinci bölümde kare alıcı devreler, altıncı bölümde birinci dereceden süzgeçler, yedinci bölümde ikinci dereceden akım modlu bir süzgeç ve sekizinci bölümde ikinci dereceden gerilim modlu bir süzgeç tasarımı anlatılmıştır.

Dokuzuncu bölümde ise tez çalışmasından elde edilen sonuçlar özetlenmiştir. Kaynakça, ekler ve tez yazarının özgeçmişinin yer aldığı bölümler ile tez sonlandırılmıştır.

2. TEMEL KAVRAMLAR

Bu bölümde, tezde yer alan çalışmalarda kullanılan temel kavramlar ve aktif yapısal bloklar hakkında bilgiler verilmektedir.

2.1 Topraklanmış Gerilim Kontrollü Direnç (GVCR)

Bir aktif elemanın akım/gerilim ilişkisi aşağıdaki eşitlik ile ifade edilebilir:

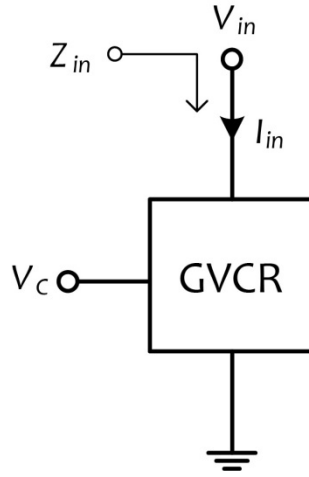
$$I_{in} = f(V_{in}) = \sum_{j=0}^{\infty} (a_j V_{in}^j) \quad (2.1)$$

Burada, I_{in} giriş akımı, V_{in} ise aktif aygıtın giriş (veya çıkış) gerilimleridir. Eşitlik (2.1)'de verilen ilişkiye göre, topraklanmış gerilim kontrollü direnç (GVCR), ideal olarak, $I_{in} = a_1 V_{in}$ ile tanımlanır. Burada, a_1 terimi, kontrol geriliminin bir fonksiyonudur.

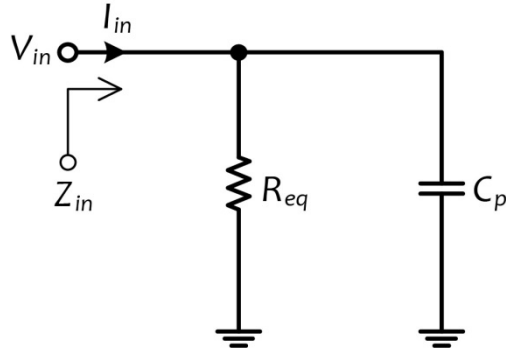
Tek kontrol gerilimine sahip bir GVCR elemanının elektriksel sembolü ve eşdeğer devresi (Yuce 2011), sırasıyla, Şekil 2.1 ve Şekil 2.2'de verilmektedir. Şekil 2.2'de görülen R_{eq} terimi eşdeğer direnci, C_p terimi ise parazitik kapasitörü ifade etmektedir. Şekil 2.2'deki empedans,

$$Z_{in}(\omega) = \frac{R_{eq}}{1 + j\omega R_{eq} C_p} = \frac{R_{eq}}{1 + \frac{j\omega}{\omega_C}} \quad (2.2)$$

şeklinde ifade edilebilir. Burada, $\omega_C = 1/(R_{eq}C_p)$ açısal köşe frekansdır. GVCR elemanının çalışabilmesi için, çalışma frekansı $f \ll \omega_C / (2\pi)$ seçilmelidir.



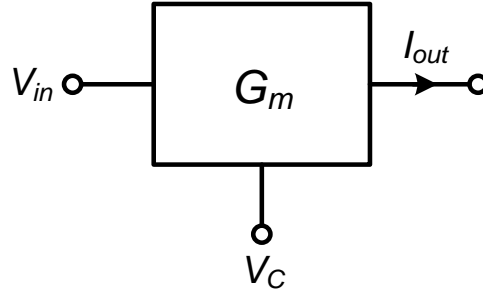
Şekil 2.1: Tek kontrol gerilimine (V_C) sahip GVCR'nin elektriksel sembolü.



Şekil 2.2: GVCR eşdeğer devresi (Yuce 2011).

2.2 Transkondüktör

Üç uçlu ayarlanabilir transkondüktör elemanı, gerilim girişine (V_{in}), akım çıkışına (I_{out}) ve kontrol gerilimine (V_C) sahiptir. Ayarlanabilir bir transkondüktör elemanının elektriksel sembolü, Şekil 2.3'te gösterilmiştir.



Şekil 2.3: Ayarlanabilir bir transkondüktör elemanın elektriksel sembolü

Geçiş iletkenliği faktörü G_m , aşağıdaki eşitlikle tanımlanır:

$$G_m = \frac{I_{out}}{V_{in}} \quad (2.3)$$

2.3 İkinci Nesil Akım Taşıyıcı (CCII)

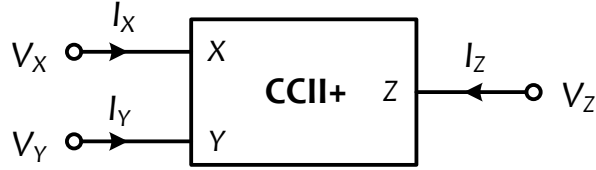
Akım taşıyıcı; topraklanmış, üç terminalli bir aktif devre elemanıdır. Akım taşıyıcı elemanın terminalleri; X, Y ve Z olarak adlandırılır. İdeal olarak $V_X = V_Y$ ve $I_Z = \pm I_X$ olarak tanımlanan CCII elemanı, ideal olmayan kazançlar dikkate alındığında aşağıda verilen matris ile ifade edilebilir (Sedra ve Smith 1970):

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ \beta & 0 & 0 \\ 0 & \pm\alpha & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (2.4)$$

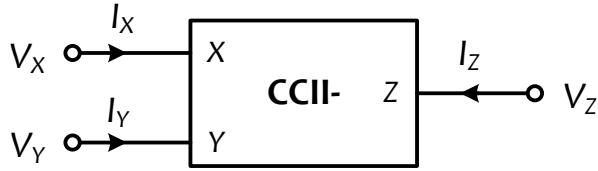
Eşitlik (2.4)'te, α ve β sırasıyla frekansa bağımlı ideal olarak 1'e eşit olan, ancak ideal olmayan akım ve gerilim kazançlarıdır. Yeterince düşük frekanslarda, α ve β değerleri, $\alpha = 1 - \varepsilon_\alpha$ ($|\varepsilon_\alpha| \ll 1$) ve $\beta = 1 - \varepsilon_\beta$ ($|\varepsilon_\beta| \ll 1$) ile tanımlanır, burada ε_α ve ε_β sırasıyla akım ve gerilim izleme hatalarını ifade eder ve ideal olarak 0'a eşittir.

2.3.1 Pozitif ve Negatif Tip İkinci Nesil Akım Taşıyıcılar

CCII elemanı, α kazanç teriminin işaretine göre, pozitif tip CCII (CCII+) ve negatif tip CCII (CCII-) olmak üzere iki türe ayrılır. CCII+ elemanı için $I_Z = \alpha I_X$, CCII- elemanı için ise $I_Z = -\alpha I_X$ 'tir. CCII+ ve CCII- elemanlarının elektriksel sembolü Şekil 2.4'te verilmiştir.



(a)



(b)

Şekil 2.4: (a) CCII+ elektriksel sembolü, (b) CCII- elektriksel sembolü.

Tez kapsamında süzgeç simülasyonlarında kullanılan CCII+ bloğunun içyapısı (Arslan ve Morgul 2008) Şekil 2.5'te verilmektedir. Verilen içyapı devresi, on altı adet MOS transistör ($M_1 - M_{16}$) içermektedir. Simülasyonlarda kullanılan CCII- bloğunun içyapısı (Bruun 1995) ise Şekil 2.6'da verilmektedir. Bu yapı, sadece beş adet MOS transistör ($M_1 - M_5$) ve bir kutuplama gerilimi (V_B) içermektedir. Burada, M_1 ve M_2 transistörleri, akım aynası oluşturmak üzere kullanılmıştır. Şekil 2.6'daki tüm transistörlerin doyum bölgesinde çalıştığı varsayılmaktadır. Gövde etkisini ortadan kaldırmak amacıyla, tüm transistörlerin gövdeleri kaynak uçlarına bağlanmıştır.

2.3.2 Diğer İkinci Nesil Akım Taşıyıcı Türleri

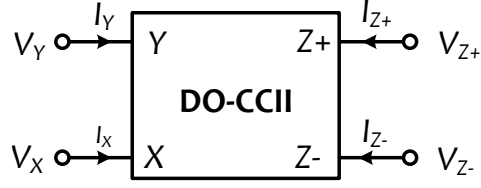
DO-CCII ve üç çıkışlı CCII (TO-CCII) elemanları, sırasıyla dört ve beş adet terminale sahip aktif elemanlardır. DO-CCII elemanı TO-CCII elemanının Z_2+ terminali topraklanarak kolayca oluşturulabilir. DO-CCII ve TO-CCII elemanlarının elektriksel sembolü, sırasıyla, Şekil 2.7 (a) ve (b)'de verilmiştir. TO-CCII elemanı, aşağıda verilen matris denkleminle tanımlanabilir:

$$\begin{bmatrix} I_Y \\ V_X \\ I_{Z_1+} \\ I_{Z_2+} \\ I_{Z_-} \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ \beta & 0 \\ 0 & \alpha \\ 0 & \eta \\ 0 & -\gamma \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \end{bmatrix} \quad (2.5)$$

Yukarıda verilen matris eşitlikte, β frekansa bağımlı ideal olmayan gerilim kazancı, α , γ ve η frekansa bağımlı ideal olmayan akım kazançlarıdır ve bunlar ideal olarak bire eşittir. Yeterince düşük frekanslarda, α , β , γ ve η değerleri, $\alpha = 1 - \varepsilon_\alpha$ ($|\varepsilon_\alpha| \ll 1$ iken), $\beta = 1 - \varepsilon_\beta$ ($|\varepsilon_\beta| \ll 1$ iken), $\gamma = 1 - \varepsilon_\gamma$ ($|\varepsilon_\gamma| \ll 1$ iken) ve $\eta = 1 - \varepsilon_\eta$ ($|\varepsilon_\eta| \ll 1$ iken) olup, burada ε_α , ε_β , ε_γ ve ε_η ilgili kazançla ilişkin izleme hatasını gösterir ve ideal olarak sıfırdır.

Simülasyonlarda kullanılan DO-CCII ve TO-CCII bloklarının içyapıları, sırasıyla, Şekil 2.8 ve Şekil 2.9'da verilmiştir (Fabre ve diğ. 1996, Surakampontrorn ve diğ. 1991). DO-CCII bloğunun içyapısında, on dokuz adet MOS transistör ve bir kutuplama akımı (I_o) bulunmaktadır. TO-CCII bloğunun içyapısı ise, yalnızca on sekiz adet MOS transistör (M_1-M_{18}) ve kutuplama gerilimi (V_C) içermektedir. Ayrıca, Z_2+ terminali topraklanarak, Şekil 2.9'daki devreden DO-CCII elemanı oluşturulabilir.

Akım kazancı (γ) 0 ile 1 arasında olan MCCII, üç terminalli bir elemandır. Pozitif tip MCCII (MCCII+) elemanı, DO-CCII elemanının Z_- terminali topraklanarak, negatif tip MCCII (MCCII-) elemanı ise, DO-CCII elemanının Z_+ terminali topraklanarak oluşturulabilir. MCCII- elemanının Z terminalindeki akım kazancı, Şekil 2.8'de verilen DO-CCII içyapısında yer alan MOS transistörlerin boyutlarının değiştirilmesiyle ayarlanabilir (Fabre ve diğ. 1996).

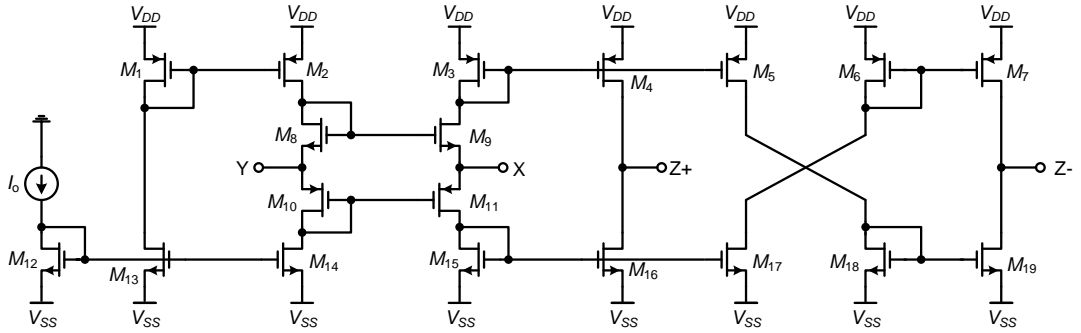


(a)

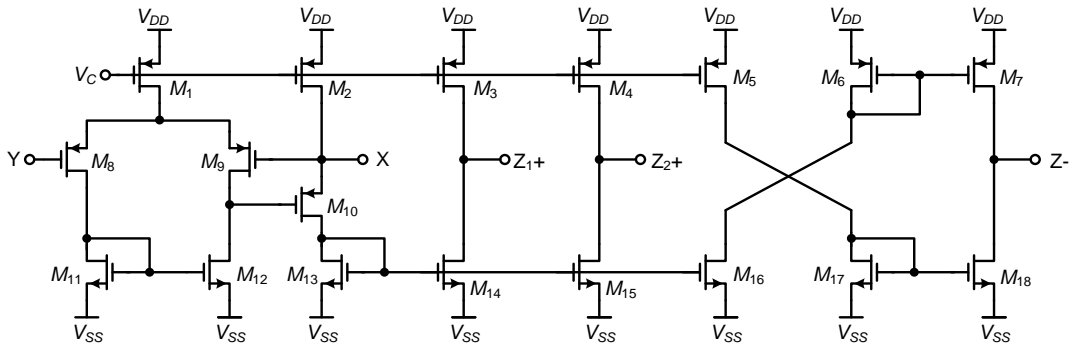


(b)

Şekil 2.7: (a) DO-CCII elektriksel sembolü, (b) TO-CCII elektriksel sembolü.



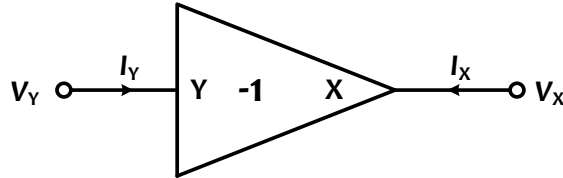
Şekil 2.8: DO-CCII bloğunun içyapısı (Fabre ve diğ. 1996).



Şekil 2.9: TO-CCII bloğunun içyapısı (Surakampontorn ve diğ. 1991).

2.4 Birim Kazançlı Eviren Yükselteç

Elektriksel sembolü Şekil 2.10'da görülen birim kazançlı eviren yükselteç, $I_Y = 0$ ve $V_X = -\beta V_Y$ şeklinde tanımlanır. Burada, β terimi ideal olarak bire eşittir.

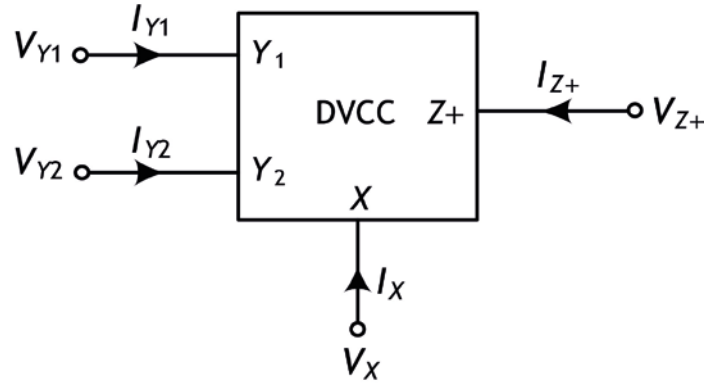


Şekil 2.10: Birim kazançlı eviren yükseltecin elektriksel sembolü.

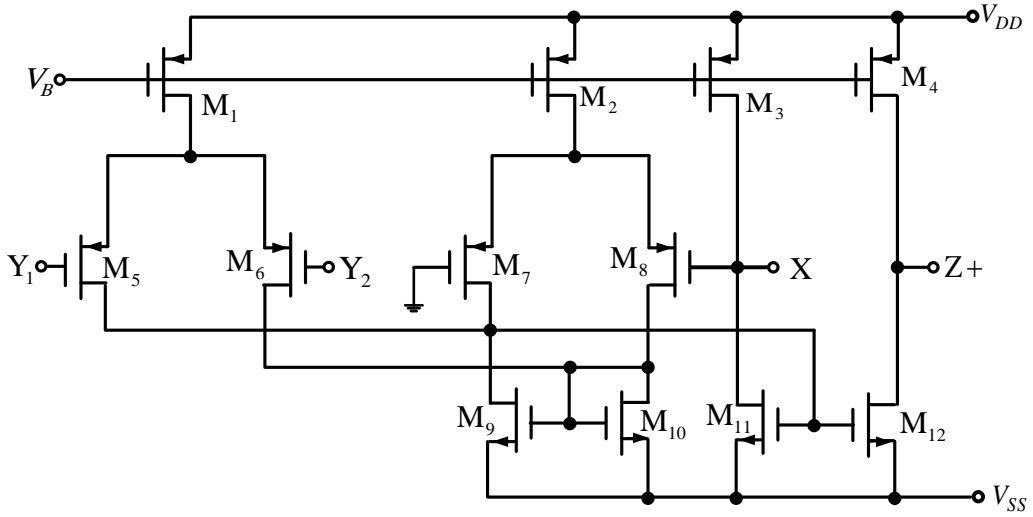
2.5 Diferansiyel Gerilim Akım Taşıyıcı (DVCC)

Şekil 2.11'de elektriksel sembolü görülen DVCC elemanı, dört terminalli bir aktif devre elemanıdır. Z terminalinin akım yönüne göre, pozitif tip DVCC (DVCC+) ve negatif tip DVCC (DVCC-) olmak üzere iki tür DVCC elemanı vardır. DVCC bloğunun içyapısı (Chiu ve diğ. 1996) Şekil 2.12'de verilmiştir. DVCC+ elemanı, ideal olarak, aşağıda verilen matris eşitlik ile ifade edilebilir:

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Z+} \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Z+} \end{bmatrix} \quad (2.6)$$



Şekil 2.11: DVCC elemanın elektriksel sembolü.



Şekil 2.12: DVCC bloğunun iç yapısı (Chiu ve diğ. 1996).

3. AYARLANABİLİR DİRENÇ TASARIMI

Bu bölümde, tez kapsamında hazırlanan topraklanmış gerilim kontrollü direnç devresi tanıtılmaktadır.

3.1 Lineer Topraklanmış Gerilim Kontrollü Direnç

3.1.1 Giriş

Tez kapsamında, lineer yeni bir GVCR devresi hazırlanmıştır (Yuce ve diğ. 2014). Tasarlanan GVCR elemanı, lineer bölgede çalışan bir NMOS transistör ve doyum bölgesinde bulunan iki MOS transistörden oluşmaktadır. Hazırlanan GVCR, direnç değerlerinin lineer olarak ayarlanabilmesi için bir kontrol gerilimine sahiptir. Hazırlanan devrede herhangi bir kutuplama akımı veya gerilimine gereksinim duyulmamaktadır. Ancak, bir adet aktif eleman eşlenmesi bulunmaktadır. İki adet DVCC ve bir adet topraklanmış pasif eleman içeren ayarlanabilir ikinci dereceden çok fonksiyonlu süzgeç devresi, hazırlanan GVCR elemanı için uygulama örneği olarak verilmiştir. Kuramı desteklemek üzere, SPICE programında, tümleşik devre çizimi sonrasında (post-layout) hazırlanan birkaç simülasyon eklenmiştir.

3.1.2 Yöntem

Hazırlanan MOS transistör tabanlı geniş bantlı lineer GVCR devresi, Şekil 3.1'de görülmektedir. Devre üç adet MOS transistör içermektedir. M_1 adlı PMOS transistör, yalnızca DC akım sağlar. M_2 ve M_3 NMOS transistörleri, sırasıyla, lineer ve doyum bölgesinde çalışmaktadır.

Şekil 3.1'de verilen devrede, I_1 , I_2 ve I_3 akış akımları, sırasıyla, aşağıdaki gibi bulunabilir:

$$I_1 = \frac{k_{pl}}{2} (V_{DD} - |V_{TP}|)^2 \quad (3.1a)$$

$$I_2 = k_{n2} \left((V_C - V_{TN}) V_{in} - \frac{V_{in}^2}{2} \right) \quad (3.1b)$$

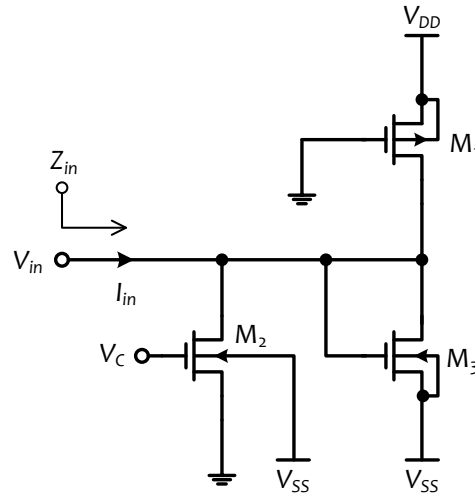
$$I_3 = \frac{k_{n3}}{2} (V_{in} - V_{TN} - V_{SS})^2 \quad (3.1c)$$

Burada, $k_{p1} = \mu_{p1} C_{ox} (W/L)$ ve $k_{ni} = \mu_{ni} C_{ox} (W/L)$ ($i = 2, 3$) ifadeleri, sırasıyla, PMOS ve NMOS transistörlerin geçiş iletkenliği parametresini; μ_{p1} ve μ_{ni} terimleri, PMOS ve NMOS transistörlerin taşıyıcı hareketliliğini; C_{ox} terimi birim alan başına düşen kapı oksit kapasitansını; W terimi kanal genişliğini; L terimi ise kanal uzunluğunu ifade etmektedir. V_{DD} ve V_{SS} terimleri, sırasıyla, pozitif ve negatif besleme gerilimlerini ifade etmektedir.

Hazırlanan GVCR devresinin çalışabilmesi için, $k_{n2} = k_{n3} = k_n$ olarak seçilmelidir. Ayrıca, hazırlanan devre, büyük sinyal analizi yöntemi ile analiz edilmiştir.

Devre analiz edildiğinde, I_{in} akımı, aşağıdaki gibi elde edilir:

$$\begin{aligned} I_{in} &= -I_1 + I_2 + I_3 \\ &= -\frac{k_{p1}}{2} (V_{DD} - |V_{TP}|)^2 + k_n \left((V_C - V_{TN}) V_{in} - \frac{V_{in}^2}{2} \right) + \frac{k_n}{2} (V_{in} - V_{TN} - V_{SS})^2 \\ &= -\frac{k_{p1}}{2} (V_{DD} - |V_{TP}|)^2 + \frac{k_n}{2} (-V_{TN} - V_{SS})^2 + k_n (V_C - 2V_{TN} - V_{SS}) V_{in} \end{aligned} \quad (3.2)$$



Şekil 3.1: Tasarlanan GVCR.

Eşitlik (3.2)'de bulunan terimler, aşağıdaki gibi eşit seçilmiştir:

$$\frac{k_{p1}}{2}(V_{DD} - |V_{TP}|)^2 = \frac{k_n}{2}(-V_{TN} - V_{SS})^2 \quad (3.3)$$

Eşitlik (3.3), eşitlik (3.2)'de yerine yazılarak sadeleştirilirse,

$$I_{in} = k_n(V_C - 2V_{TN} - V_{SS})V_{in} \quad (3.4)$$

Eşitlik (3.4)'ten, eşdeğer pozitif direnç aşağıdaki gibi bulunur:

$$R_{eq} = \frac{V_{in}}{I_{in}} = \frac{1}{k_n(V_C - V_{SS} - 2V_{TN})} \quad (3.5)$$

Burada, V_C , kontrol gerilimidir. Ayrıca hazırlanan GVCR'nin istenen şekilde çalışabilmesi için aşağıdaki koşullar sağlanmalıdır:

$$\left\{ \begin{array}{l} V_{in} - V_{TN} - V_{SS} \geq 0 \\ V_{in} \leq |V_{TP}| \\ V_C - V_{TN} \geq V_{in} \end{array} \right. \quad \forall V_{in} \quad (3.6)$$

Eşitsizlik (3.6)'dan da görüldüğü üzere, V_C gerilimi, pozitif olarak seçilmelidir. Ayrıca, ikinci MOS transistörün gövde etkisi nedeniyle lineerlik bozulmaktadır. M_1 ve M_3 transistörleri ise Early gerilimi dolayısıyla, lineerliği etkilemektedir. Bu durum, bir sonraki başlıkta tartışılmaktadır.

3.1.3 Lineerlik Analizi

Dirençler ve kapasitörler lineer eleman iken, transistörler ve diğer yarıiletken aygıtlar lineer değildir. Buna karşın, lineer olmayan aygıtlar, eğer işaret yeterince düşük bir değerde sınırlandırılırsa, lineer olarak çalışabilir. Dolayısıyla, eğer $I_{in} = a_1 V_{in}$ ise, aygıt lineerdir veya

$$|a_1 V_{in}| \gg |a_j V_{in}^j| \quad j = 0 \text{ ve } j = 2, 3, 4, \dots \quad (3.7)$$

ise aygıt lineer olarak kabul edilebilir. Eğer ikinci dereceden etkiler (gövde ve kanal uzunluk modülasyonu gibi) ihmal edilirse, hazırlanan GVCR devresi de önceden yayınlanan bilimsel çalışmalardaki gibi lineer olur (Wang 1990^{a,b,c}, Wilson ve Chan 1989, Park ve Schaumann 1986, Yuçe ve diğ. 2011). Diğer taraftan, gövde etkisi hesaba katıldığında, NMOS ve PMOS transistörlerin eşik gerilimleri, sırasıyla, aşağıdaki şekilde ifade edilir:

$$V_{TN} = V_{TN0} + \gamma_n \left(\sqrt{|2\phi_{Fn}| + V_{SBn}} - \sqrt{|2\phi_{Fn}|} \right) \quad (3.8a)$$

$$V_{TP} = V_{TP0} - \gamma_p \left(\sqrt{|2\phi_{Fp}| + V_{BSp}} - \sqrt{|2\phi_{Fp}|} \right) \quad (3.8b)$$

Burada ϕ_{Fn} ve ϕ_{Fp} , sırasıyla, NMOS ve PMOS transistörler için Fermi gerilimleridir. V_{SBn} ve V_{BSp} ise, sırasıyla, NMOS ve PMOS transistörler için kaynaktan gövdeye ve gövdeden kaynağa gerilimlerdir. Hazırlanan GVCR devresinin M_1 ve M_3 transistörlerine ait eşik gerilimleri (tüm gövdeler, ilgili güç kaynağı gerilimlerine bağlı iken),

$$V_{TP1} = V_{TP0} \quad (3.9a)$$

$$V_{TN3} = V_{TN0} \quad (3.9b)$$

Ancak, eğer $V_{in} > 0$ ise, V_{TN2} aşağıdaki gibi hesaplanabilir:

$$V_{TN2} = V_{TN0} + \gamma_n \left(\sqrt{|2\phi_{Fn}| - V_{SS}} - \sqrt{|2\phi_{Fn}|} \right) \quad (3.10)$$

Benzer şekilde, eğer $V_{in} < 0$ ise, V_{TN2} aşağıdaki şekilde bulunur:

$$V_{TN2} = V_{TN0} + \gamma_n \left(\sqrt{|2\phi_{Fn}| + V_{in} - V_{SS}} - \sqrt{|2\phi_{Fn}|} \right) \quad (3.11)$$

Eşitlik (3.11)'den, lineerliğin sağlanabilmesi için V_{in} mümkün olduğunca küçük seçilmelidir. Diğer bir ifadeyle,

$$|V_{in}| \ll |2\phi_{Fn}| - V_{SS} \quad (3.12)$$

Kanal genişlik modülasyonu dikkate alındığında, I_1 , I_2 ve I_3 akaç akımları, aşağıda verilen şekilde elde edilir:

$$I_1 = \frac{k_{p1}}{2} (V_{DD} - |V_{TP}|)^2 (1 + \lambda_p (V_{DD} - V_{in})) \quad (3.13a)$$

$$I_2 = k_{n2} \left((V_C - V_{TN}) V_{in} - \frac{V_{in}^2}{2} \right) \quad (3.13b)$$

$$I_3 = \frac{k_{n3}}{2} (V_{in} - V_{TN} - V_{SS})^2 (1 + \lambda_n (V_{in} - V_{SS})) \quad (3.13c)$$

Sonuç itibariyle, $I_{in} = -I_1 + I_2 + I_3$ akımı,

$$I_{in} = a_0 + a_1 V_{in} + a_2 V_{in}^2 + a_3 V_{in}^3 \quad (3.14)$$

olarak bulunur. Burada,

$$\begin{aligned} a_0 &= \frac{k_{n3}}{2} (-V_{TN} - V_{SS})^2 (1 - \lambda_n V_{SS}) - \frac{k_{p1}}{2} (V_{DD} - |V_{TP}|)^2 (1 + \lambda_p V_{DD}) \\ a_1 &= -\frac{k_{p1}}{2} (V_{DD} - |V_{TP}|)^2 \lambda_p + k_{n2} (V_C - V_{TN}) + \frac{k_{n3}}{2} (-V_{TN} - V_{SS})^2 \lambda_n + k_{n3} (-V_{TN} - V_{SS}) (1 - \lambda_n V_{SS}) \\ a_2 &= -\frac{k_{n2}}{2} + \frac{k_{n3}}{2} (1 - \lambda_n V_{SS}) + k_{n3} (-V_{TN} - V_{SS}) \lambda_n \\ a_3 &= \frac{k_{n3}}{2} \lambda_n \end{aligned} \quad (3.15)$$

şeklinde hesaplanır. a_0 , a_2 ve a_3 terimlerinin yeterince küçük olması istenir. Bu nedenle, eşitlik (3.15)'teki λ_n ve λ_p değerlerinin, MOS transistör kanal genişlik boyutları büyük seçilerek yeterince küçük olması sağlanır (Razavi 2008). Ayrıca, M_1 transistörünün boyutları ayarlanarak, a_0 yaklaşık olarak sıfır yapılabilir.

3.1.4 Simülasyon Sonuçları

Hazırlanan GVCR devresinin tümleşik devre şeması çizimi sonrasında elde edilen simülasyonları; EK A'da verilen düzey-7, 0.25 μm , TSMC (Taiwan Semiconductor Manufacturing Company) CMOS teknoloji parametreleri (bkz. Tablo

A.3 ve Tablo A.4) kullanılarak, SPICE programında gerçekleştirilmiştir. Simetrik DC güç kaynağı gerilimleri, ± 1.25 V olarak uygulanmıştır.

Şekil 3.1’de verilen devredeki MOS transistörlerin boyutları, $(W / L)_1 = 37.5 \mu\text{m} / 2.5 \mu\text{m}$ ve $(W / L)_2 = (W / L)_3 = 6.5 \mu\text{m} / 2.5 \mu\text{m}$ olarak alınmıştır. Burada, MOS transistörlerin gövdeleri, NMOS transistörlerde V_{SS} , PMOS transistörlerde ise V_{DD} düzeylerine bağlanmıştır.

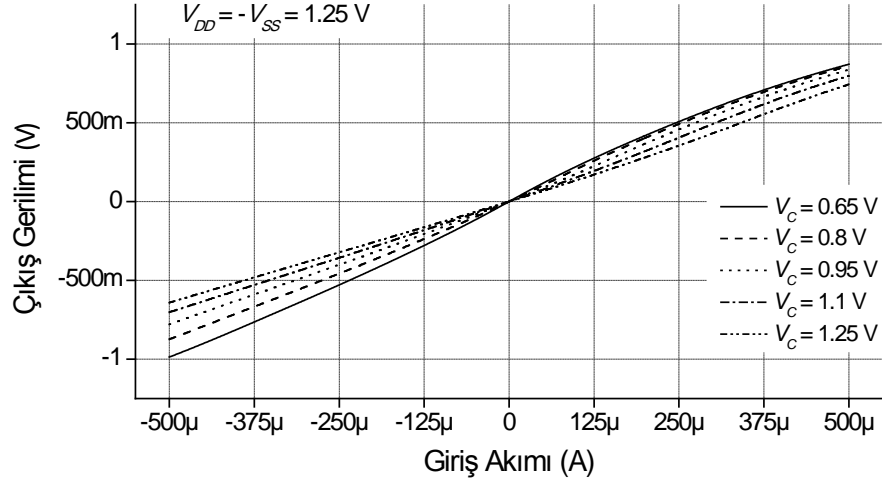
Gerçekleştirilen simülasyonlar için, PMOS transistör geometri parametreleri, $AD = 8.4375 \times 10^{-11}$, $AS = 8.4375 \times 10^{-11}$, $PD = 7.95 \times 10^{-5}$ ve $PS = 7.95 \times 10^{-5}$ olarak elde edilmiştir. NMOS transistör geometri parametreleri ise, $AD = 1.3 \times 10^{-11}$, $AS = 1.3 \times 10^{-11}$, $PD = 1.7 \times 10^{-5}$, $PS = 1.7 \times 10^{-5}$ olarak bulunmuştur. Eşdeğer direnç $R_{eq} \cong 1.33 \text{ k}\Omega$ ve köşe frekansı $f_c \cong 443 \text{ MHz}$ olması için, V_C kontrol gerilimi, 1.25 V olarak seçilmiştir. Bu nedenle, hazırlanan GVCR devresi, 44.3 MHz frekansına kadar düzgün bir şekilde çalışabilmektedir (Yuce ve Minaei 2008).

SPICE simülasyonlarında $V_C = 1.25$ V için, Şekil 3.1’deki devrenin toplam güç tüketimi 0.44 mW olarak bulunmuştur. Daha düşük güç kaynağı gerilimleri uygulandığında, devrenin güç tüketimi de düşmektedir. Fakat bu durumda, devrenin dinamik aralığı azalmaktadır.

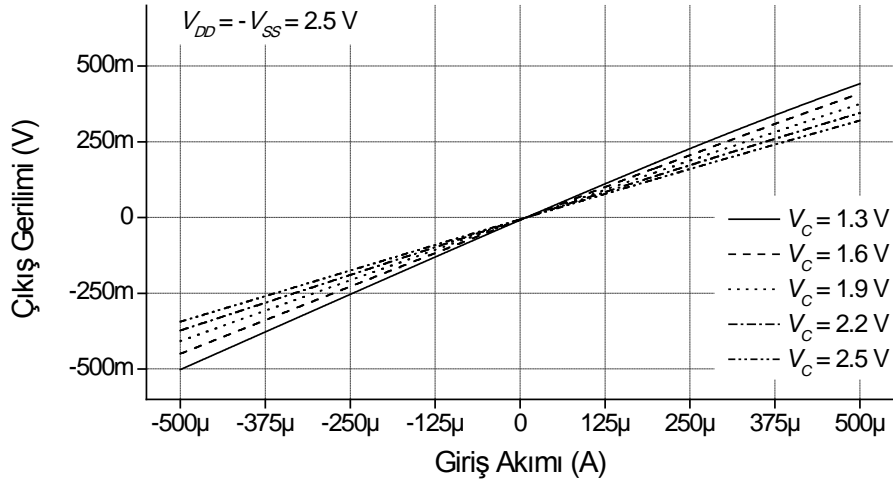
Şekil 3.1’deki devrede V_C gerilimi 1.25 V ($R_{eq} \cong 1.33 \text{ k}\Omega$), 1.1 V ($R_{eq} \cong 1.5 \text{ k}\Omega$), 0.95 V ($R_{eq} \cong 1.72 \text{ k}\Omega$), 0.8 V ($R_{eq} \cong 2.03 \text{ k}\Omega$) ve 0.65 V ($R_{eq} \cong 2.39 \text{ k}\Omega$) olarak seçildiğinde, sırasıyla, giriş akımlarına karşılık gelen çıkış gerilimleri, Şekil 3.2’de verilmiştir. Hazırlanan GVCR, $V_C \geq 0.65$ V iken düzgün bir şekilde çalışabilmektedir.

Ayrıca, Şekil 3.2’deki analize benzer şekilde, Shichman-Hodges modeline (Shichman ve Hodges 1968) göre giriş akımlarına karşılık gelen çıkış gerilimleri elde edilmiş ve Şekil 3.3’te çizdirilmiştir. Burada, V_C gerilimi 2.5 V ($R_{eq} \cong 675.5 \Omega$), 2.2 V ($R_{eq} \cong 730.8 \Omega$), 1.9 V ($R_{eq} \cong 796 \Omega$), 1.6 V ($R_{eq} \cong 874 \Omega$) ve 1.3 V ($R_{eq} \cong 969 \Omega$) olarak değiştirilmiştir. Bu simülasyonun gerçekleştirilmesi için, devreye 2.5 V simetrik güç kaynağı gerilimi uygulanarak, düzey-1 MOS transistör parametrelerinin kullanılması, Shichman-Hodges modeline göre sonuçlar elde edilmesini sağlayacaktır. (Razavi 2001). Burada, MOS transistör boyutları,

$(W / L)_1 = 25 \mu\text{m} / 2.5 \mu\text{m}$ ve $(W / L)_2 = (W / L)_3 = 6.5 \mu\text{m} / 2.5 \mu\text{m}$ olarak seçilmiştir.



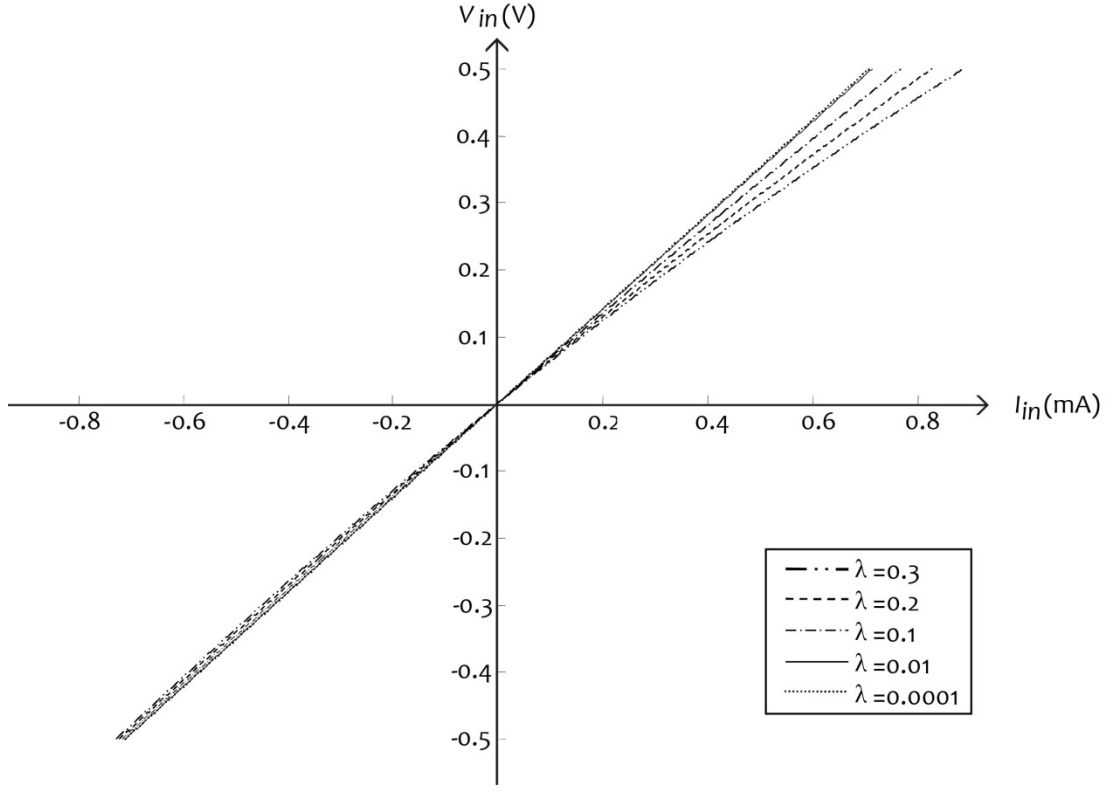
Şekil 3.2: Hazırlanan GVCR devresinin giriş/çıkış karakteristiği.



Şekil 3.3: Hazırlanan GVCR devresinin Shichman-Hodges modeline göre giriş/çıkış karakteristiği

Eşitlik (3.14)'te verilen ilişkiye göre, MOS transistörlerin λ değerinin değiştirilmesiyle, giriş akımlarına karşılık giriş gerilimleri Şekil 3.4'te gösterilmiştir. Burada, işlemi basitleştirmek için $\lambda_n = \lambda_p$ eşit olarak seçilmiştir. Simülasyonda,

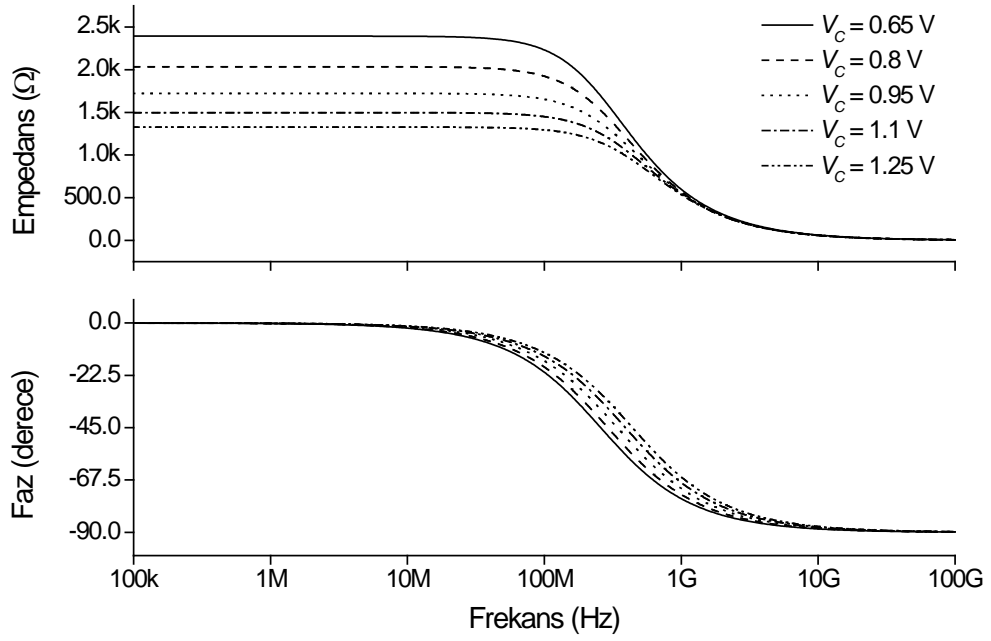
$V_C = 1.25$ V, $k_n = 1$ mA/V², $V_{DD} = -V_{SS} = 1.25$ V, $V_{TN} = 0.37$ V ve $V_{TP} = -0.49$ V olarak seçilmiştir.



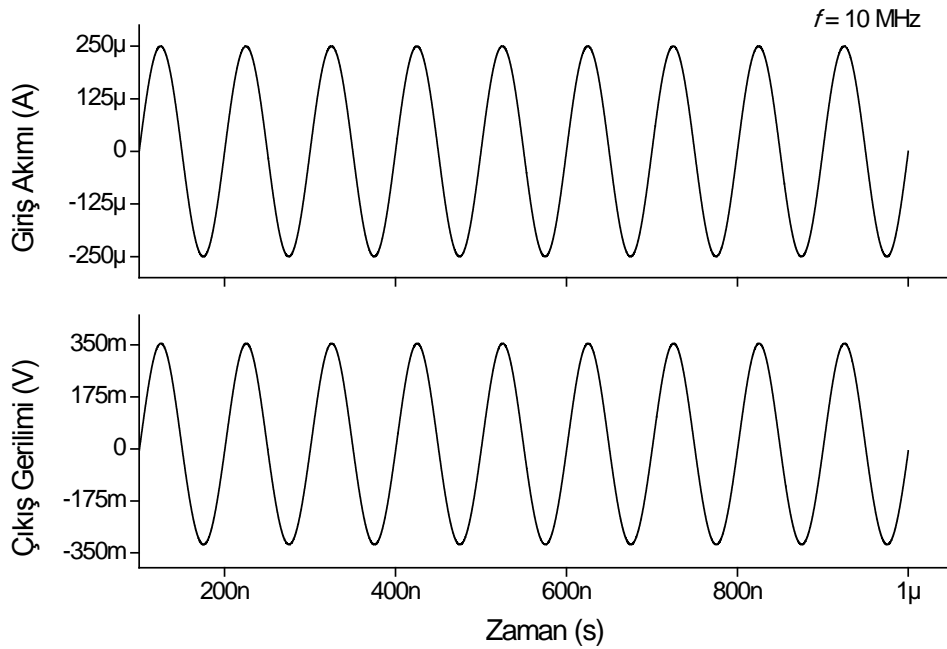
Şekil 3.4: MOS transistörlerin λ parametresinin değiştirilmesiyle elde edilen giriş/çıkış karakteristik eğrisi.

Şekil 3.5 ve Şekil 3.6'da, $V_C = 1.25$ V iken, sırasıyla, frekans ve zaman ortamında analizler verilmiştir. Şekil 3.6'daki DC sapma gerilimi, 16.5 mV düzeyindedir.

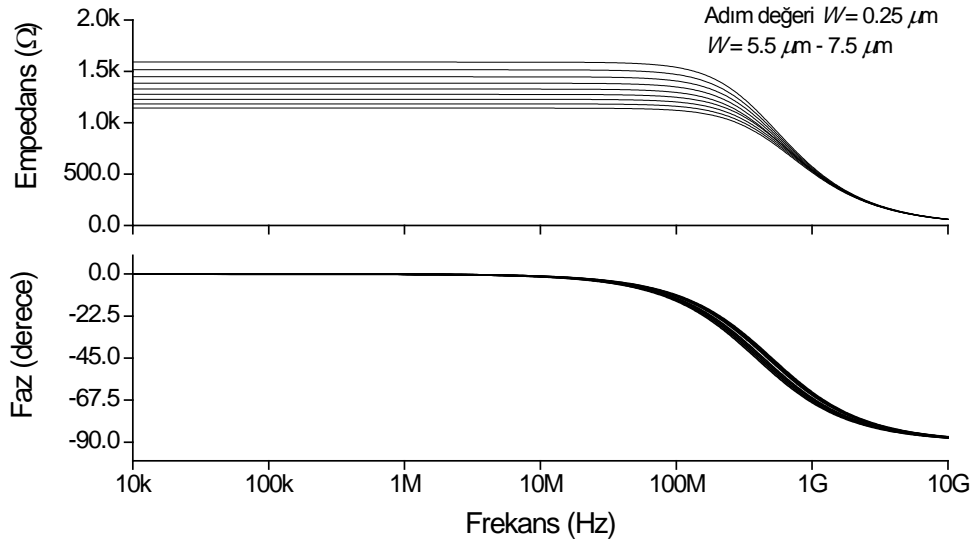
Başka bir simülasyon örneği olarak, MOSFET kanal uzunluğu (L) sabit tutulurken, devredeki iki adet NMOS transistörün genişlik (W) parametresi $0.25 \mu\text{m}$ adımlarla $5.5 \mu\text{m}$ ile $7.5 \mu\text{m}$ arasında artırılmıştır. Böylece, $V_C = 1.25$ V iken, frekansa bağlı olarak devrenin empedans ve faz cevapları, Şekil 3.7'de elde edilmiştir. Şekil 3.8'de ise hazırlanan GVCR devresinde NMOS transistörlerin W parametreleri değiştirilerek, sinüzoidal giriş ve çıkış işaretlerindeki değişimler verilmiştir. Burada, devrenin girişine $250 \mu\text{A}$ tepe genlik değerine sahip ve 10 MHz frekansında sinüzoidal bir giriş akımı uygulanmıştır.



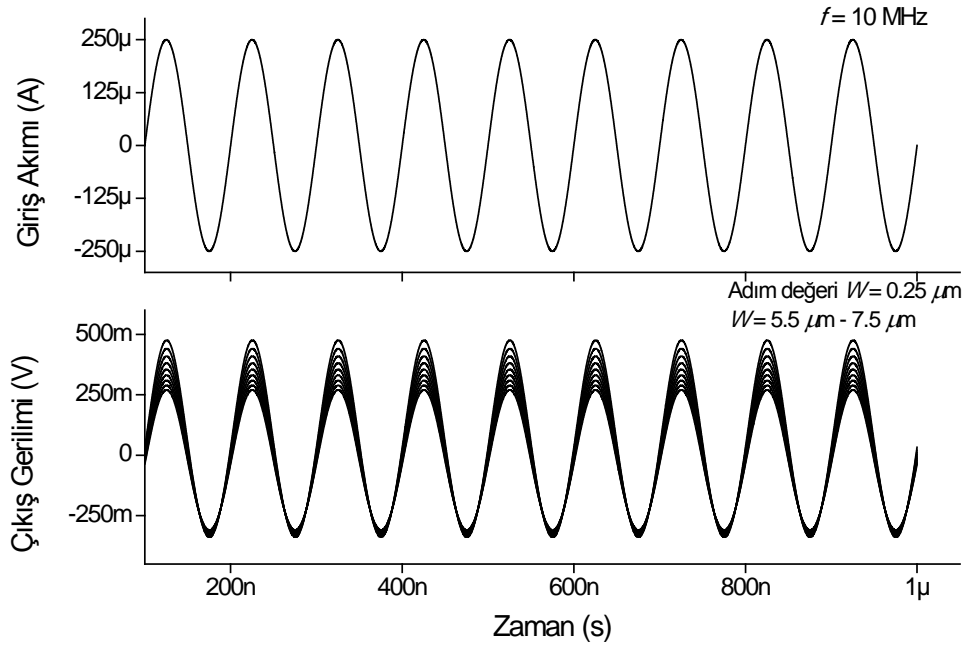
Şekil 3.5: Hazırlanan GVCR devresinin frekansa göre empedans ve faz cevabı.



Şekil 3.6: Hazırlanan GVCR devresinin zamana göre giriş/çıkış cevabı ($R_{eq} \cong 1.33$ kΩ).

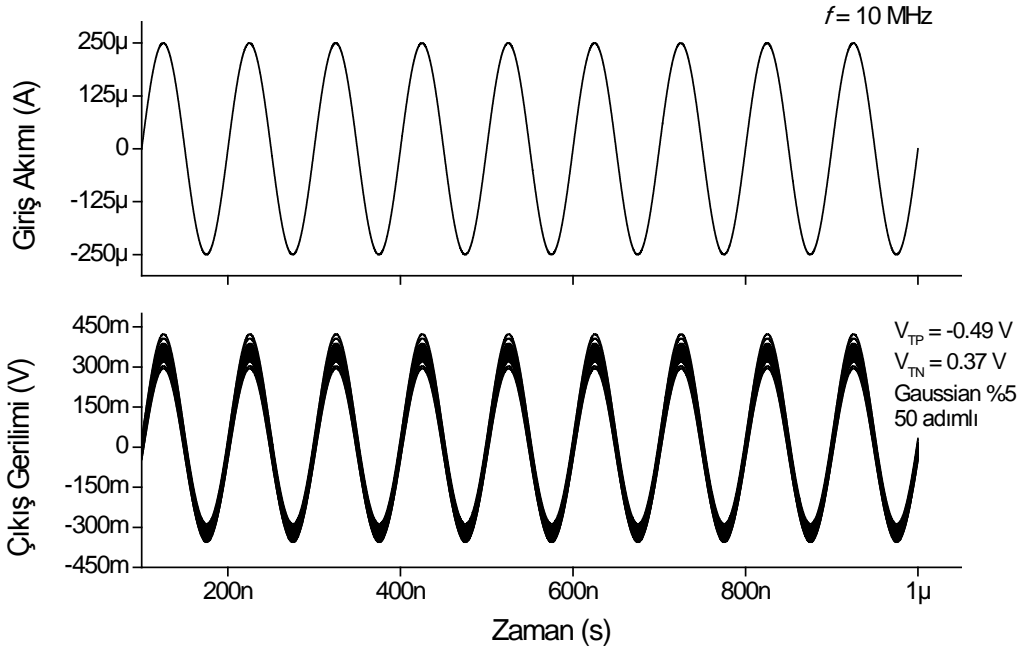


Şekil 3.7: NMOS transistörlerin W parametresi değiştirilerek elde edilen empedans ve faz cevabı ($R_{eq} \cong 1.33 \text{ k}\Omega$).



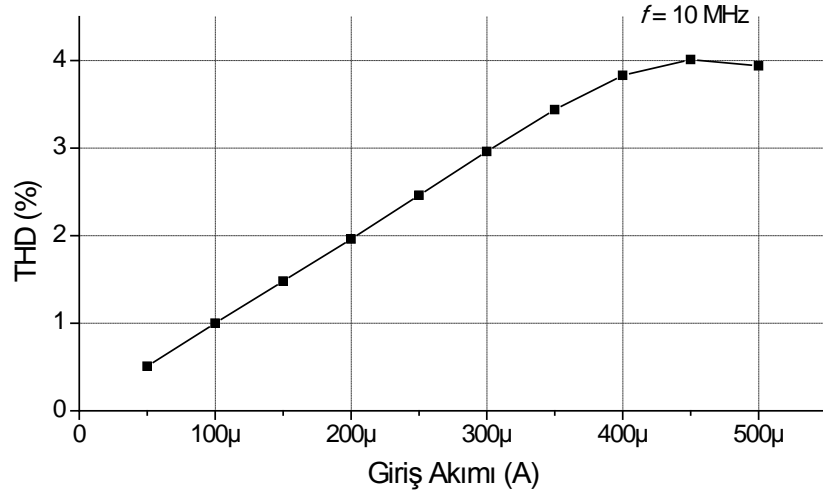
Şekil 3.8: NMOS transistörlerin W parametresi değiştirilerek elde edilen zamana göre giriş/çıkış cevabı ($R_{eq} \cong 1.33 \text{ k}\Omega$).

Hazırlanan GVCR devresindeki MOS transistörlerin V_{TP} ve V_{TN} parametrelerinin, Gaussian dağılımına göre %5 değişimi ile gerçekleştirilen 50 adımlı bir Monte Carlo simülasyonu sonucunda, elde edilen giriş/çıkış karakteristiği, Şekil 3.9’da verilmektedir. Burada, devrenin girişine $250 \mu A$ tepe genlik değerine sahip ve 10 MHz frekansında sinüzoidal bir giriş akımı uygulanmıştır.

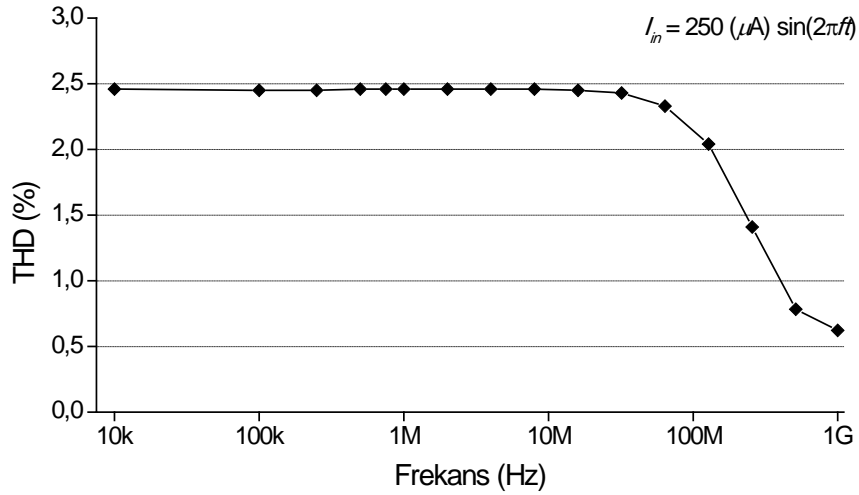


Şekil 3.9: Monte Carlo analizi ile V_{TP} ve V_{TN} parametrelerinin %5 oranında değiştirilmesi sonucunda elde edilen giriş/çıkış karakteristiği ($R_{eq} \cong 1.33 \text{ k}\Omega$).

Şekil 3.2 ile Şekil 3.9 arasındaki simülasyon sonuçlarından da görüldüğü gibi, hazırlanan GVCR devresi, düşük giriş akımında veya geriliminde lineerliğini korumaktadır. $V_C = 1.25 \text{ V}$ iken, devreye 10 MHz frekansında sinüzoidal bir giriş akımı, tepe değeri değiştirilerek uygulanmış, SPICE programında elde edilen devrenin THD düzeyleri Şekil 3.10’da grafik haline getirilmiştir. Aynı simülasyon, $V_C = 1.25 \text{ V}$ seçilerek, $250 \mu A$ değerindeki bir giriş akımının frekansı değiştirilmek suretiyle gerçekleştirilmiş, elde edilen THD düzeyleri, Şekil 3.11’de gösterilmiştir.



Şekil 3.10: Giriş akımının değişimine göre THD düzeyleri ($R_{eq} \cong 1.33 \text{ k}\Omega$).



Şekil 3.11: Giriş akımı frekansının (f) değişimine göre THD düzeyleri ($R_{eq} \cong 1.33 \text{ k}\Omega$).

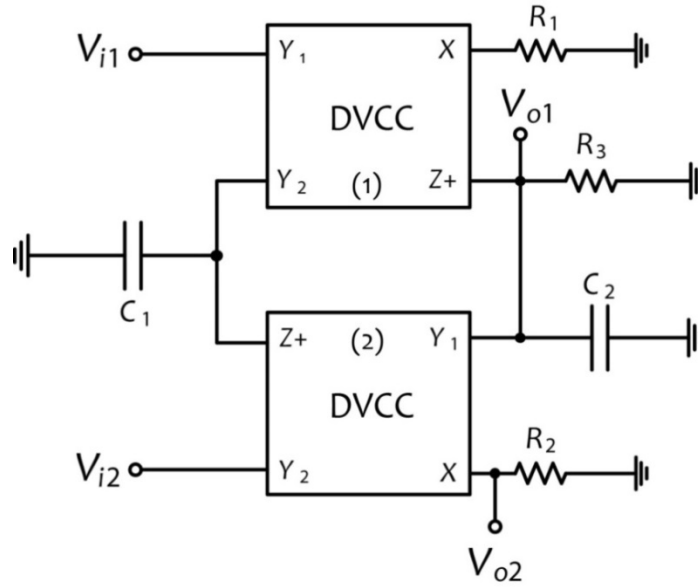
3.1.5 Bir Uygulama Örneği: İkinci Dereceden Çok Fonksiyonlu Süzgeç

Ayarlanabilir dirençler; osilatörler (Herencsar ve diğ. 2013^b, Jerabek ve diğ. 2014), süzgeçler (Yuce ve diğ. 2008^b, Minaei ve Ibrahim 2009) ve endüktans simülatörleri (Yuce ve Minaei 2009^a, Yuce 2006, Yuce 2007) gibi birçok devre uygulamasında kullanılmaktadır. Bu kısımda, hazırlanan GVCR devresinin bir

uygulaması olarak, DVCC tabanlı ikinci dereceden çok fonksiyonlu bir süzgeç verilmiştir (Yuce ve diğ. 2014).

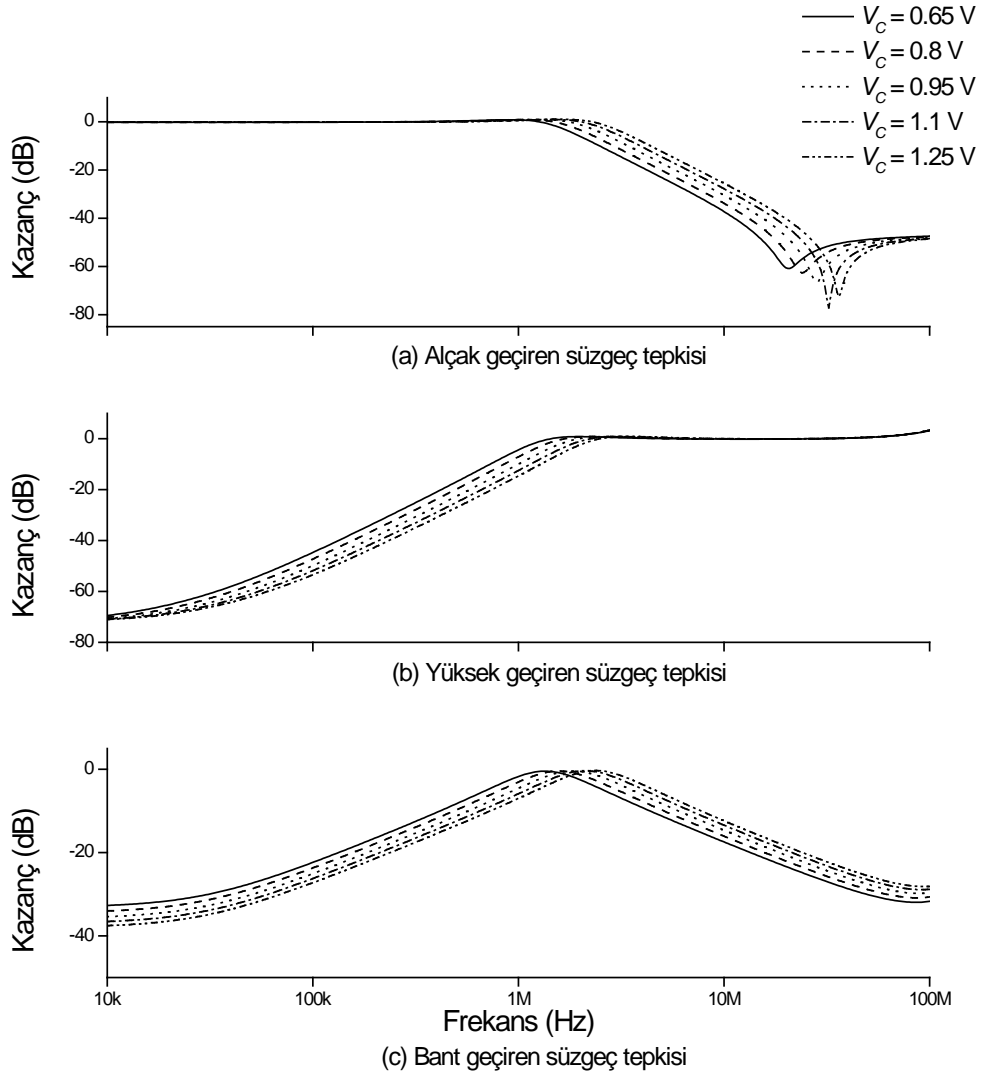
Kullanılan DVCC elemanın iç yapısında (bkz. Şekil 2.12), $V_B = 0.57$ V olarak alınmıştır (Chiu ve diğ. 1996). Transistör boyutları, M_1 – M_8 (PMOS transistörler) için $80 \mu\text{m} / 1 \mu\text{m}$ ve M_9 – M_{12} (NMOS transistörler) için $30 \mu\text{m} / 1 \mu\text{m}$ olarak seçilmiştir. Ayrıca, $V_{DD} = -V_{SS} = 1.25$ V seçilmiş ve EK A’da verilen düzey-7 $0.25 \mu\text{m}$ teknoloji parametreleri (bkz. Tablo A.3 ve Tablo A.4) kullanılmıştır.

İki DVCC elemanı kullanılarak hazırlanan süzgeç uygulaması; alçak geçiren (low-pass, LP), yüksek geçiren (high-pass, HP) ve bant geçiren (band-pass, BP) cevaplarını verebilmektedir. Tüm pasif elemanlar toprağa bağlanmıştır. Oluşturulan süzgecin devre şeması Şekil 3.12’de verilmektedir. Simülasyonlarda, R_1 , R_2 ve R_3 dirençleri yerine, hazırlanan GVCR elemanı bağlanmıştır. C_1 ve C_2 kapasitörleri, 50 pF değerinde seçilmiştir. Ayrıca, Şekil 3.13’te, önerilen GVCR’nin V_C gerilimi, 0.65 V ile 1.25 V arasında 150 mV’luk adımlarla değiştirilerek, devrenin alçak geçiren, yüksek geçiren ve kazanç cevapları elde edilmiştir.



Şekil 3.12: Hazırlanan DVCC tabanlı çok fonksiyonlu süzgeç uygulaması (Yuce ve diğ. 2014)¹.

¹ Simülasyonlarda R_1 , R_2 ve R_3 dirençleri yerine, hazırlanan GVCR bağlanmıştır.



Şekil 3.13: Hazırlanan DVCC tabanlı süzgecin direnç değişimine göre kazanç cevabı.

Şekil 3.12'deki hazırlanan süzgecin çıkış cevapları aşağıdaki gibi elde edilir:

$$V_{o1} = \frac{R_2(sC_1R_3V_{i1} + V_{i2})}{s^2C_1C_2R_1R_2R_3 + sC_1R_1R_3 + R_2} \quad (3.16a)$$

$$V_{o2} = \frac{sC_1R_3(-R_2V_{i1} + R_1V_{i2} + sC_2R_1R_2V_{i2})}{s^2C_1C_2R_1R_2R_3 + sC_1R_1R_3 + R_2} \quad (3.16b)$$

Yukarıdaki eşitliklere göre, elde edilen alçak geçiren, yüksek geçiren ve bant geçiren süzgeç cevapları, Tablo 3.1'de özetlenmiştir.

Tablo 3.1: Süzgeç cevapları.

Süzgeç Cevabı	Giriş Terminali	Koşul	Çıkış Terminali
Alçak geçiren	V_{i2}	$V_{i1} = 0$	V_{o1}
Yüksek geçiren	$V_{i1}=V_{i2}$	$R_1 = R_2$	V_{o2}
Bant geçiren	V_{i1}	$V_{i2} = 0$	V_{o1}

Eşitlik (3.16)'dan, açısal rezonans frekansı ω_o ve kalite faktörü Q aşağıdaki gibi bulunur:

$$\omega_o = \sqrt{\frac{1}{C_1 C_2 R_1 R_3}} \quad (3.17a)$$

$$Q = R_2 \sqrt{\frac{C_2}{C_1 R_1 R_3}} \quad (3.17b)$$

Elde edilen ideal ve simülasyon sonuçları birbiriyle uyumludur. Sonuçlar arasındaki küçük farklılıklar, MOS transistörlerin ideal olmayan durumundan kaynaklanmaktadır. Ayrıca, hazırlanan GVCR elemanının tümeleşik devre şeması, EK B'de verilmiştir (Bkz. Şekil B.1). Şema alanı, yaklaşık olarak $1100 \mu\text{m}^2$ dir.

4. AYARLANABİLİR TRANSKONDÜKTÖR TASARIMI

Bu bölümde, tez kapsamında hazırlanan doğrusal ayarlanabilir transkondüktörler anlatılmaktadır.

4.1 Gerilim Girişli Akım Çıkışlı Ayarlanabilir Transkondüktör

4.1.1 Giriş

Tez kapsamında, yüksek düzeyde lineer, ayarlanabilir iki yeni transkondüktör hazırlanmıştır. Hazırlanan transkondüktörlerin her ikisi de yalnızca altı adet doyum bölgesinde çalışan MOS transistör kullanılarak gerçekleştirilmiştir. Her iki devre de ek kutuplama akım veya gerilim kaynaklarına gereksinim duymamaktadır. Geçiş iletkenliği, bir kontrol gerilimiyle lineer olarak ayarlanabilmektedir. Ayrıca, hazırlanan iki transkondüktör kullanılarak pozitif kayıpsız bir endüktans simülatörü uygulaması gerçekleştirilmiştir. Hazırlanan transkondüktörün bir avantajı, yüksek giriş ve çıkış empedansına sahip olmasıdır. Simülasyon ve deneysel test sonuçları, hazırlanan devrelerin performansını ve çalışabilirliğini göstermektedir.

4.1.2 Yöntem

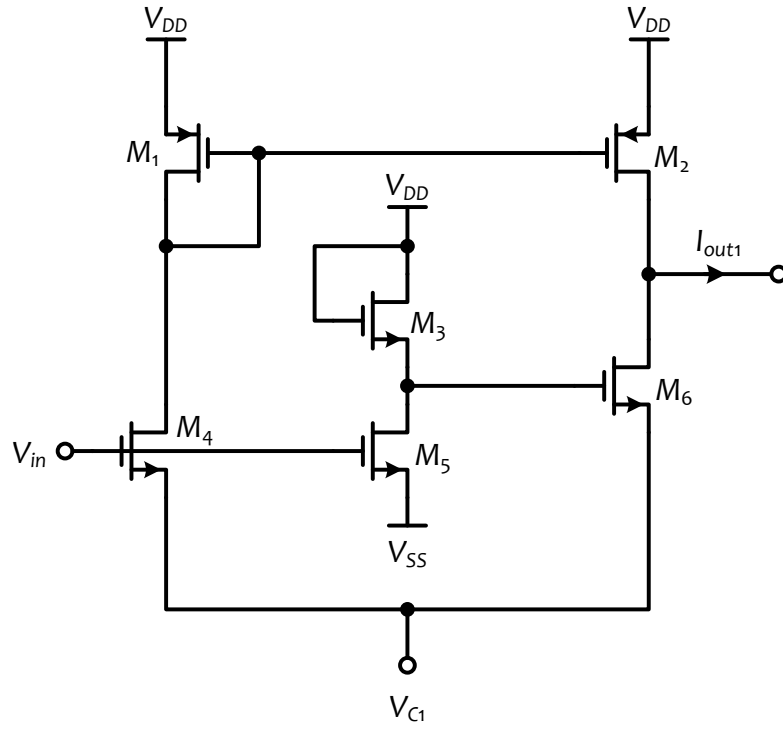
İlk hazırlanan transkondüktör konfigürasyonu, Şekil 4.1’de verilmektedir. Hazırlanan transkondüktör, yalnızca altı adet MOS transistör ($M_1 - M_6$) ve bir kontrol gerilimi (V_{C1}) içermektedir. Devrede, gövde etkisini ortadan kaldırmak üzere, tüm transistörlerin gövdeleri, kaynak uçlarına bağlanmıştır. M_1 ve M_2 transistörleri, bir akım aynası oluşturmak üzere kullanılmaktadır. M_3 ve M_5 transistörleri, birim kazanç eviren yükselteç hazırlamak için eklenmiştir. Burada, $k_{n3} = k_{n5}$ olarak alınmıştır (Razavi 2008, Minaei ve Yuce 2012^b). Ayrıca, V_{DD} ve V_{SS} , sırasıyla, pozitif ve negatif güç kaynağı gerilimlerini ifade etmektedir ($V_{SS} = -V_{DD}$). Şekil 4.1’deki bütün MOS transistörlerin doyum bölgesinde çalışmaktadır (NMOS transistörler için $V_{GS} > V_{TN}$ ve $V_{DS} > V_{GS} - V_{TN}$; PMOS transistörler için $V_{SG} > |V_{TP}|$ ve

$V_{SD} > V_{SG} - |V_{TP}|$). Burada, V_{TN} ve V_{TP} , sırasıyla, NMOS ve PMOS transistörlerin eşik gerilimidir.

Şekil 4.1'deki M_4 ve M_6 transistörlerinin geçiş iletkenliği parametrelerinin k_n olduğu varsayıldığında, bu transistörlerin akaç akımları, doyum bölgesindeki MOS transistörlerin akım denkleminde aşağıdaki şekilde elde edilir:

$$I_{D4} = \frac{1}{2} k_n (V_{in} - V_{C1} - V_{TN})^2 \quad (4.1a)$$

$$I_{D6} = \frac{1}{2} k_n (-V_{in} - V_{C1} - V_{TN})^2 \quad (4.1b)$$



Şekil 4.1: İlk hazırlanan transkondüktör konfigürasyonu.

Şekil 4.1'de, I_{D4} akımı, I_{D2} akımına eşittir. Çıkış akımı, I_{D6} akımı ile I_{D2} akımının farkıdır ve aşağıdaki şekilde ifade edilir:

$$I_{out1} = I_{D2} - I_{D6} = 2k_n V_{in} (-V_{C1} - V_{TN}) \quad (4.2)$$

$$I_{D6} = \frac{1}{2} k_n (-V_{in} - V_{C2} - V_{TN})^2 \quad (4.4b)$$

Şekil 4.2’de, I_{D1} akımı, I_{D6} akımına eşittir. I_{out2} çıkış akımı, I_{D4} ile I_{D1} akımlarının farkından aşağıdaki gibi elde edilebilir:

$$I_{out2} = I_{D4} - I_{D1} = 2k_n V_{in} (-V_{C2} - V_{TN}) \quad (4.5)$$

Burada, devrenin doğru bir şekilde çalışabilmesi için, $V_{C2} < -|V_{in}| - V_{TN}$ koşulunun sağlanması gereklidir. Benzer şekilde, eşitlik (2.3)’ten, ikinci hazırlanan transkondüktörün G_{m2} değeri aşağıdaki gibi bulunur:

$$G_{m2} = 2k_n (-V_{C2} - V_{TN}) \quad (4.6)$$

İlk ve ikinci hazırlanan transkondüktörlerin giriş empedansları ideal olarak sonsuzdur. Her iki devrenin çıkış empedansları ise, sırasıyla, aşağıdaki şekilde hesaplanabilir:

$$R_{out1} = r_{o2} // r_{o6} \quad (4.7a)$$

$$R_{out2} = r_{o1} // r_{o4} \quad (4.7b)$$

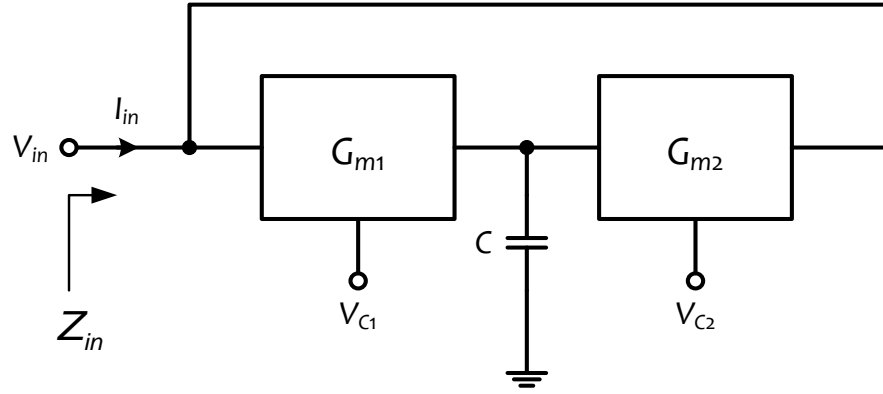
Önemli bir not olarak belirtilmelidir ki, r_o parametresi, MOS transistörlerin kanal uzunluğunun artmasıyla yükselebilir (Razavi 2008).

4.1.3 Bir Uygulama Örneği: Endüktans Simülatörü

Hazırlanan transkondüktörler için bir uygulama örneği olarak, iki transkondüktör ile gerçekleştirilen Şekil 4.3’teki pozitif kayıpsız topraklanmış endüktans simülatörü hazırlanmıştır (Geiger ve Sánchez-Sinencio 1985). Kullanılan transkondüktörlerin birisi, Şekil 4.1’deki ilk hazırlanan devre olup, diğeri ise Şekil 4.2’deki ikinci hazırlanan devredir. V_{C1} ve V_{C2} , kontrol gerilimlerini ifade etmektedir. Hazırlanan endüktans simülatörünün giriş empedansı aşağıdaki gibi elde edilebilir:

$$Z_{in} = \frac{V_{in}}{I_{in}} = \frac{sC}{G_{m1} G_{m2}} \quad (4.8)$$

Topraklanmış kapasitör kullanılarak negatif kayıpsız bir endüktans simülatörü elde etmek için, Şekil 4.1'deki ilk hazırlanan transkondüktör ile Şekil 4.2'deki ikinci hazırlanan transkondüktör devreleri yer değiştirilmelidir.



Şekil 4.3: Hazırlanan pozitif kayıpsız topraklanmış endüktans simülatörü.

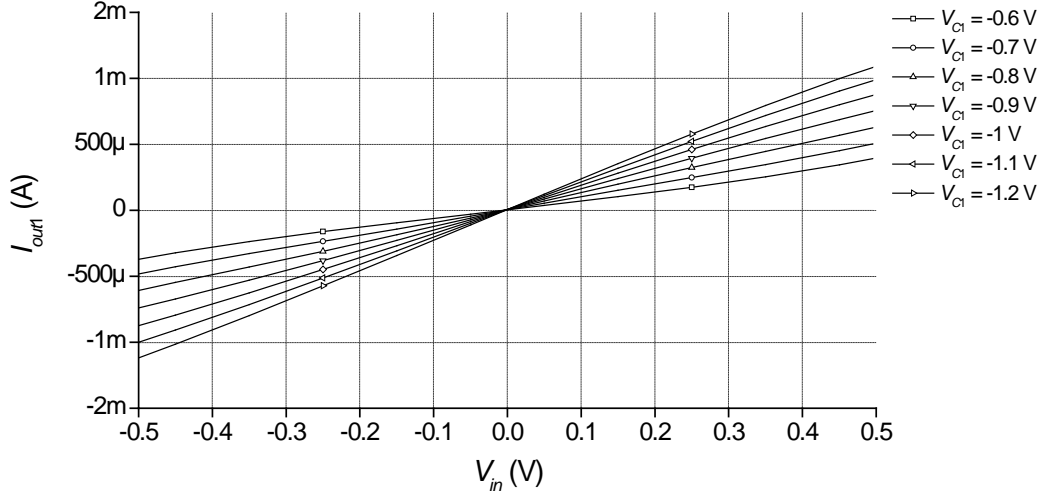
4.1.4 Simülasyon Sonuçları

Simülasyon sonuçları, SPICE programında, EK A'da verilen düzey-7 0.25 μm TSMC CMOS teknoloji parametreleri kullanılarak (bkz. Tablo A.3 ve Tablo A.4) gerçekleştirilmiştir. Simetrik DC güç kaynağı gerilimleri, $V_{DD} = -V_{SS} = 1.25$ V olarak seçilmiştir. Şekil 4.1 ve Şekil 4.2'deki transkondüktör devrelerinde kullanılan MOS transistörlerin boyutları, Tablo 4.1'de verilmiştir.

İlk hazırlanan transkondüktör için, giriş geriliminin değişimine göre çıkış akımının grafiği, Şekil 4.4'te verilmiştir. Burada, kontrol gerilimi -1.2 V değerinden -0.6 V değerine kadar 0.1 V adımlarla değiştirilmiştir. Devrenin düzgün bir şekilde çalışabilmesi için, $V_{in} < V_{TH} / 2$ koşulu sağlanmalıdır (NMOS transistörler için $V_{TH} \cong 0.38$ V; PMOS transistörler için $V_{TH} \cong -0.57$ V) (Razavi 2008, Minaei ve Yuce 2012^b, Yuce ve diğ. 2006^a).

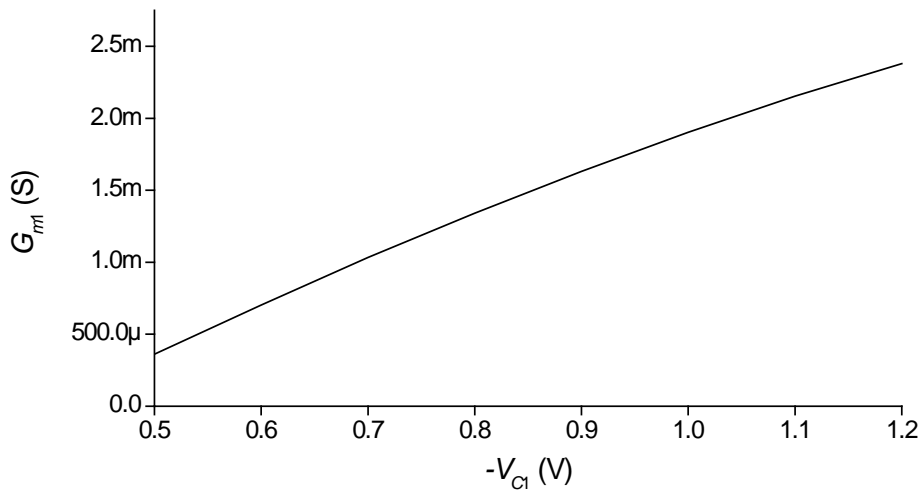
Tablo 4.1: MOS transistör boyutları.

Transistör Adı	Transistör Boyutu (W / L)
M_1, M_2	$100 \mu\text{m} / 1 \mu\text{m}$
M_3, M_4, M_5, M_6	$10 \mu\text{m} / 1 \mu\text{m}$



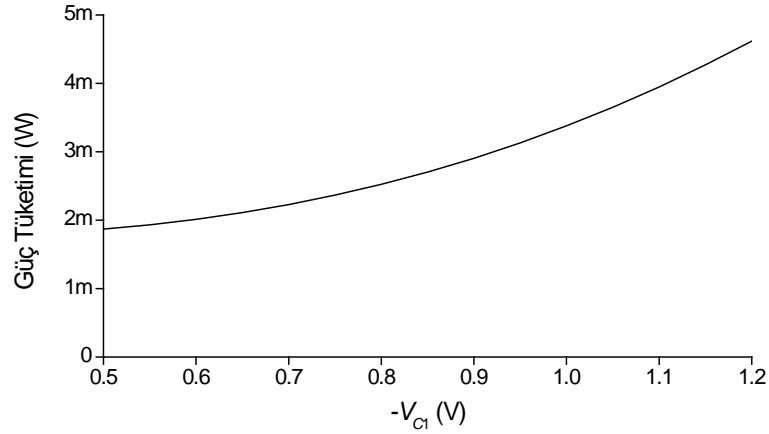
Şekil 4.4: İlk hazırlanan transkondüktörün V_{C1} değerinin değişimine göre DC transfer karakteristiği.

Şekil 4.5'te, ilk hazırlanan transkondüktörün $-V_{C1}$ değerinin değişimine göre G_m karakteristiği verilmiştir. Elde edilen lineerlik yeterli düzeydedir.



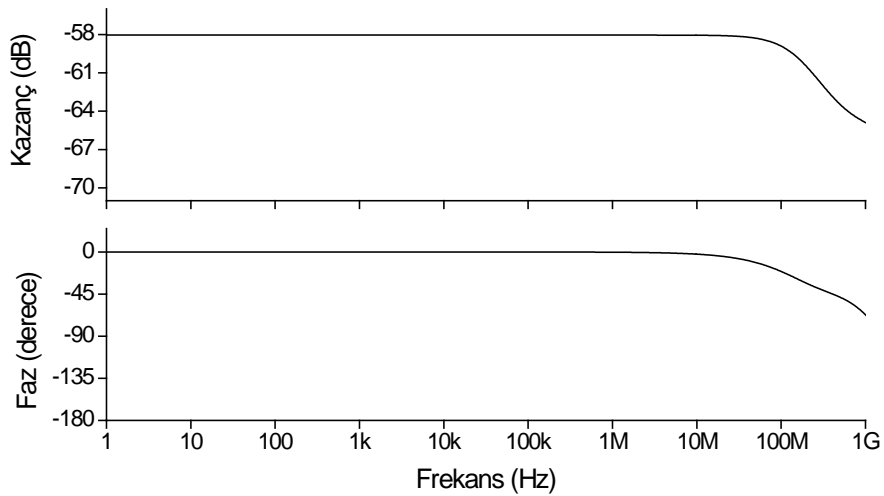
Şekil 4.5: G_{m1} transkondüktansının $-V_{C1}$ kontrol gerilimine göre değişimi.

Şekil 4.6’da, ilk hazırlanan transkondüktörün $-V_{C1}$ değerinin değişimine göre güç tüketimi gösterilmektedir. İlk ve ikinci hazırlanan transkondüktörlerin güç tüketimleri, $V_{C1} = -0.8$ V iken, SPICE simülasyonlarında 2.52 mW olarak elde edilmiştir.



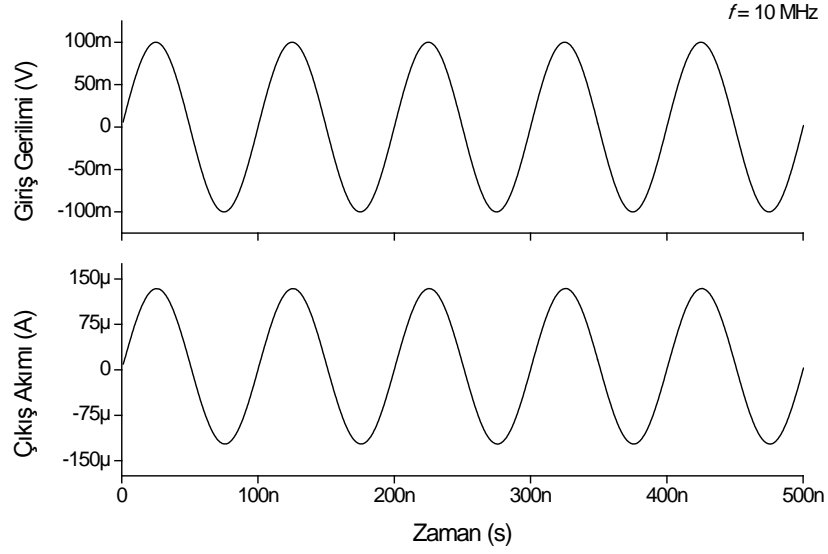
Şekil 4.6: İlk hazırlanan transkondüktörde güç tüketiminin $-V_{C1}$ kontrol gerilimine göre değişimi.

Aşağıdaki tüm simülasyonlarda, kontrol gerilimi $V_{C1} = V_{C2} = V_C = -0.8$ V olarak seçilmiştir. İlk hazırlanan transkondüktörün kazanç ve faz cevabı, Şekil 4.7’de verilmiştir.



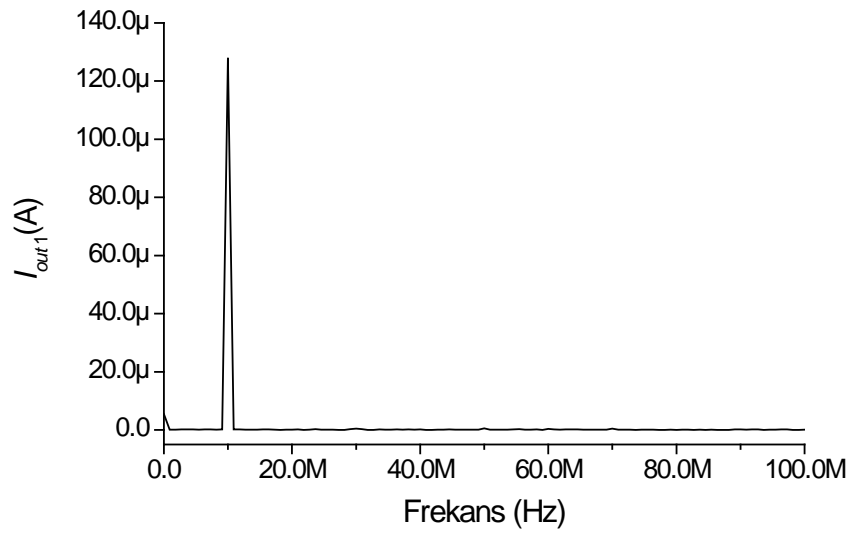
Şekil 4.7: İlk hazırlanan transkondüktörün kazanç ve faz cevabı.

İlk hazırlanan devrenin 100 mV tepe değerine sahip 10 MHz frekansındaki bir sinüzoidal giriş işaretine verdiği çıkış cevabı, Şekil 4.8’de görülmektedir.



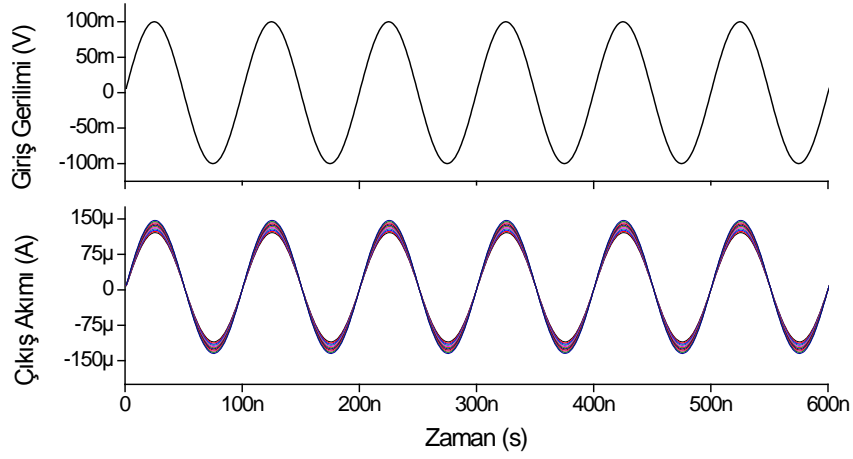
Şekil 4.8: İlk hazırlanan transkondüktörün sinüzoidal çıkış cevabı.

İlk hazırlanan transkondüktörün girişine 100 mV tepe genlik değerine sahip 10 MHz frekansında bir sinüzoidal işaret uygulanmıştır. Şekil 4.9’da, ilk hazırlanan transkondüktörün hızlı Fourier dönüşümü (FFT) cevabı verilmektedir.



Şekil 4.9: İlk hazırlanan transkondüktörün FFT cevabı.

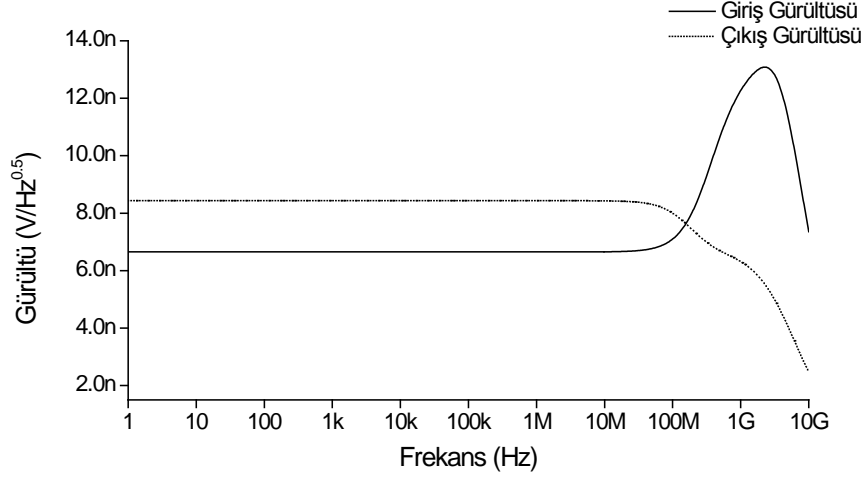
M_3 - M_6 transistörlerinin yalnızca kanal genişliğinin (W) $9 \mu\text{m}$ ile $11 \mu\text{m}$ arasında $0.25 \mu\text{m}$ adımlarla değiştirilmesiyle elde edilen sinüzoidal çıkış cevabı Şekil 4.10'da verilmektedir. Burada, ilk hazırlanan transkondüktörün girişine, 100 mV tepe genlik değerine sahip 10 MHz frekansında bir sinüzoidal işaret uygulanmıştır. Elde edilen grafikten, ilk hazırlanan transkondüktörün MOS transistör boyutlarının değişiminden çok fazla etkilenmediği görülmektedir.



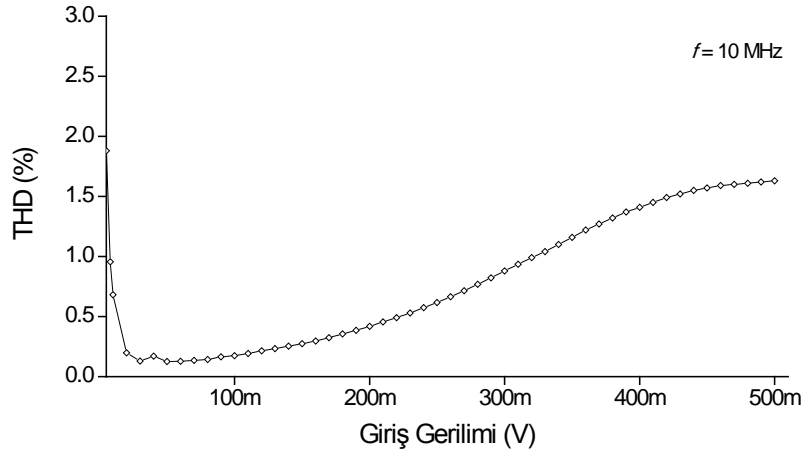
Şekil 4.10: $M_3 - M_6$ transistörlerinin W değerinin değişimine göre sinüzoidal çıkış cevabı.

İlk hazırlanan transkondüktör devresinin çıkışına $1 \text{ k}\Omega$ değerinde bir yük direnci bağlanarak, giriş ve çıkış gürültü değişimleri elde edilmiştir. Şekil 4.11'deki grafikte, elde edilen gürültü değerlerinin yeterince düşük olduğu görülmektedir.

İlk hazırlanan transkondüktör için 10 MHz frekansına sahip sinüzoidal giriş sinyalinin tepe değeri değişimine göre elde edilen toplam harmonik bozulma (THD) değişimleri, Şekil 4.12'de çizdirilmiştir. Burada, devrenin çıkışına $1 \text{ k}\Omega$ değerinde bir yük direnci bağlanmıştır. Şekil 4.12'den de görüldüğü üzere, giriş işaretinin tepe genliği 500 mV olana kadar, devrenin THD oranı, $\%1.5$ değerinin altındadır.



Şekil 4.11: İlk hazırlanan transkondüktör için giriş ve çıkış gürültüsü.



Şekil 4.12: İlk hazırlanan transkondüktör için sinüzoidal giriş işaretinin genlik tepe değerinin değişimine göre THD oranları.

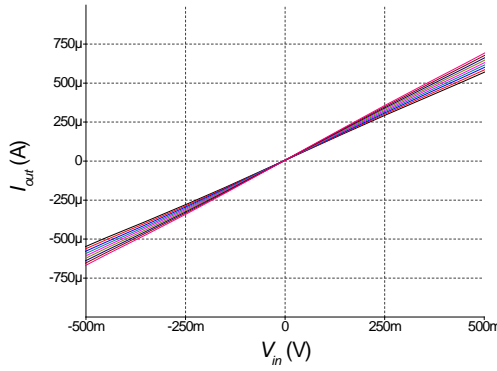
İlk hazırlanan devrenin dayanıklılığı, bazı simülasyonlar ile analiz edilmiştir. Örneğin, ilk hazırlanan transkondüktör için bir PVT (proses, gerilim kaynağı ve sıcaklık) analizi, Şekil 4.13'teki gibi gerçekleştirilmiştir.

İlk olarak, ilk hazırlanan transkondüktörde, NMOS transistörlerin W değerleri $9 \mu\text{m}$ ile $11 \mu\text{m}$ arasında $0.25 \mu\text{m}$ adımlarla değişirken, devrenin DC transfer karakteristiği Şekil 4.13a'da çizdirilmiştir. Analiz sonucunda, $V-I$ karakteristik eğrisinin eğiminde az miktarda değişim oluşmuştur.

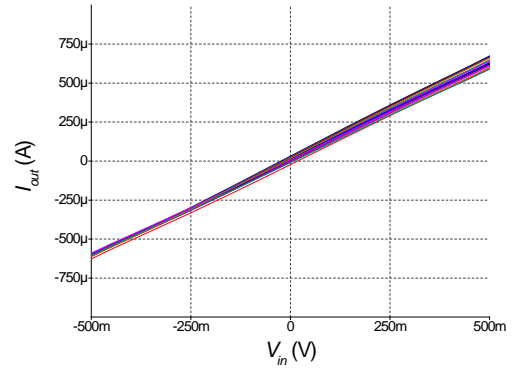
İkinci olarak, %1 Gaussian dağılımına göre, devredeki MOS transistörlerinin eşik gerilimleri Monte Carlo analizi ile değiştirilmiştir. Analiz sonucunda elde edilen DC transfer karakteristiği, Şekil 4.13b’de görülmektedir. Transkondüktörün çıkış cevabı, eşik gerilimlerinin değişiminden etkilenmektedir.

Üçüncü adımda, simetrik güç kaynağının ± 1 V ve ± 1.5 V aralığında, 0.25 V adımlarla, %20 değişimiyle elde edilen DC transfer karakteristiği, Şekil 4.13c’de verilmektedir. Simülasyon sonucunda, dikkate değer bir değişim izlenmemiştir.

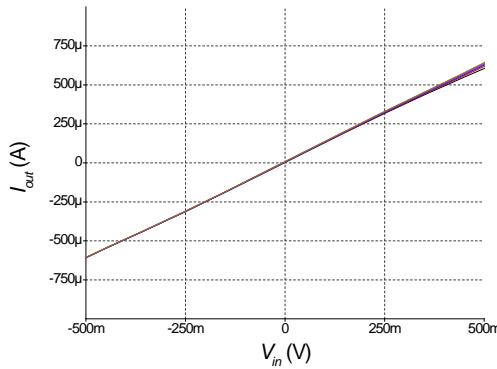
Son olarak, Şekil 4.13d’deki gibi, ortam sıcaklığının -25 °C ile 75 °C aralığında, 25 °C adımlarla değiştirildiği bir sıcaklık analizi gerçekleştirilmiştir. Bu simülasyon sonucunda, V - I eğrisinin eğiminde değişim izlenmiştir.



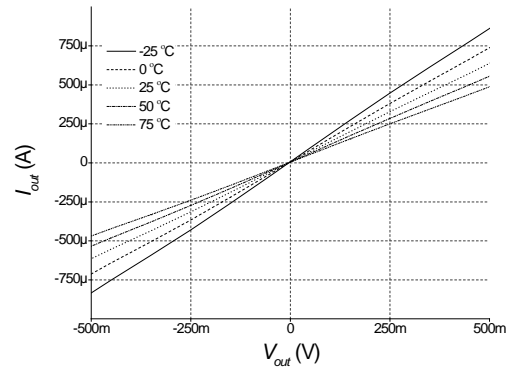
(a) NMOS W parametresinin değişimi



(b) MOSFET V_{th} parametresinin değişimi



(c) Güç kaynağı geriliminin değişimi

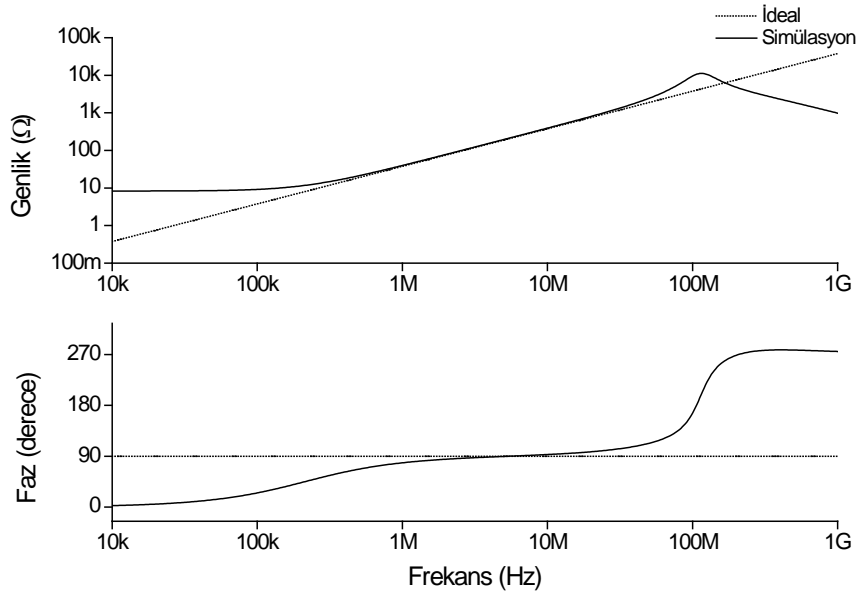


(d) Sıcaklığın değişimi

Şekil 4.13: İlk hazırlanan transkondüktörün PVT (proses, güç kaynağı, sıcaklık) analizi sonucunda elde edilen DC transfer karakteristikleri.

Ayrıca, hazırlanan pozitif topraklanmış endüktans simülatörü için ideal ve simülasyon empedansın genlik ve faz cevabı Şekil 4.14'te çizdirilmiştir. İdeal ve simülasyon sonuçları, 500 kHz ve 30 MHz frekans aralığında yaklaşık olarak birbiriyle uyumludur. Ayrıca, $V_{C1} = V_{C2} = -0.8$ V iken, endüktans simülatörünün simülasyonlar sonucunda elde edilen güç tüketimi, 4.01 mW düzeyindedir.

İkinci hazırlanan transkondüktör için simülasyonlar, ilk transkondüktör için yapılan simülasyonlara çok benzer ya da aynı sonuçlar verecektir. Çünkü ikinci hazırlanan transkondüktör devresi, çok küçük değişikliklerle birinci hazırlanan transkondüktörden türetilmiştir.

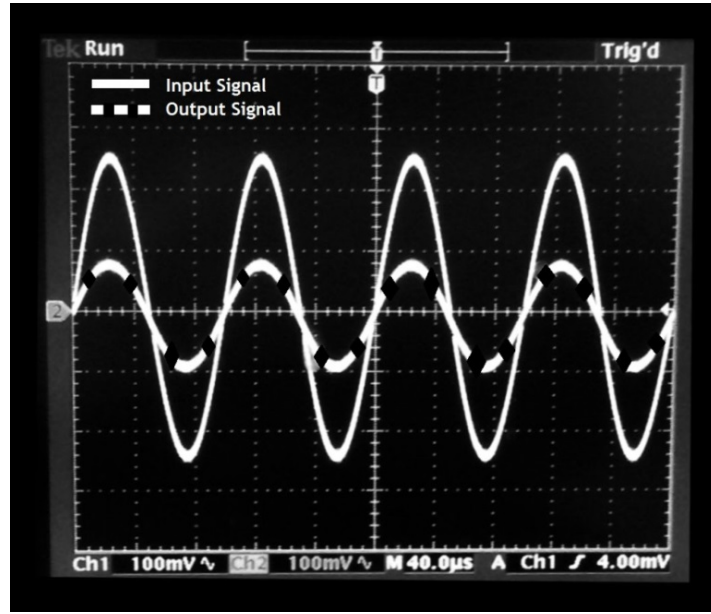


Şekil 4.14: Hazırlanan endüktans simülatörünün genlik ve faz cevabı.

4.1.5 Deneysel Test Sonuçları

Hazırlanan ilk transkondüktör, BS250P ve 2N700 gibi ticari olarak bulunan MOS transistörler kullanılarak, altı adet MOS transistörle gerçekleştirilebilir. BS250P ve 2N700, sırasıyla, P ve N kanallı kanal oluşmalı MOSFET'lerdir (Zetex 2014, Vishay Siliconic 2001).

Hazırlanan devrenin girişine 10 kHz frekansında 500 mV tepe genlik değerine sahip bir sinüzoidal işaret uygulanarak, Şekil 4.1'deki devrenin çıkış cevabı osilaskopta izlenmiştir. Elde edilen çıkış cevabı, Şekil 4.15'te görülmektedir. Burada, çıkış akımı, devrenin çıkış terminaline bağlanan $R_L = 1 \text{ k}\Omega$ değerindeki bir yük direnci ile gerilime dönüştürülmüştür. Simetrik güç kaynağı gerilimleri, $\pm 3 \text{ V}$ olarak seçilmiştir ve kontrol gerilimi -3 V olarak uygulanmıştır.



Şekil 4.15: Deneysel test için ilk hazırlanan transkondüktöre uygulanan sinüzoidal işaret girişine karşılık elde edilen çıkış cevabı (Giriş ve çıkış işaretleri için ölçeklendirme 100 mV/kare ve $R_L = 1 \text{ k}\Omega$).

5. KARE ALICI DEVRELERİN TASARIMI

Bu bölümde, tez kapsamında hazırlanan MOS tabanlı analog kare alıcı devre ve analog dört kadranlı çarpıcı (multiplier) uygulaması tanıtılmaktadır. Ayrıca, bir önceki bölümde tanıtılan transkondüktör devrelerinden türetilen bir kare alıcı devre de sunulmuştur.

5.1 MOS Transistör Tabanlı Analog Kare Alıcı

5.1.1 Giriş

Tez kapsamında, kaskat bağlanabilir MOS transistör tabanlı yeni bir analog kare alıcı devresi tasarlanmıştır. Hazırlanan devre gerilim giriş ve akım çıkışlı olup, yüksek giriş ve yüksek çıkış empedansına sahiptir. Bu nedenle, hazırlanan devre, herhangi ek bir tampon elemanı gerektirmeksizin diğer devrelerle kaskat bağlanabilir. Ayrıca, devrenin simetrik iki kutuplama gerilim girişi de yüksek empedanslı olup, kutuplama gerilimleri herhangi ek devreye gereksinim duyulmadan bağlanabilmektedir. Hazırlanan devrenin diğer bir üstün yönü ise, düşük güç tüketimine sahip olmasıdır. Hazırlanan konfigürasyon, yalnızca altı adet MOS transistörden oluşmaktadır. Buna karşın, hazırlanan devre bazı aktif eleman eşlenmelerine gereksinim duymaktadır. Yapılan simülasyonlar, öne sürülen kuramı desteklemektedir.

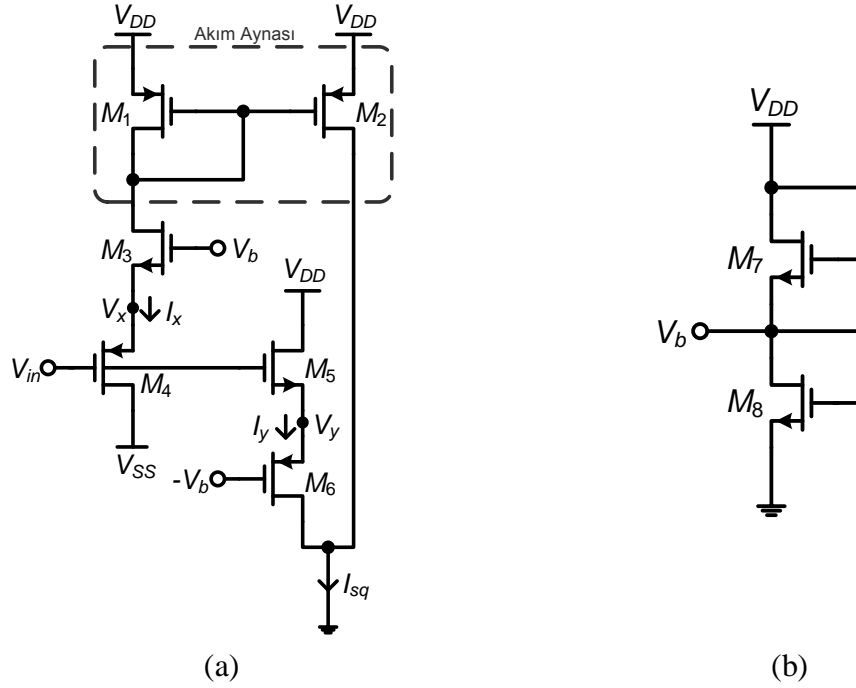
5.1.2 Yöntem

Hazırlanan gerilim girişli ve akım çıkışlı kare alıcı devre Şekil 5.1a'da görülmektedir. Devrede sadece altı adet MOS transistör ($M_1 - M_6$) ve iki adet kutuplama gerilimi ($\pm V_b$) bulunmaktadır. Şekil 5.1a'da verilen devrede, bütün MOS transistörlerin doyum bölgesinde çalıştığı varsayılmaktadır. M_1 ve M_2 transistörleri, akım aynası oluşturmak üzere kullanılmıştır. Doyum bölgesinde çalışan PMOS ve

NMOS transistörlerin akaç akımları, kare yasası ilişkisine göre, sırasıyla, aşağıdaki gibi verilebilir:

$$I_{Dp} = \frac{k_p}{2} (V_{SG} - |V_{TP}|)^2 \quad (5.1a)$$

$$I_{Dn} = \frac{k_n}{2} (V_{GS} - V_{TN})^2 \quad (5.1b)$$



Şekil 5.1: (a) Hazırlanan kare alıcı devre şeması, (b) Kutuplama gerilimi üretme devresi (Maloberti 2001).

Şekil 5.1a'da verilen $M_3 - M_6$ transistörlerinin akaç akımları, sırasıyla, aşağıdaki şekilde ifade edilebilir:

$$I_{D3} = \frac{k_n}{2} (V_b - V_x - V_{TN})^2 \quad (5.2a)$$

$$I_{D4} = \frac{k_p}{2} (V_x - V_{in} - |V_{TP}|)^2 \quad (5.2b)$$

$$I_{D5} = \frac{k_n}{2} (V_{in} - V_y - V_{TN})^2 \quad (5.2c)$$

$$I_{D6} = \frac{k_p}{2} (V_y + V_b - |V_{TP}|)^2 \quad (5.2d)$$

M_1 ile M_6 arasındaki tüm transistörlerin geçiş iletkenliği parametresinin K olduğu kabul edilirse, M_3 'ten M_4 'e doğru akan I_x akımının ve M_5 'ten M_6 'ya doğru akan I_y akımının ifadeleri aşağıdaki gibi yazılabilir:

$$I_x = \frac{K}{2}(V_b - V_x - V_{TN})^2 = \frac{K}{2}(V_x - V_{in} - |V_{TP}|)^2 \quad (5.3a)$$

$$I_y = \frac{K}{2}(V_{in} - V_y - V_{TN})^2 = \frac{K}{2}(V_y + V_b - |V_{TP}|)^2 \quad (5.3b)$$

Şekil 5.1b'de verilen kutuplama gerilimi üretme devresi (Maloberti 2001), hazırlanan devreye kutuplama gerilimi sağlamak için kullanılarak Şekil 5.1b'deki devre yeniden düzenlenmelidir. V_b kutuplama gerilimi için aşağıdaki eşitlik sağlanmalıdır:

$$V_b = |V_{TP}| + V_{TN} \quad (5.4)$$

V_b gerilimi, $k_{n8} \ll k_{n7}$ seçilerek elde edilebilir. Buna karşın $-V_b$ gerilimini elde etmek için, iki adet PMOS transistör ve güç kaynağı olarak V_{SS} kullanılmalıdır. $K/2$ terimlerinin yok edilmesi ve eşitlik (5.3a) ve (5.3b)'nin her iki tarafının karekökünün alınması sonucunda, sırasıyla, aşağıdaki eşitlikler elde edilir:

$$V_b - V_x - V_{TN} = V_x - V_{in} - |V_{TP}| \quad (5.5a)$$

$$V_{in} - V_y - V_{TN} = V_y + V_b - |V_{TP}| \quad (5.5b)$$

Eşitlik (5.4)'te verilen V_b ifadesinin, eşitlik (5.5a) ve (5.5b)'de yerine yazılmasıyla,

$$|V_{TP}| + V_{TN} - V_x - V_{TN} = V_x - V_{in} - |V_{TP}| \quad (5.6a)$$

$$V_{in} - V_y - V_{TN} = V_y + |V_{TP}| + V_{TN} - |V_{TP}| \quad (5.6b)$$

elde edilir. V_{TN} ve $|V_{TP}|$ gerilimlerinin yok edilmesiyle, V_x ve V_y gerilimleri aşağıdaki gibi hesaplanır:

$$V_x = \frac{V_{in}}{2} + |V_{TP}| \quad (5.7a)$$

$$V_y = \frac{V_{in}}{2} - V_{TN} \quad (5.7b)$$

Hazırlanan kare alıcının I_{sq} çıkış akımı,

$$I_{sq} = I_x + I_y \quad (5.8)$$

veya

$$I_{sq} = \frac{K}{2} (V_x - V_{in} - |V_{TP}|)^2 + \frac{K}{2} (V_{in} - V_y - V_{TN})^2 \quad (5.9)$$

olarak ifade edilebilir. Sonuç olarak, eşitlik (5.7a) ve (5.7b)'de bulunan V_x ve V_y ifadelerinin eşitlik (5.9)'da yerine yazılmasıyla aşağıdaki I_{sq} çıkış akımı eşitliği elde edilir:

$$I_{sq} = \frac{K}{4} V_{in}^2 \quad (5.10)$$

Eşitlik (5.10)'dan görüldüğü üzere, çıkış akımı, $K/4$ faktörü ile V_{in}^2 teriminin çarpımıdır.

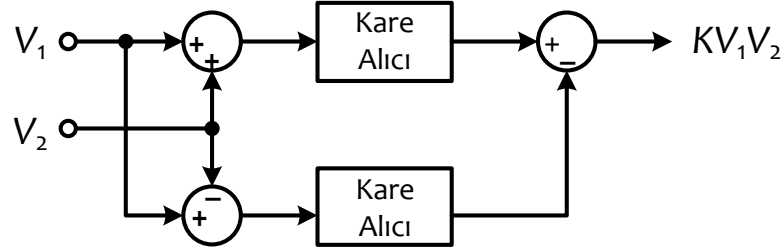
5.1.3 Analog Dört Kadranlı Çarpıcı Uygulaması

Hazırlanan analog çarpıcının çalışma prensibi, aşağıda eşitliği verilen kare farkı özdeşliğine dayanmaktadır:

$$(x+y)^2 - (x-y)^2 = 4xy \quad (5.11)$$

Hazırlanan analog çarpıcının blok şeması, Şekil 5.2'de verilmiştir. Devre, Şekil 5.1a'da verilen iki kare alıcı devrenin kullanılmasıyla oluşturulmuştur. Kare alıcı devrelerin giriş sinyalleri, sırasıyla, $V_1 + V_2$ ve $V_1 - V_2$ olarak uygulanmıştır. Burada V_1 ve V_2 çarpımı alınacak giriş gerilimlerini ifade etmektedir. Çarpım işleminin gerçekleştirilebilmesi için, bir toplayıcı ve bir fark alıcı devre gerekmektedir. Hazırlanan çarpıcı devresinin çıkış akımı aşağıdaki gibi hesaplanabilir:

$$I_{out} = \frac{K}{4}(V_1 + V_2)^2 - \frac{K}{4}(V_1 - V_2)^2 = KV_1V_2 \quad (5.12)$$



Şekil 5.2: Hazırlanan analog çarpıcı blok şeması.

5.1.4 Simülasyon Sonuçları

Simülasyonlar; EK A'da verilen düzey-7, 0.25 μm TSMC CMOS teknoloji parametreleri kullanılarak gerçekleştirilmiştir (Bkz. Tablo A.3 ve Tablo A.4). Simülasyonlarda, kare alıcı devrenin çıkışı toprağa bağlanmıştır. Devrede kullanılan transistörlerin boyutları Tablo 5.1'de verilmiştir. Simülasyonlarda kullanılan bazı teknoloji parametreleri, $V_{TN0} = 0.38 \text{ V}$, $V_{TP0} = -0.57 \text{ V}$, $\mu_{0N} = 294.41 \text{ cm}^2/\text{V.s}$, $\mu_{0P} = 104.40 \text{ cm}^2/\text{V.s}$ ve $T_{OX} = 5.7 \text{ nm}$ olarak alınmıştır.

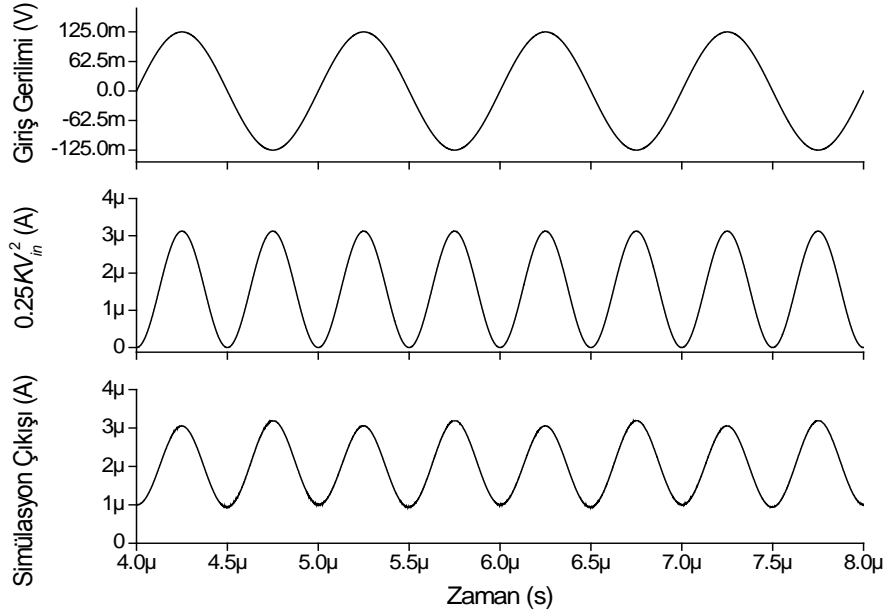
Tablo 5.1: MOS transistör boyutları.

Transistör Tipi	$W (\mu\text{m}) / L (\mu\text{m})$
PMOS transistörler M_1, M_2, M_4, M_6	21/0.5
NMOS transistörler M_3, M_5	7/0.5

Şekil 5.1a'da verilen devrede simetrik DC güç kaynağı gerilimleri $\pm 1.25 \text{ V}$ olarak seçilmiştir. V_b kutuplama gerilimi ise 0.9 V olarak uygulanmıştır.

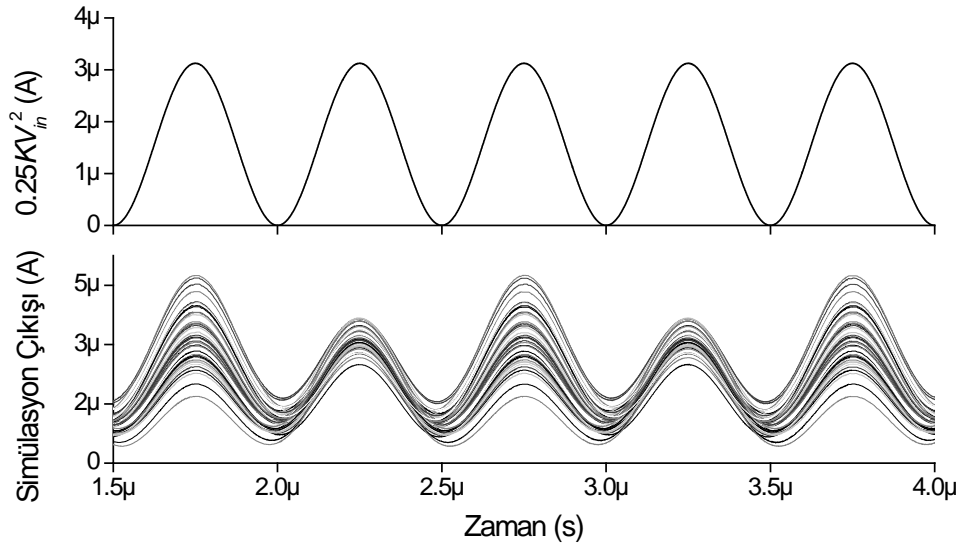
Şekil 5.3 ile Şekil 5.8 arasındaki simülasyonlar için, hazırlanan kare alıcı devrenin girişine 125 mV tepe değerine sahip 1 MHz frekansında bir sinüzoidal gerilim işareti uygulanmıştır. Devrenin çıkış karakteristikleri Şekil 5.3'te

gösterilmektedir. Simülasyon sonucundan, hazırlanan kare alıcı devrenin çıkışındaki işaretin yaklaşık $1 \mu\text{A}$ değerinde çok küçük bir DC sapma gerilimine sahip olduğu görülür. Oluşan bu sapmanın, devrede kullanılan transistörlerin ideal olmayan durumundan kaynaklanmaktadır.



Şekil 5.3: Hazırlanan kare alıcı devrenin giriş ve ilgili çıkış karakteristiği.

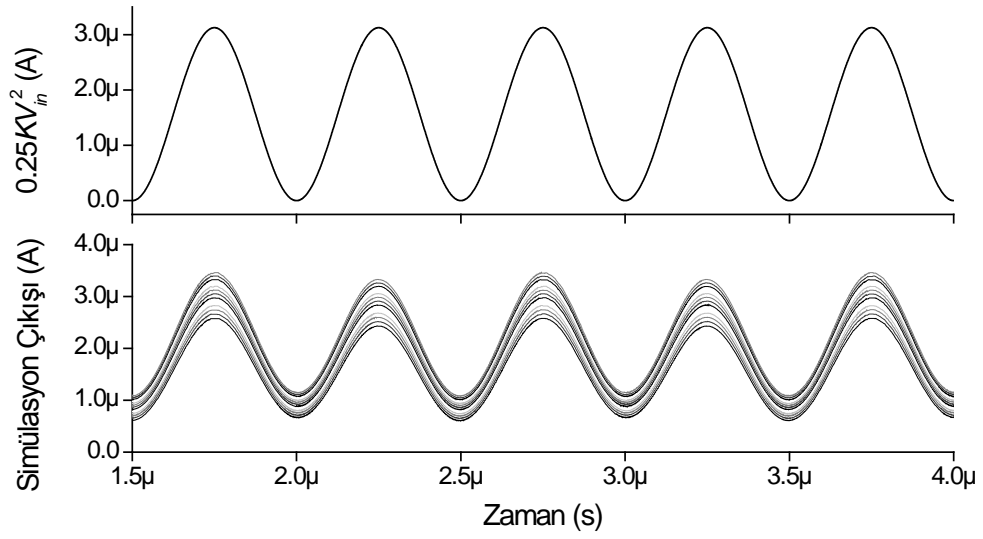
Hazırlanan kare alıcı devredeki tüm MOS transistörlerin V_{TP} ve V_{TN} parametrelerinin Gaussian dağılımına göre %1 oranında değişimiyle zaman ortamındaki çıkışın değişiminin izlendiği 50 adımlı bir Monte Carlo analizi gerçekleştirilmiştir. Elde edilen sonuç Şekil 5.4'te verilmiştir. Simülasyon sonucunda devrenin eşik gerilimi değişimlerine duyarlı olduğu görülmektedir. Eğer giriş gerilimi yeterince yüksek olursa, eşik gerilimi değişiminin etkileri ihmal edilebilir.



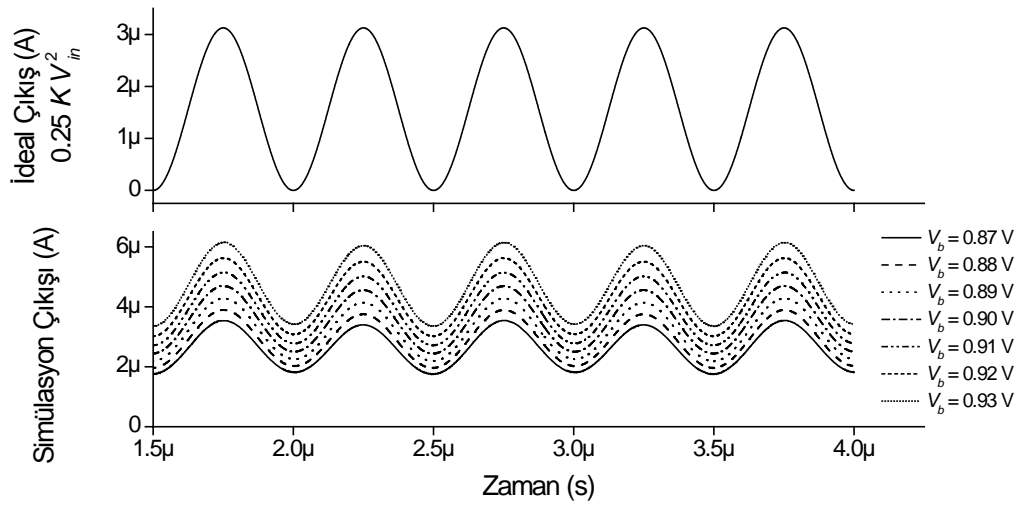
Şekil 5.4: Eşik gerilimlerinin Gaussian dağılımına göre %1 oranında değişimi ile gerçekleştirilen Monte Carlo analizi.

Hazırlanan kare alıcı devrenin M_3 ve M_5 transistörlerinin W parametrelerinin $5 \mu\text{m}$ ile $8 \mu\text{m}$ arasında $0.25 \mu\text{m}$ adımlarla değiştirilmesiyle elde edilen ideal ve simülasyon çıkış cevabı, Şekil 5.5'te verilmektedir. Simülasyon sonuçlarında, hazırlanan kare alıcı devrenin, MOS transistör boyutlarının değişiminden çok az etkilendiği görülmüştür.

Hazırlanan kare alıcı devrenin girişine 125 mV tepe genlik değerine ve 1 MHz frekansına sahip bir sinüzoidal gerilim işareti uygulanarak, kutuplama gerilimleri ($\pm V_b$) 0.87 V ile 0.93 V arasında değiştirilmiştir. İdeal ve simülasyon çıkışları, Şekil 5.6'da çizdirilmiştir. Simülasyon sonucundan da görüldüğü üzere, V_b değerinin artmasıyla, çıkışta bir sapma gerilimi oluşmuştur.



Şekil 5.5: MOS transistörlerin W parametresinin $5 \mu\text{m}$ ile $8 \mu\text{m}$ arasında $0.25 \mu\text{m}$ adımlarla değiştirilmesiyle elde edilen adım analizi.



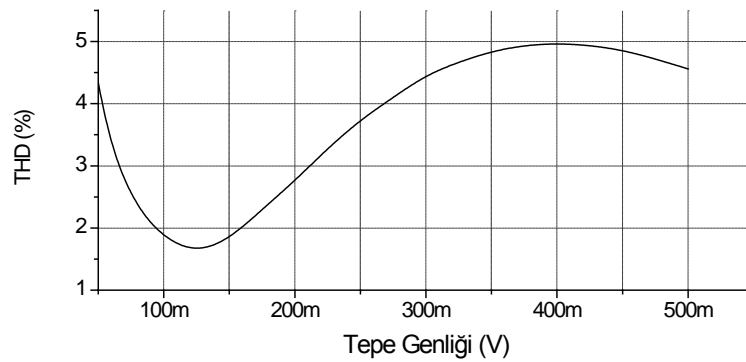
Şekil 5.6: Hazırlanan kare alıcı devrenin kutuplama gerilimlerinin ($\pm V_b$) değişimine göre ideal ve simülasyon çıktıları.

SPICE simülasyonlarında, hazırlanan kare alıcı devrenin toplam güç tüketimi, yaklaşık olarak, $4.02 \mu\text{W}$ olarak bulunmuştur. Ayrıca, hazırlanan devreye, 1 MHz frekansında sinüzoidal giriş işaretinin tepe genliği değiştirilerek uygulanmış ve THD değerleri hesaplanmıştır. THD değerlerindeki değişim Şekil 5.7’de görülmektedir.

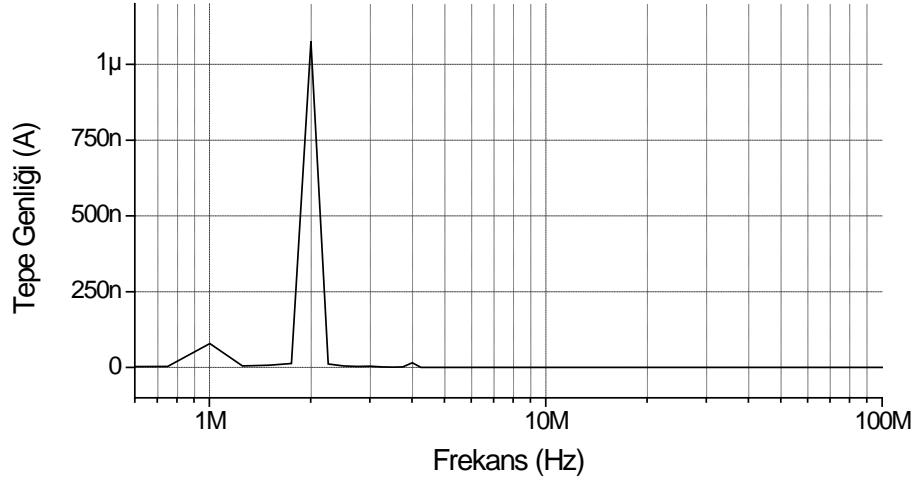
Bu simülasyonda, kutuplama gerilimleri ± 0.9 V değerinde sabitlenmiştir. Minimum THD değeri, 125 mV değerinde % 1.62 olarak elde edilmiştir. Şekil 5.7’de görüldüğü üzere, THD değerleri kabul edilebilir düzeydedir. Ayrıca, çıkışa iki NMOS transistör ile bir akım aynası eklendiği takdirde, hazırlanan kare alıcının çıkış empedansı da yüksek olacaktır. Buna karşın, THD bir miktar artacaktır.

Hazırlanan kare alıcı devrenin 2 MHz frekansında elde edilen hızlı Fourier dönüşümü grafiği ise Şekil 5.8’de verilmektedir. Şekil 5.8’de, 1 MHz frekansında 125 mV tepe genliğine sahip sinüzoidal gerilim işareti, hazırlanan kare alıcı devrenin girişine uygulandığında, çıkış akımı, beklendiği gibi, 2 MHz frekansında elde edilmiştir.

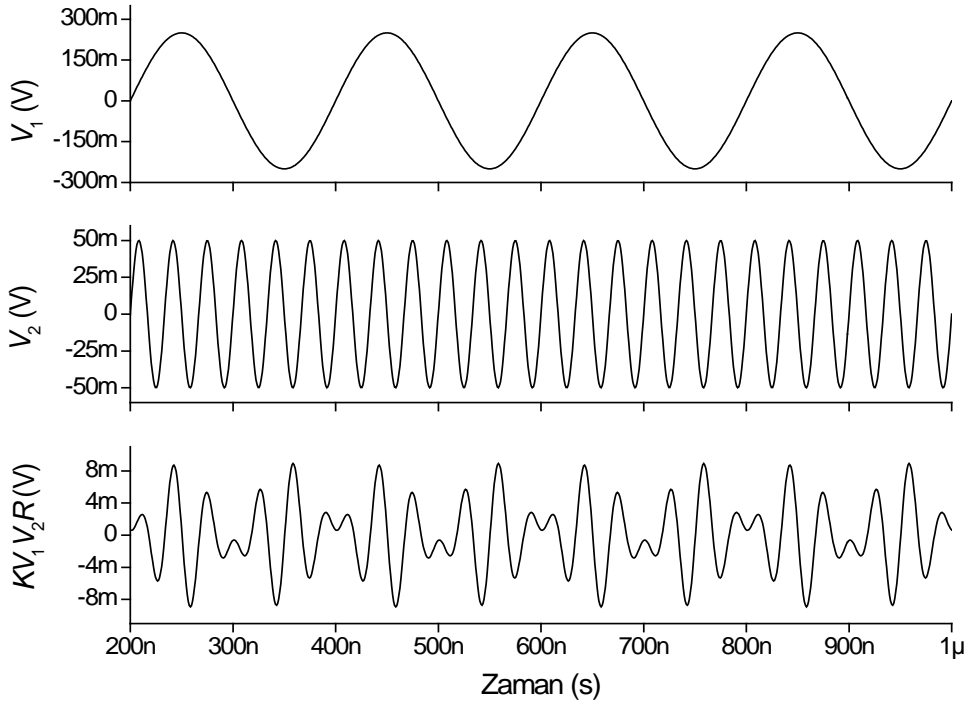
Şekil 5.9’da, hazırlanan analog dört kadranlı çarpıcı devresinin zaman ortamı analizi sonuçları görülmektedir. Bu simülasyonda, $V_1(t) = 250 \times 10^{-3} \sin(2\pi \times 5 \times 10^6)$ V, $V_2(t) = 50 \times 10^{-3} \sin(2\pi \times 30 \times 10^6)$ V ve $K = 363.48 \mu A/V^2$ olarak seçilmiştir. Devrenin çıkışındaki çarpıcı gerilimini elde etmek için, çıkışa $R = 1$ k Ω değerinde bir yük direnci bağlanmıştır. Bu nedenle, çıkış gerilimi, $V_{out} = KV_1(t)V_2(t)R$ şeklinde yazılabilir. Şekil 5.9’da, simülasyon çıkış akımı, V_1 ve V_2 giriş gerilimleri ile K faktörünün çarpımına eşit bulunmuştur.



Şekil 5.7: Uygulanan sinüzoidal işaretin tepe genliğine göre toplam harmonik bozulma.



Şekil 5.8: Hazırlanan kare alıcının 2 MHz frekansında hızlı Fourier dönüşümü.



Şekil 5.9: Hazırlanan çarpıcı devresinin giriş/çıkış cevabı.

Şekil 5.3 ile Şekil 5.9 arasında verilen simülasyon sonuçlarında görüldüğü üzere, ideal ve simülasyon sonuçları birbirine yakındır. Buna karşın oluşan çok küçük sapmalar, MOS transistörlerin iç parazitik kapasitörleri gibi ideal olmayan durumlardan kaynaklanmaktadır. Bu yüzden, frekans yükseldikçe, çıkıştaki bozulma artmaktadır.

5.2 Transkondüktör Tabanlı Analog Kare Alıcı

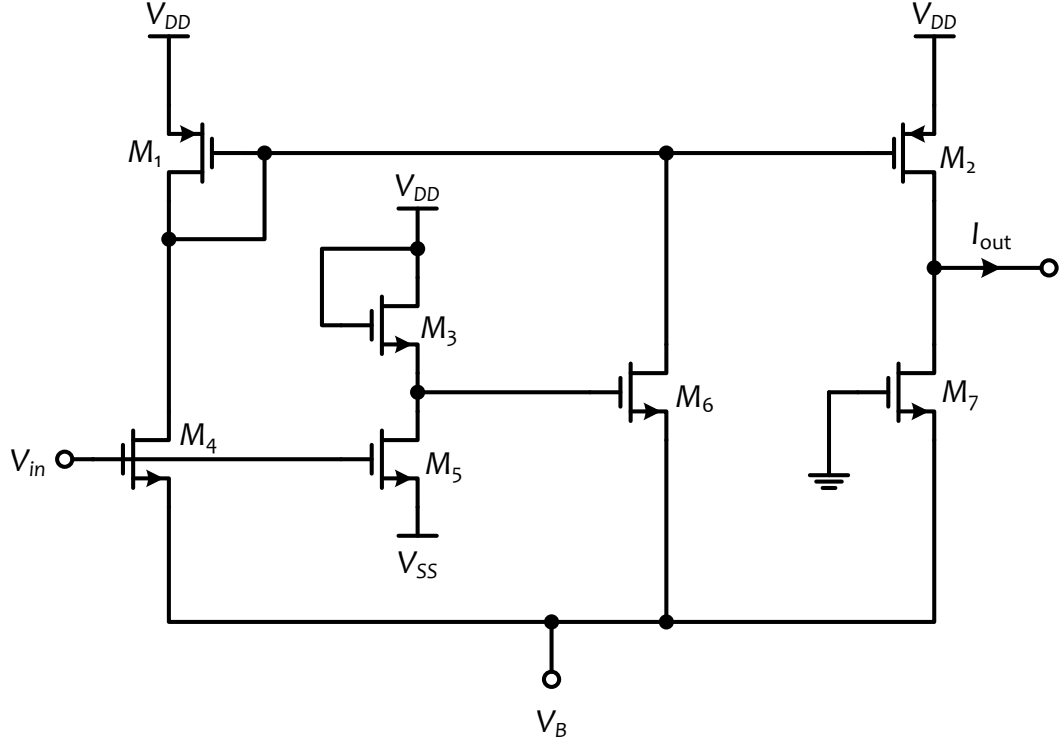
Bu başlık altında, Bölüm 4'te verilen ayarlanabilir transkondüktör devresinden türetilen analog kare alıcı uygulaması anlatılmaktadır.

5.2.1 Giriş

Hazırlanan analog kare alıcı gerilim giriş ve akım çıkışlı olup, Şekil 4.1'de verilen transkondüktör devresine bir MOS transistör daha eklenerek türetilmiştir. Devrenin avantajı, yüksek giriş ve çıkış empedansına sahip olmasıdır. Yapılan simülasyonlar, devrenin çalışabilirliğini göstermektedir.

5.2.2 Yöntem

Şekil 4.1'de verilen devre yeniden düzenlendiğinde, Şekil 5.10'daki gibi bir analog kare alıcı devresi elde edilebilir. Hazırlanan devre, yedi MOS transistör (M_1 – M_7) ve bir kutuplama gerilimi (V_B) içermektedir. Gövde etkisini ortadan kaldırmak için, tüm transistörlerin gövdeleri kaynak uçlarına bağlanmıştır. Devrede, M_1 ve M_2 transistörleri, bir akım aynası oluşturmak üzere kullanılmıştır. M_3 ve M_5 transistörleri ise, $k_{n3} = k_{n5}$ olmak üzere, bir birim kazanç eviren yükselteç oluşturur (Razavi 2008, Minaei ve Yuce 2012^b). Hazırlanan devrede, kanal genişlik modülasyonu etkisi ihmal edilmiş olup, tüm MOS transistörler doyum bölgesinde çalışmaktadır.



Şekil 5.10: Transkondüktör tabanlı analog kare alıcı.

M_4 ve M_6 transistörlerinin geçiş iletkenliği parametreleri k_n ve M_7 transistörünün geçiş iletkenliği parametresi $2k_n$ kabul edilirse, M_4 , M_6 ve M_7 transistörlerinin akış akımları, sırasıyla, aşağıdaki gibi verilir:

$$I_{D4} = \frac{1}{2} k_n (V_{in} - V_B - V_{TN})^2 \quad (5.13a)$$

$$I_{D6} = \frac{1}{2} k_n (-V_{in} - V_B - V_{TN})^2 \quad (5.13b)$$

$$I_{D7} = k_n (-V_B - V_{TN})^2 \quad (5.13c)$$

Hazırlanan kare alıcı devrenin çıkış akımını (I_{out}) aşağıdaki gibi elde edilir:

$$\begin{aligned} I_{out} &= I_{D4} + I_{D6} - I_{D7} \\ &= k_n V_{in}^2 \end{aligned} \quad (5.14)$$

Eşitlik (5.14)'ten, çıkış akımının V_{in}^2 ve k_n parametrelerine bağlı olduğu görülmektedir. Hazırlanan kare alıcının istenen şekilde çalışabilmesi için, $V_B < -|V_{in}| - V_{TN}$ koşulunun sağlanması gerekir. Eğer, V_B gerilimi, V_{SS} 'ye yakın seçilirse, hazırlanan kare alıcının dinamik aralığı genişler, fakat güç tüketimi artar.

5.2.3 Simülasyon Sonuçları

Simülasyon sonuçları, SPICE programında, EK A'da verilen düzey-7 0.25 μm TSMC CMOS teknoloji parametreleri (bkz. Tablo A.3 ve Tablo A.4) kullanılarak elde edilmiştir. Simetrik DC güç kaynağı gerilimleri, $V_{DD} = -V_{SS} = 1.25$ V olarak uygulanmıştır. Şekil 5.10'daki devrede kullanılan transistörlerin boyutları (W / L), Tablo 5.2'de verilmiştir.

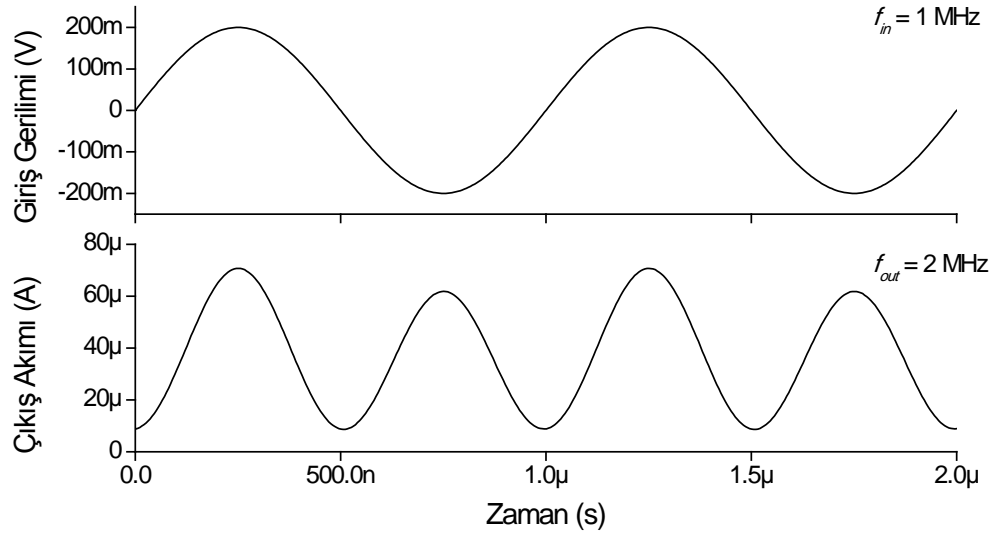
Tablo 5.2: MOS transistör boyutları.

Transistör Adı	Transistör Boyutu (W / L)
M_1, M_2	100 $\mu\text{m} / 1 \mu\text{m}$
M_3, M_4, M_5, M_6	10 $\mu\text{m} / 1 \mu\text{m}$
M_7	20 $\mu\text{m} / 1 \mu\text{m}$

Hazırlanan kare alıcı devreye 200 mV tepe genliğinde 1 MHz frekansına sahip bir sinüzoidal gerilim işareti uygulandığında, giriş gerilimi ve elde edilen çıkış akımının grafiği Şekil 5.11'de gösterilmektedir. Burada, kutuplama gerilimi $V_B = -0.8$ V olarak seçilmiştir. Elde edilen grafikte, giriş gerilimi frekansı $f_{in} = 1$ MHz iken, çıkış akımı frekansı $f_{out} = 2$ MHz'dir.

Yapılan simülasyonda, devrenin girişine 200 mV tepe genliğinde 1 MHz frekansına sahip bir sinüzoidal bir işaret uygulanırken elde edilen THD değeri, %1.76 olarak hesaplanmıştır.

Simülasyon sonucunda hazırlanan kare alıcı devrenin çalışabilirliği görülmektedir. Çıkış akımında meydana gelen hafif düzeydeki bozulma, devredeki elemanların ideal olmayan etkilerinden kaynaklanmaktadır.



Şekil 5.11: Hazırlanan transkondüktör tabanlı kare alıcı devrenin sinüzoidal işaret giriş ve çıkış cevabı.

6. BİRİNCİ DERECEDEDEN TÜM GEÇİREN SÜZGEÇLERİN TASARIMI

Bu bölümde, tez kapsamında hazırlanan dört adet ayarlanabilir birinci dereceden tüm geçiren süzgeç devresi tanıtılmaktadır.

6.1 MOSFET Tabanlı Birinci Dereceden Tüm Geçiren Süzgeç

6.1.1 Giriş

Bu çalışma kapsamında, üç adet NMOS transistör kullanılarak gerçekleştirilen gerilim modlu birinci dereceden tüm geçiren süzgeç devresi önerilmiştir. Hazırlanan tüm geçiren süzgecin rezonans frekansı, bir kontrol akımı yardımıyla değiştirilebilmektedir. Hazırlanan süzgecin ana özelliklerinden birisi, yüksek giriş empedansına sahip olmasıdır. Bu nedenle, hazırlanan devre, diğer gerilim modlu devrelere rahatlıkla kaskat bağlanabilir. Ayrıca, hazırlanan süzgeç, herhangi bir kritik eleman eşlenmesine gereksinim duymamaktadır. Ancak, devrenin çıkış empedansı düşük değildir. Bununla birlikte, devre tasarımında bir yüzen kapasitör kullanılmıştır, ancak yüzen elemanlar, artık günümüz tümleşik devre teknolojilerinde kolaylıkla gerçekleştirilebilmektedir (Baker 2005). Zaman ve frekans ortamında gerçekleştirilen simülasyon sonuçları, öne sürülen kuramı en iyi şekilde desteklemektedir.

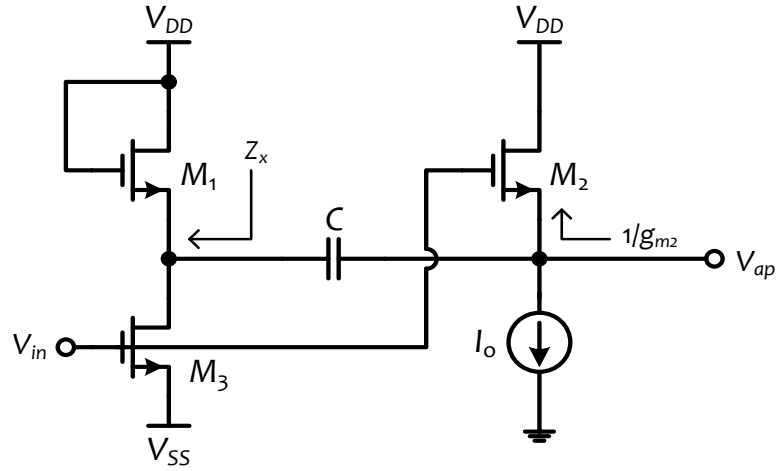
6.1.2 Yöntem

Hazırlanan birinci dereceden gerilim modlu tüm geçiren süzgeç, Şekil 6.1’de görülmektedir. Hazırlanan süzgeç, üç adet NMOS transistör (M_1 - M_3), bir adet kapasitör ve bir kontrol akımı (I_0) içermektedir. M_1 ve M_3 transistörleri, birim kazanç eviren yükselteç olarak işlev görmektedir (Minaei ve Yuce 2012^b). Bu nedenle, M_3 transistörünün akış akımı $V_{D3} = -V_{in}$ olarak ifade edilebilir. Şekil 6.1’deki devreden, ideal olarak, aşağıdaki eşitlik yazılabilir:

$$(V_{in} - V_{ap})g_{M_2} = (V_{ap} - (-V_{in}))sC \quad (6.1)$$

Burada, g_{M_2} terimi M_2 transistörünün geçiş iletkenliğini ifade eder ve aşağıdaki şekilde tanımlanır:

$$g_{M_2} = \sqrt{2k_{n_2} I_o} \quad (6.2)$$



Şekil 6.1: Hazırlanan MOSFET tabanlı tüm geçiren süzgeç.

Eşitlik (6.1)'den, hazırlanan tüm geçiren süzgecin transfer fonksiyonu,

$$\frac{V_{ap}}{V_{in}} = \frac{1 - \frac{sC}{g_{M_2}}}{1 + \frac{sC}{g_{M_2}}} \quad (6.3)$$

olarak bulunur. Elde edilen sonuç, $\omega_o = g_{M_2}/C$ açısız rezonans frekansına sahip evirmeyen birinci dereceden tüm geçiren süzgeç cevabıdır. Devrenin faz cevabı, aşağıdaki eşitlikle hesaplanabilir:

$$\varphi(\omega) = -2 \tan^{-1} \left(\frac{\omega C}{g_{M_2}} \right) \quad (6.4)$$

Burada, frekans sıfırdan sonsuza doğru giderken, faz açısı 0° 'den -180° 'ye değişir. Z_x parazitik empedansı ise aşağıdaki gibi tanımlanır:

$$Z_x = R_x \parallel \frac{1}{sC_x} \quad (6.5)$$

R_x ve C_x parametreleri, sırasıyla parazitik direnç ve parazitik kapasitansı ifade eder. Bu değerler, aşağıdaki gibi hesaplanabilir:

$$R_x = \frac{1}{g_{M_1}} \parallel r_{o1} \parallel r_{o3} \quad (6.6a)$$

$$C_x \cong C_{gs1} + C_{ds1} + C_{gd3} + C_{ds3} \quad (6.6b)$$

Parazitik empedanslar dikkate alındığında, hazırlanan tüm geçiren süzgecin transfer fonksiyonu aşağıdaki gibi hesaplanmıştır:

$$\frac{V_{ap}}{V_{in}} = \frac{g_{M_2} - \frac{sC(1 + sC_x R_x)}{1 + s(C + C_x)R_x}}{g_{M_2} + \frac{sC(1 + sC_x R_x)}{1 + s(C + C_x)R_x}} \quad (6.7)$$

Ayrıca, devrenin amacına uygun çalışabilmesi için aşağıdaki koşulların karşılanması gereklidir:

$$\omega C_x R_x \ll 1 \quad (6.8a)$$

$$\omega(C + C_x)R_x \ll 1 \quad (6.8b)$$

Eşitsizlik (6.8)'den, aşağıdaki çalışma frekansı koşulu elde edilir:

$$f \leq \frac{0.1}{2\pi} \frac{1}{(C + C_x)R_x} \quad (6.9)$$

Devrenin amacına uygun çalıştırılabilmesi için, $1/g_{M2} \ll r_{o2}$ koşulu sağlanmalıdır. Bunun için M_2 transistörünün kanal uzunluğunu (L) artırmak gereklidir (Razavi 2001).

6.1.3 Simülasyon Sonuçları

Hazırlanan tüm geçiren süzgecin simülasyonları, SPICE programında EK A'da verilen $0.13 \mu\text{m}$ IBM CMOS teknoloji parametreleri (bkz. Tablo A.1) kullanılarak gerçekleştirilmiştir. Hazırlanan süzgece uygulanan simetrik güç kaynağı gerilimleri $V_{DD} = -V_{SS} = 0.75 \text{ V}$ olarak seçilmiştir. Tüm transistörlerin gövdeleri, ilgili kaynak uçlarına bağlanmıştır. NMOS transistörlerin boyutları, Tablo 6.1'de verilmiştir.

Tablo 6.1: MOS transistör boyutları.

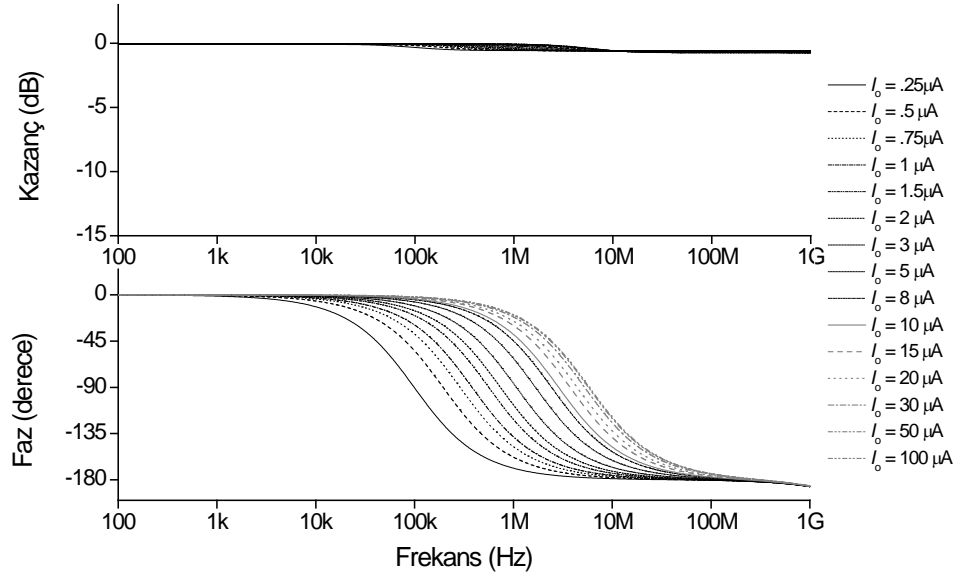
Transistör Adı	$W (\mu\text{m}) / L (\mu\text{m})$
M_1 ve M_3	130/0.52 μm
M_2	1.3/0.52 μm

Simülasyonlarda, Şekil 6.1'deki devrede yer alan birim kazanç eviren yükselteç bloğunun parazitik direnci (R_x), 25.54 Ω olarak hesaplanmıştır. Ayrıca, devrenin parazitik kapasitörünün (C_x) değeri, 416 fF olarak bulunmuştur.

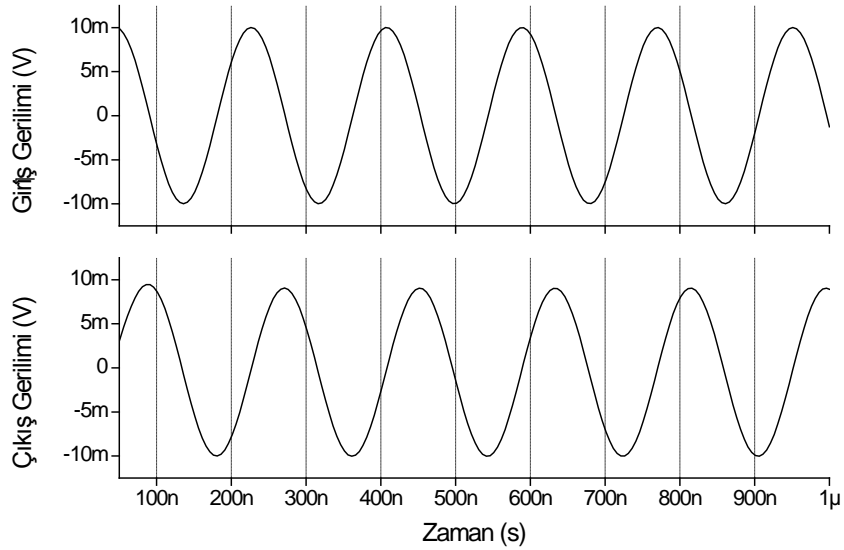
Hazırlanan tüm geçiren süzgecin kazanç ve faz cevabı, $C = 10 \text{ pF}$ olarak seçildiğinde, Şekil 6.2'deki gibidir. Kazanç eğrisi yaklaşık olarak -1 dB civarındadır, bu kabul edilebilir bir kazanç değeridir.

I_o kontrol akımı, aşağıdaki tüm simülasyonlar için $100 \mu\text{A}$ olarak seçilmiştir. Ayrıca, rezonans frekansının 5.52 MHz olması için, $C = 10 \text{ pF}$ olarak alınmıştır.

Hazırlanan tüm geçiren süzgecin zaman ortamı performansını elde etmek üzere, tepe değeri 10 mV olan 5.52 MHz frekansına sahip bir sinüzoidal giriş işareti hazırlanan süzgece uygulanmıştır. Devrenin giriş/çıkış cevabı Şekil 6.3'te verilmektedir. Simülasyon sonucunda beklendiği gibi, giriş ve çıkış işaretleri arasındaki faz farkı yaklaşık 90° olmuştur.



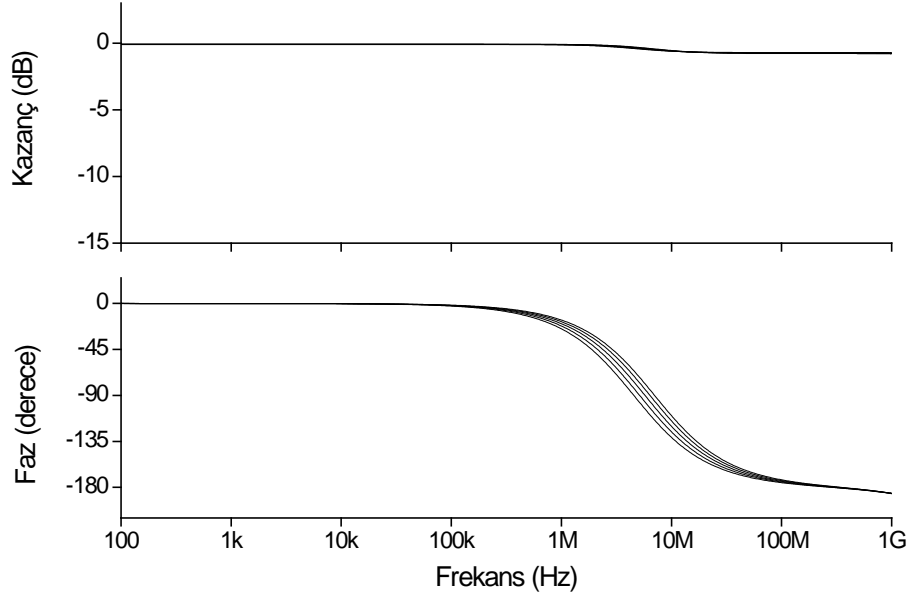
Şekil 6.2: Hazırlanan tüm geçiren süzgecin kazanç ve faz cevabı.



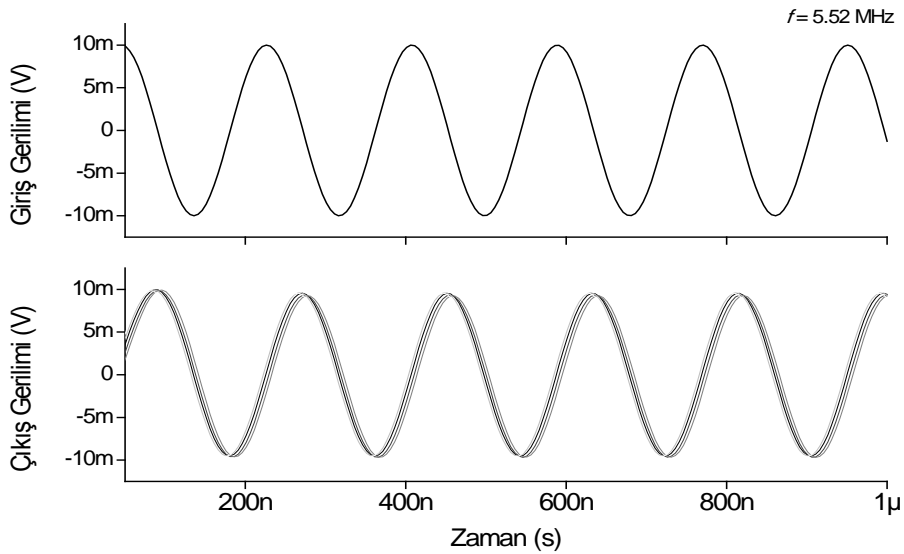
Şekil 6.3: Hazırlanan tüm geçiren süzgecin 5.52 MHz frekansına sahip sinüzoidal giriş işareti için giriş/çıkış cevabı.

Örnek olarak, Şekil 6.1'deki M_2 transistörünün W değerinin, $1.04\mu m$ ile $1.56\mu m$ arasında, $0.13\mu m$ adımlarla değiştirilmesi ile gerçekleştirilen adım analizi sonucunda elde edilen kazanç ve faz cevabı Şekil 6.4'te verilmektedir. Ayrıca, W değeri değişirken, hazırlanan tüm geçiren süzgecin girişine 10 mV tepe değerinde ve

5.52 MHz frekansında bir sinüzoidal işaret uygulandığında, elde edilen giriş ve çıkış gerilimleri Şekil 6.5'te çizdirilmiştir. M_2 transistörünün W değerinin değişmesiyle, kazançta çok az miktarda değişim olmasına karşın, sapma gerilimleri meydana gelmiştir.

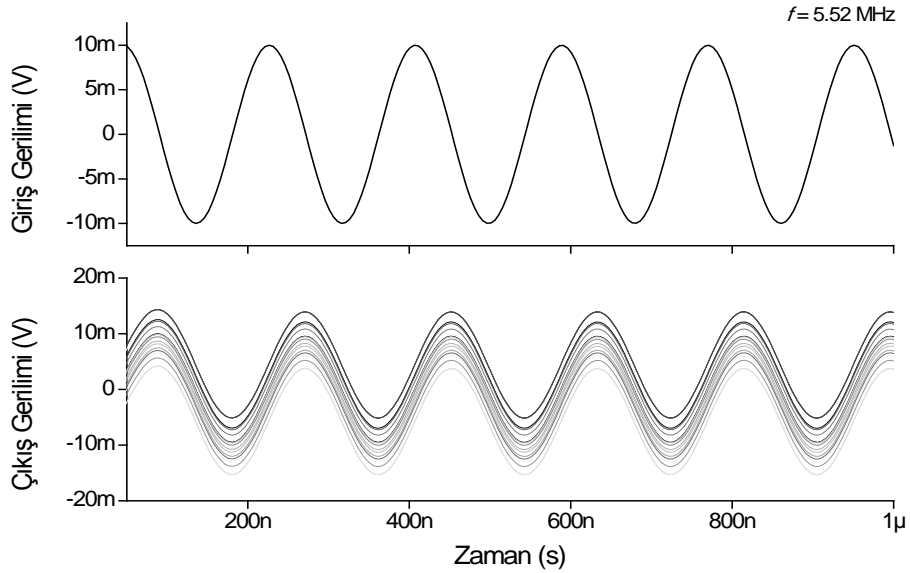


Şekil 6.4: M_2 transistörünün W değerinin $1.04 \mu\text{m}$ ile $1.56 \mu\text{m}$ arasında $0.13 \mu\text{m}$ adım değeriyle değişimine göre kazanç ve faz cevabı.



Şekil 6.5: M_2 transistörünün W parametresinin $1.04 \mu\text{m}$ ile $1.56 \mu\text{m}$ arasında $0.13 \mu\text{m}$ adım değeriyle değişimine göre sinüzoidal giriş işareti cevabı.

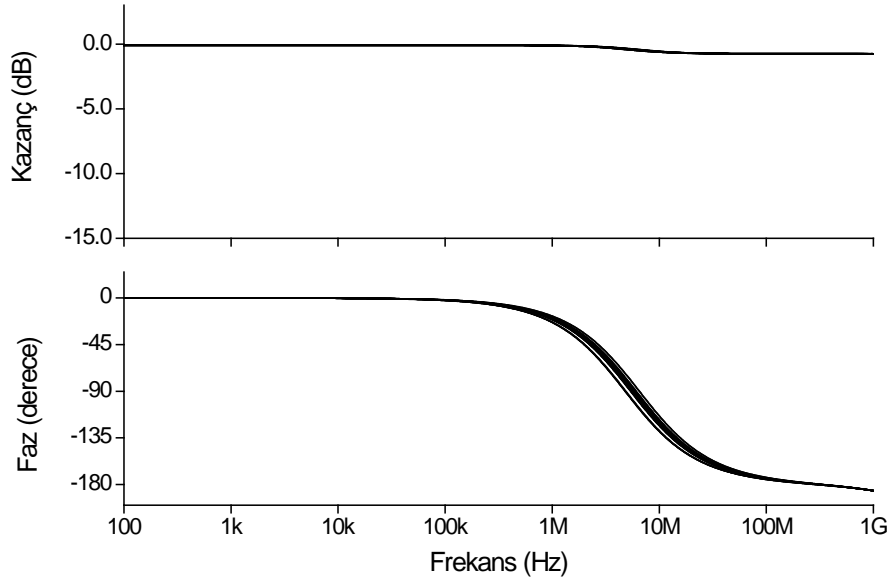
Şekil 6.1'deki transistörlerin V_{TH0} parametresinin %5 oranında değiştirilmesi ile gerçekleştirilen 20 adımlı Monte Carlo analizinde, hazırlanan devrenin girişine 10 mV tepe değerine sahip ve 5.52 MHz frekansında bir sinüzoidal işaret uygulanmıştır. Şekil 6.6'da elde edilen sonuçta, V_{TH0} parametresinin değişimiyle, çıkışta sapma gerilimlerinin oluştuğu görülmektedir.



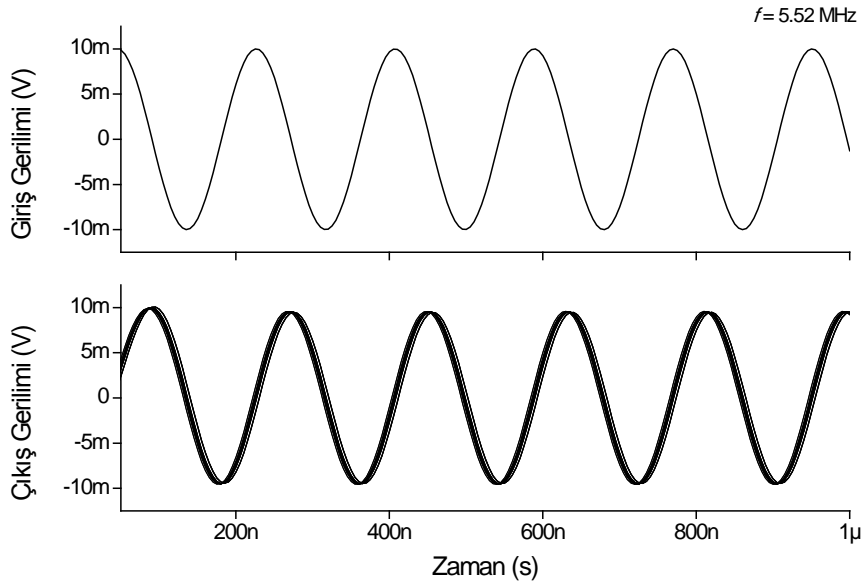
Şekil 6.6: Hazırlanan tüm geçiren süzgeç devresindeki transistörlerin V_{TH0} parametresinin %5 oranında değiştirilmesiyle elde edilen Monte Carlo analizi.

Hazırlanan tüm geçiren süzgecin frekans ve zaman ortamı cevaplarını göstermek üzere, C kapasitörünün değerinin %20 oranında değiştirilmesi ile elde edilen 20 adımlı Monte Carlo analizi, sırasıyla, Şekil 6.7 ve Şekil 6.8'de verilmektedir.

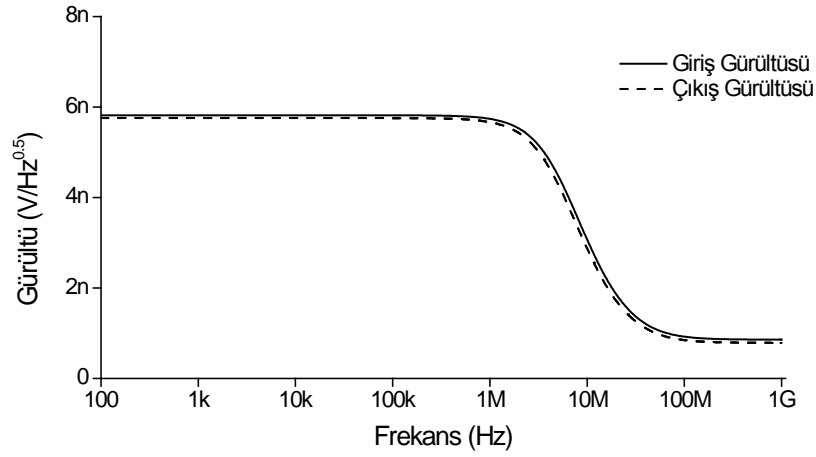
Hazırlanan tüm geçiren süzgecin giriş ve çıkış gürültüsü, Şekil 6.9'da çizdirilmiştir. Gürültü değerleri yeterince düşük seviyededir.



Şekil 6.7: Hazırlanan tüm geçiren süzgeç devresindeki C kapasitörünün değerinin %5 oranında değiştirilmesiyle elde edilen Monte Carlo analizi kazanç ve faz cevabı.

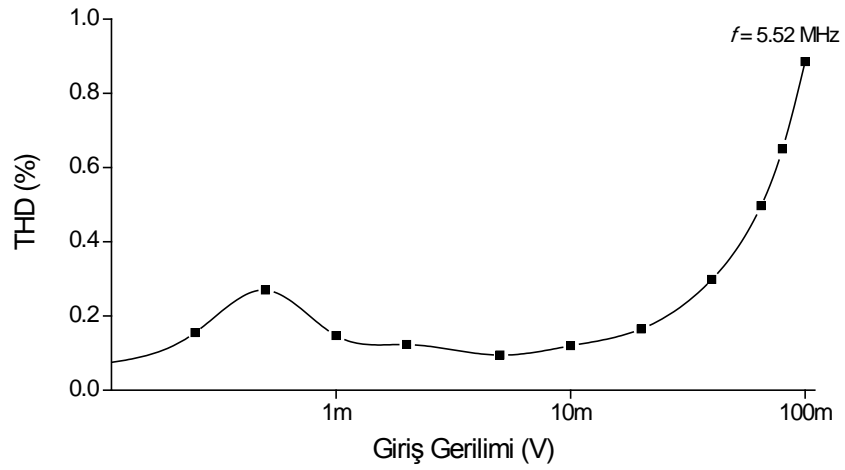


Şekil 6.8: Hazırlanan süzgeç devresindeki C kapasitörünün değerinin %5 oranında değiştirilmesiyle elde edilen Monte Carlo analizi sinüzoidal giriş işareti cevabı.



Şekil 6.9: Hazırlanan süzgeç devresinin giriş işaretinin frekansının değişimine göre giriş ve çıkış gürültüsü.

Hazırlanan tüm geçiren süzgecin girişine uygulanan 5.52 MHz frekansındaki sinüzoidal işaretin tepe değerinin değişimine göre elde edilen THD değerleri, Şekil 6.10'da görülmektedir. Hazırlanan devrenin THD değerleri %1'den düşüktür.



Şekil 6.10: Hazırlanan süzgecin girişine uygulanan 5.52 MHz frekansına sahip sinüzoidal giriş sinyalinin genlik değerlerinin değişimine göre THD değerleri.

SPICE simülasyonlarında, hazırlanan tüm geçiren süzgecin toplam güç tüketimi, yaklaşık olarak, 20.6 mW olarak bulunmuştur.

Elde edilen simülasyon sonuçları, kuramı iyi bir şekilde desteklemektedir. Buna karşın, simülasyon sonuçları ile kuramsal sonuçlar arasındaki küçük farklılıklar, devredeki elemanların parazitik empedansından kaynaklanmaktadır.

6.2 CCII- Tabanlı Birinci Dereceden Tüm Geçiren Süzgeç

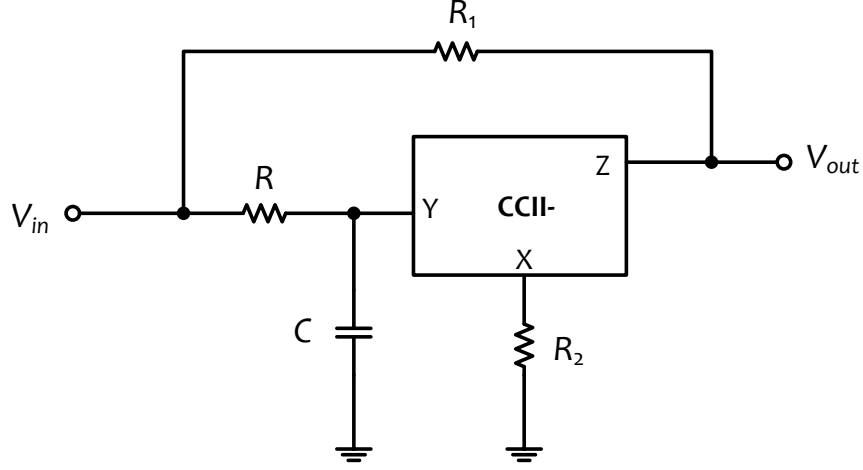
6.2.1 Giriş

Tez kapsamında, yeni bir gerilim modlu birinci dereceden tüm geçiren süzgeç tasarlanmıştır (Yucel ve Yuce 2014^b). CCII- elemanının X terminaline bağlı herhangi bir kapasitör olmamasına karşın, bir direnç seri bağlıdır. Bu nedenle, devre yüksek frekanslarda çalışabilmektedir (Yuce ve Minaei 2008). Hazırlanan tüm geçiren süzgecin rezonans frekansı, direnç değeri değiştirilerek ayarlanabilmektedir. Devre düşük güç tüketimine sahiptir, buna karşın bir eleman eşlenmesine gereksinim duymaktadır. Uygulama olarak, iki adet kapasitör içeren kuadratör osilatör verilmiştir. Ayrıca, hazırlanan tüm geçiren süzgecin ideal olmayan durum analizi de verilmiştir. Devrenin zaman ve frekans ortamında simülasyon sonuçları ve deneysel testler, kuramı en iyi şekilde doğrulamaktadır.

6.2.2 Yöntem

Hazırlanan gerilim modlu birinci dereceden tüm geçiren süzgeç devresi, Şekil 6.11'de görülmektedir. Hazırlanan tüm geçiren süzgeç, sadece bir adet CCII- elemanı, üç adet direnç (bunlardan birisi topraklanmıştır) ve bir adet topraklanmış kapasitör içermektedir. CCII- elemanının içyapısı için, Bruun (1995) tarafından sunulan devre kullanılmıştır (Bkz. Şekil 2.6). Tüm geçiren süzgeç transfer fonksiyonunu elde edebilmek için $R_1 = 2R_2$ olarak seçilmelidir. Devrenin transfer fonksiyonu aşağıdaki şekilde elde edilir:

$$\frac{V_{out}}{V_{in}} = -\frac{1 - sCR}{1 + sCR} \quad (6.10)$$



Şekil 6.11: Hazırlanan CCII- tabanlı tüm geçiren süzgecin devre şeması

Burada, devrenin faz cevabı aşağıdaki eşitlikle bulunabilir:

$$\varphi(\omega) = \pi - 2 \tan^{-1}(\omega CR) \quad (6.11)$$

Eşitlik (6.11)'e göre, faz değeri 180° 'den 0° 'ye doğru değişirken, frekans da sıfırdan sonsuza doğru değişmektedir. Şekil 6.11'de, R ve C elemanları yer değiştirirse, hazırlanan bir adet yüzen kapasitörlü ve iki adet topraklanmış dirençli tüm geçiren süzgeç devresi, sırasıyla, aşağıdaki transfer fonksiyonuna ve faz cevabına sahip olur:

$$\frac{V_{out}}{V_{in}} = \frac{1 - sCR}{1 + sCR} \quad (6.12a)$$

$$\varphi(\omega) = -2 \tan^{-1}(\omega CR) \quad (6.12b)$$

Ayrıca, hazırlanan tüm geçiren süzgecin açısız rezonans frekansı $\omega_0 = 1/(CR)$, devredeki direncin yerine, Wang (1990^a) ile Yuce ve diğ. (2011) tarafından yapılan çalışmalarda önerilen ayarlanabilir topraklanmış direnç konfigürasyonları kullanılarak kontrol edilebilir.

Şekil 6.11'de verilen devrenin ideal olmayan kazançlar dikkate alınarak gerçekleştirilen rutin analizi sonucunda, aşağıdaki transfer fonksiyonu elde edilir:

$$\frac{V_{out}}{V_{in}} = -\frac{\alpha\beta \frac{R_1}{R_2} - 1 - sCR}{sCR + 1} \quad (6.13)$$

Hazırlanan tüm geçiren süzgecin faz cevabı ise aşağıdaki eşitlikle elde edilebilir:

$$\phi(\omega) = \pi - \tan^{-1} \left(\frac{\omega CR}{\alpha\beta \frac{R_1}{R_2} - 1} \right) - \tan^{-1}(\omega CR). \quad (6.14)$$

İdeal olmayan kazançlar ve parazitik empedansların etkileri, Yuce (2008) tarafından yapılan çalışmada tartışılan yöntemlerle azaltılabilir.

6.2.3 Parazitik Empedansların Etkisi

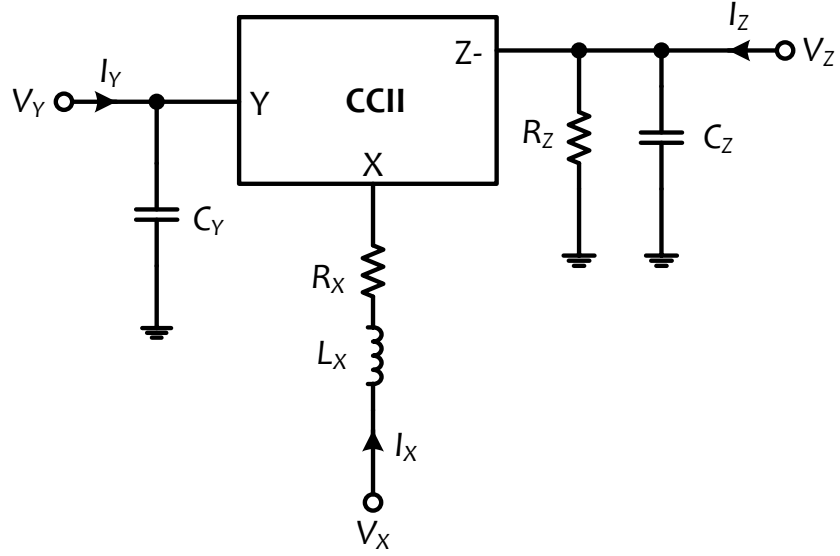
Parazitik empedansları bulunan ideal olmayan CCII- modeli, Şekil 6.12’de verilmiştir. Hazırlanan tüm geçiren süzgecin parazitik empedansların etkisi dikkate alınarak elde edilen transfer fonksiyonu aşağıdaki gibi elde edilebilir:

$$\frac{V_{out}}{V_{in}} = -\frac{\frac{R_1}{R_2} \left((1 + s(C + C_Y)R) \left(1 + \frac{R_X}{R_2} + \frac{sL_X}{R_2} \right) \right)^{-1}}{1 + \frac{R_1}{R_Z} + sC_Z R_1} \quad (6.15)$$

Eşitlik (6.15)’teki R_1 ve R_2 , aşağıdaki koşulları sağladığında, hazırlanan tüm geçiren süzgeç, doğru bir şekilde çalışabilir:

$$R_1 \ll \frac{R_Z}{\sqrt{1 + \omega^2 C_Z^2 R_Z^2}} \quad (6.16a)$$

$$R_2 \gg \sqrt{R_X^2 + \omega^2 L_X^2} \quad (6.16b)$$



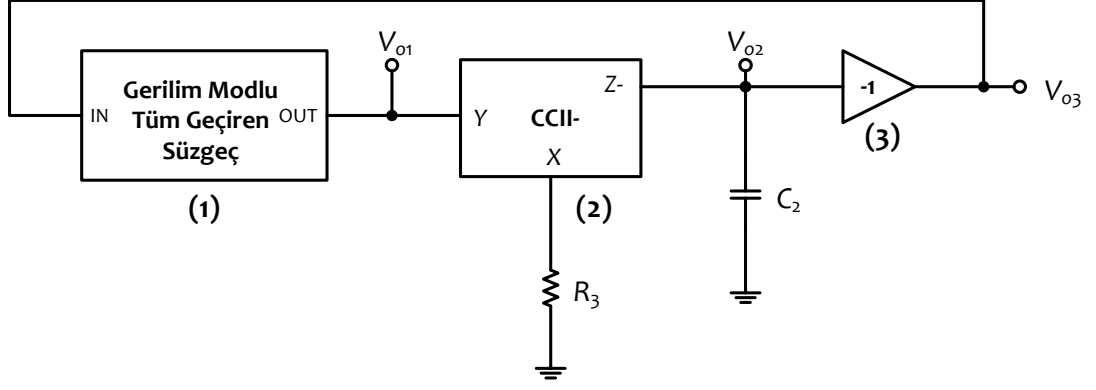
Şekil 6.12: Parazitik empedansların etkisi dikkate alınarak oluşturulan CCII- modeli.

Benzer şekilde, hazırlanan tüm geçiren süzgecin çalışma frekansı aşağıdaki ifade ile bulunur:

$$f \leq \frac{1}{2\pi} \min \left\{ \frac{\sqrt{0.01R_z^2 - R_1^2}}{C_z R_z R_1}, \frac{\sqrt{\frac{R_2^2}{0.01} - R_x^2}}{L_x} \right\} \quad (6.17)$$

6.2.4 Kuadratör Osilatör Uygulaması

Şekil 6.13'teki kuadratör osilatör, hazırlanan tüm geçiren süzgeç için bir uygulama örneği olarak tasarlanmıştır. Hazırlanan osilatör devresi, bir adet tüm geçiren süzgeç bloğu, bir adet CCII- elemanı, bir adet birim kazançlı eviren yükselteç, bir adet topraklanmış direnç ve bir adet topraklanmış kapasitör içermektedir. Şekil 6.14'teki diyot bağlantılı ortak kaynaklı (common-source, CS) devre, birim kazançlı eviren yükselteç olarak kullanılmıştır (Razavi 2008, Minaei ve Yuce 2012^b). CS devresinde, gövde etkisini engellemek için, tüm transistörlerin gövdeleri, ilgili kaynak uçlarına bağlanmıştır. Birim kazançlı eviren yükseltecin içyapısı, Şekil 6.14'te görülmektedir.



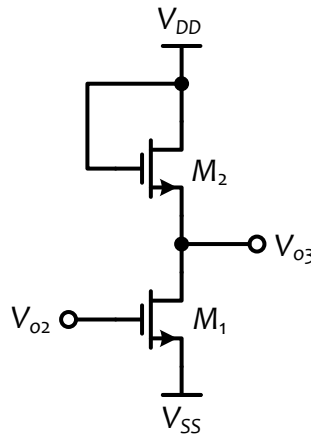
Şekil 6.13: Hazırlanan kuadratör osilatör uygulaması.

Devredeki V_{o1} ve V_{o3} gerilimleri, sırasıyla, aşağıdaki şekilde tanımlanır:

$$V_{o1} = \frac{j\omega C_2 R_3}{\alpha_2 \beta_2} V_{o2} \quad (6.18a)$$

$$V_{o3} = -\beta_3 V_{o2} \quad (6.18b)$$

Burada, β_2 terimi CCII- elemanının ideal olmayan gerilim kazancı, β_3 ise eviren yükseltecin gerilim kazancıdır (Razavi 2008, Minaei ve Yuce 2012^b). Ayrıca, NMOS transistör boyutları, birbirine eşit seçilmiştir.



Şekil 6.14: Birim kazançlı eviren yükselteç (Razavi 2008, Minaei ve Yuce 2012^b).

Hazırlanan osilatörün karakteristik denklemi,

$$D(s) = s^2 CC_2 RR_3 + s(C_2 R_3 - \alpha_2 \beta_2 \beta_3 CR) + \alpha_2 \beta_2 \beta_3 \left(\alpha_1 \beta_1 \frac{R_1}{R_2} - 1 \right) = 0 \quad (6.19)$$

şeklinde bulunur. Devrenin osilasyon koşulu ise aşağıdaki şekilde verilebilir:

$$C_2 R_3 = \alpha_2 \beta_2 \beta_3 CR \quad (6.20)$$

Hazırlanan osilatörün osilasyon frekansı f_o , aşağıdaki eşitlik ile hesaplanabilir:

$$f_o = \frac{1}{2\pi} \sqrt{\frac{\alpha_2 \beta_2 \beta_3 \left(\alpha_1 \beta_1 \frac{R_1}{R_2} - 1 \right)}{CC_2 RR_3}} \quad (6.21)$$

Burada, osilasyon frekansı, osilasyon koşulu bozulmadan R_1 ve R_2 dirençleri ile ayarlanabilir. Bunun dışında, (6.21)'deki eşitliğin geçerli olması için, $\alpha_1 \beta_1 R_1 > R_2$ koşulu sağlanmalıdır.

6.2.5 Simülasyon Sonuçları

Hazırlanan tüm geçiren süzgecin simülasyonları, SPICE programında, EK A'da verilen $0.13 \mu\text{m}$ IBM CMOS parametreleri (bkz. Tablo A.1 ve Tablo A.2) kullanılarak gerçekleştirilmiştir. Simetrik DC güç kaynağı gerilimleri $V_{DD} = -V_{SS} = 0.75 \text{ V}$ olarak seçilmiştir. Şekil 2.6'da görülen V_B kutuplama gerilimi, -0.07 V olarak uygulanmıştır.

Şekil 2.6'da verilen devredeki MOS transistörlerin boyutları (W / L), Tablo 6.2'de verilmektedir. Şekil 6.12'de verilen ideal olmayan CCII- modelinde, X terminalinin parazitik direnci, yaklaşık 242.6Ω olarak bulunmuştur ve L_X değeri çok küçüktür.

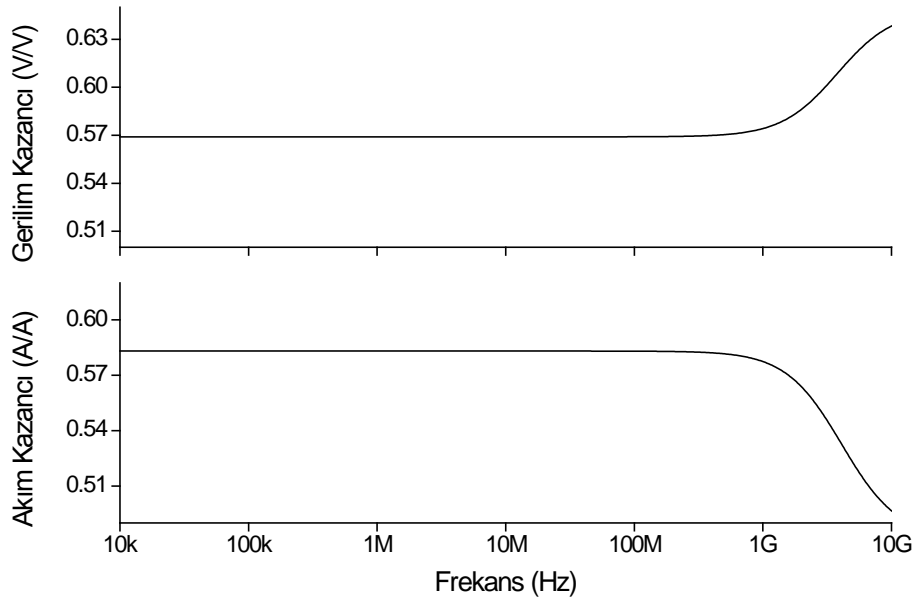
Tablo 6.2: MOS transistör boyutları.

Transistör Tipi	W/L
NMOS transistörler	$17.55 \mu\text{m} / 1.3 \mu\text{m}$
PMOS transistörler	$3.9 \mu\text{m} / 1.3 \mu\text{m}$

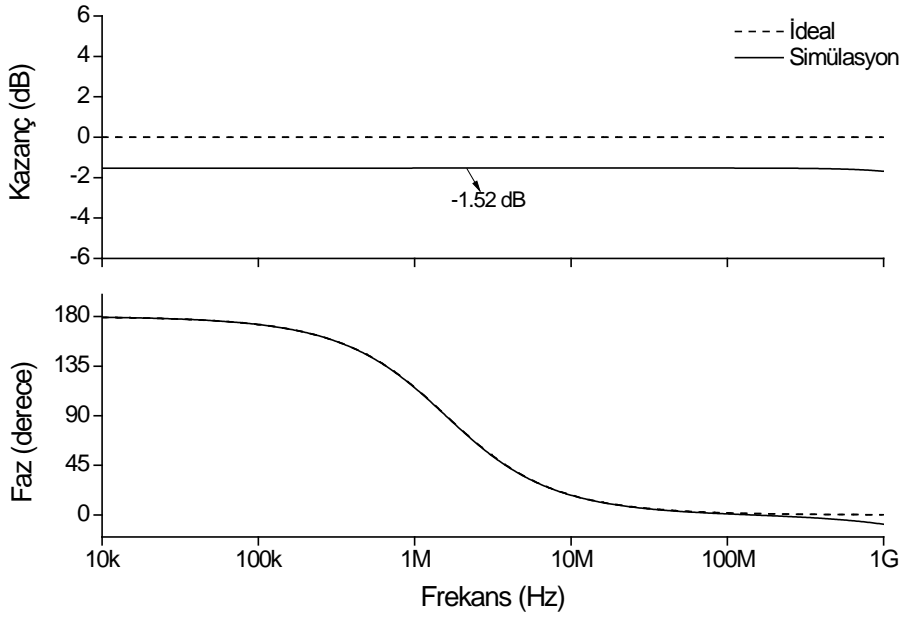
Hazırlanan tüm geçiren süzgeçteki pasif elemanlar, $R = 5 \text{ k}\Omega$, $R_1 = 2 \text{ k}\Omega$, $R_2 = 1 \text{ k}\Omega$ (R_X etkisi dahil) ve $C = 20 \text{ pF}$ olarak seçilmiştir. Böylece, devrenin rezonans frekansı $f_o \cong 1.59 \text{ MHz}$ olmaktadır.

Hazırlanan tüm geçiren süzgeçte kullanılan CCII- elemanının, frekansa göre gerilim ve akım kazanç karakteristikleri, Şekil 6.15'te çizdirilmiştir. Burada, DC gerilim ve akım kazançları, sırasıyla, $\alpha_o \cong 0.58$ ve $\beta_o \cong 0.57$ olarak elde edilmiştir.

Hazırlanan tüm geçiren süzgecin kazanç ve faz cevabı, Şekil 6.16'da verilmektedir. Burada, gerilim modlu tüm geçiren süzgecin kazancı, yaklaşık olarak -1.5 dB düzeyindedir. Bu, kabul edilebilir bir değerdir.



Şekil 6.15: Hazırlanan tüm geçiren süzgeçte kullanılan CCII- elemanının frekansa göre ideal olmayan gerilim ve akım kazançları.

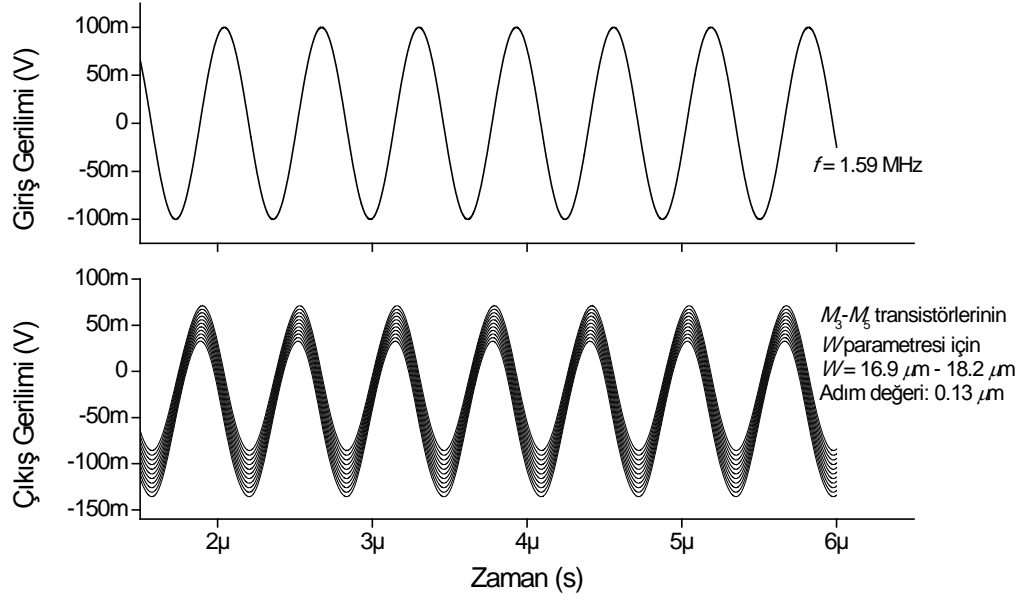


Şekil 6.16: Hazırlanan tüm geçiren süzgecin kazanç ve faz cevabı.

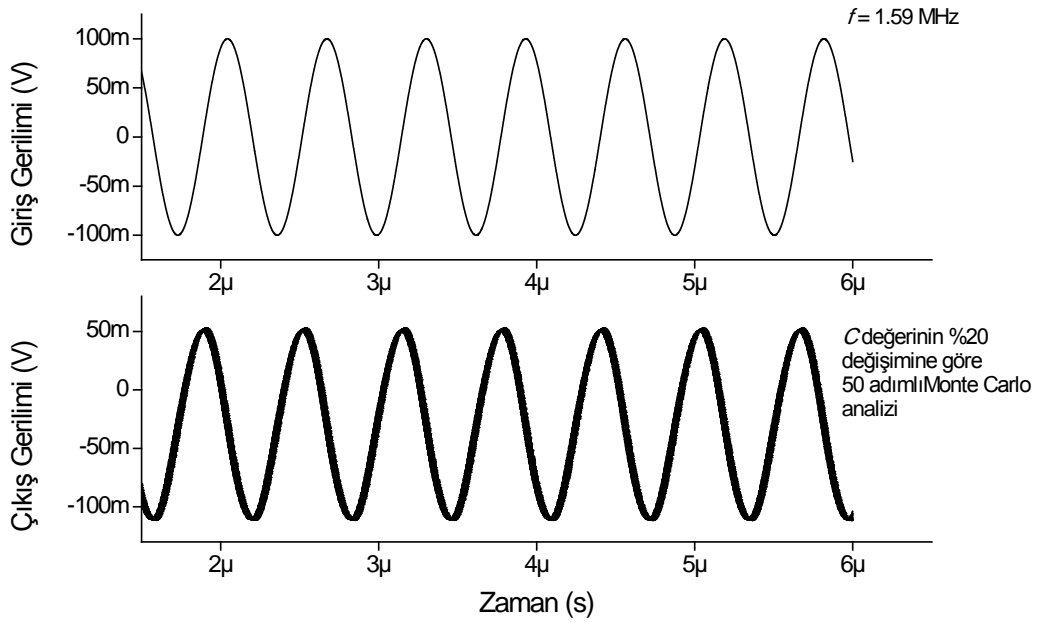
Hazırlanan tüm geçiren süzgecin girişine, 100 mV tepe genliğine sahip ve 1.59 MHz frekansında bir sinüzoidal giriş gerilimi uygulanmıştır. Aynı zamanda; M_3 , M_4 ve M_5 transistörlerinin genişlikleri (W), $16.9 \mu\text{m}$ ile $18.2 \mu\text{m}$ arasında $0.13 \mu\text{m}$ adımlarla değiştirilmiştir. Giriş ve elde edilen çıkış gerilimleri, Şekil 6.17’de verilmiştir. W değerinin değişimi, hazırlanan süzgecin sapma gerilimlerini etkilemektedir.

Hazırlanan tüm geçiren süzgecin kapasitör değerinin %20 oranında değiştirilmesiyle gerçekleştirilen 50 adımlı bir Monte Carlo analizi için, devrenin girişine 100 mV tepe genlik değerinde ve 1.59 MHz frekansında bir sinüzoidal işaret uygulanmıştır. Şekil 6.18’de giriş ve çıkış cevabı verilmektedir. Şekil 6.18’de görüldüğü üzere, kapasitör değerinin değişimi, hazırlanan süzgecin rezonans frekansını çok az etkilemektedir.

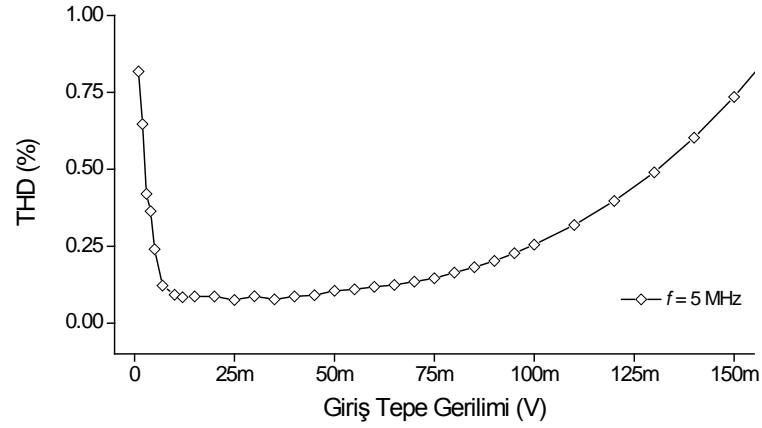
Hazırlanan tüm geçiren süzgecin toplam güç tüketimi, simülasyonlarda, 0.83 mW olarak bulunmuştur. Ayrıca, hazırlanan süzgecin girişine uygulanan 1.59 MHz frekansına sahip sinüzoidal işaretin tepe değerinin değişimine göre elde edilen THD eğrisi, Şekil 6.19’da verilmiştir.



Şekil 6.17: M_3 - M_5 transistörleri W değerinin $16.9 \mu\text{m}$ ile $18.2 \mu\text{m}$ arasında $0.13 \mu\text{m}$ adımlarla değiştirilmesiyle elde edilen sinüzoidal giriş/çıkış cevabı.

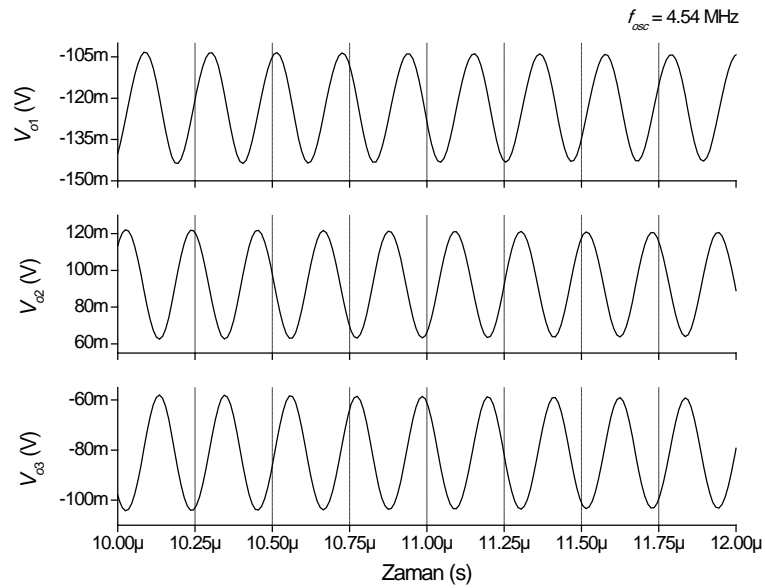


Şekil 6.18: Hazırlanan tüm geçiren süzgeç devresindeki C kapasitörünün %20 değişimi için gerçekleştirilen Monte Carlo analizi.

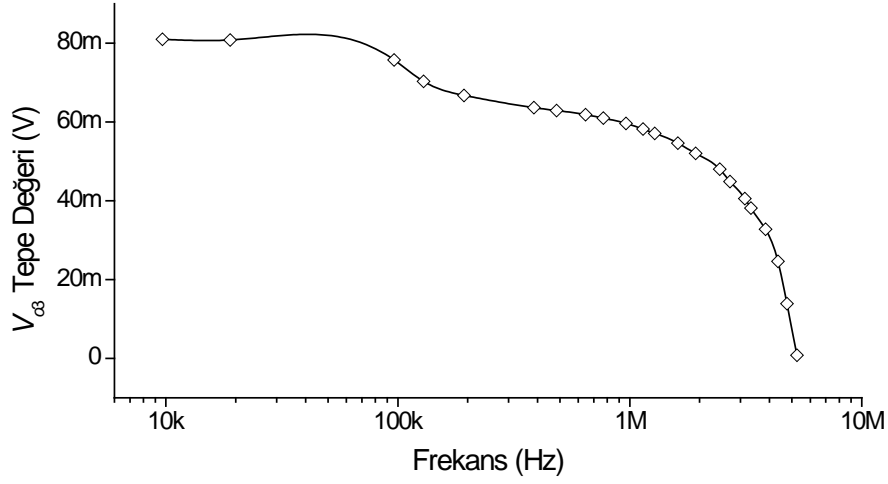


Şekil 6.19: Hazırlanan tüm geçiren süzgecin, giriş tepe geriliminin değişimine göre toplam harmonik bozulması.

Şekil 6.13'teki kuadrator osilatör, devredeki pasif elemanların $R = R_1 = 2 \text{ k}\Omega$, $R_2 = R_3 = 1.2 \text{ k}\Omega$ ve $C = C_2 = 20 \text{ pF}$ olarak seçilmesiyle simüle edilmiştir. Birim kazanç eviren yükselteçteki NMOS transistörlerin boyutları, $130 \mu\text{m} / 1.3 \mu\text{m}$ olarak seçilmiştir. 4.54 MHz frekansında V_{o1} , V_{o2} ve V_{o3} çıkış gerilimleri, Şekil 6.20'de çizdirilmiştir. Ayrıca, osilasyon frekansının değişimi, Şekil 6.21'de görüldüğü üzere, osilatör işaretinin (V_{o3}) tepe değerini etkilemektedir. Eğer, osilasyon frekansı yükselirse, osilatör çıkış işaretinin tepe gerilimi azalmaktadır.



Şekil 6.20: Hazırlanan kuadrator osilatörün çıkış cevabı.



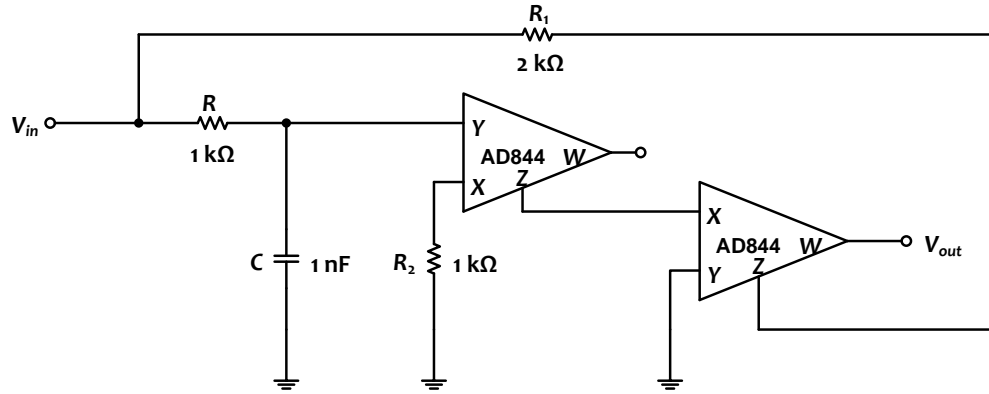
Şekil 6.21: Hazırlanan kuadratör osilatör uygulamasının çıkış gerilimi tepe değerinin frekansa göre değişimi.

Simülasyonlarda, 4.54 MHz frekansında, V_{o1} , V_{o2} ve V_{o3} osilatör çıkış gerilimlerinin THD değerleri, sırasıyla, % 2.8, % 2.04 ve % 3.45 olarak bulunmuştur.

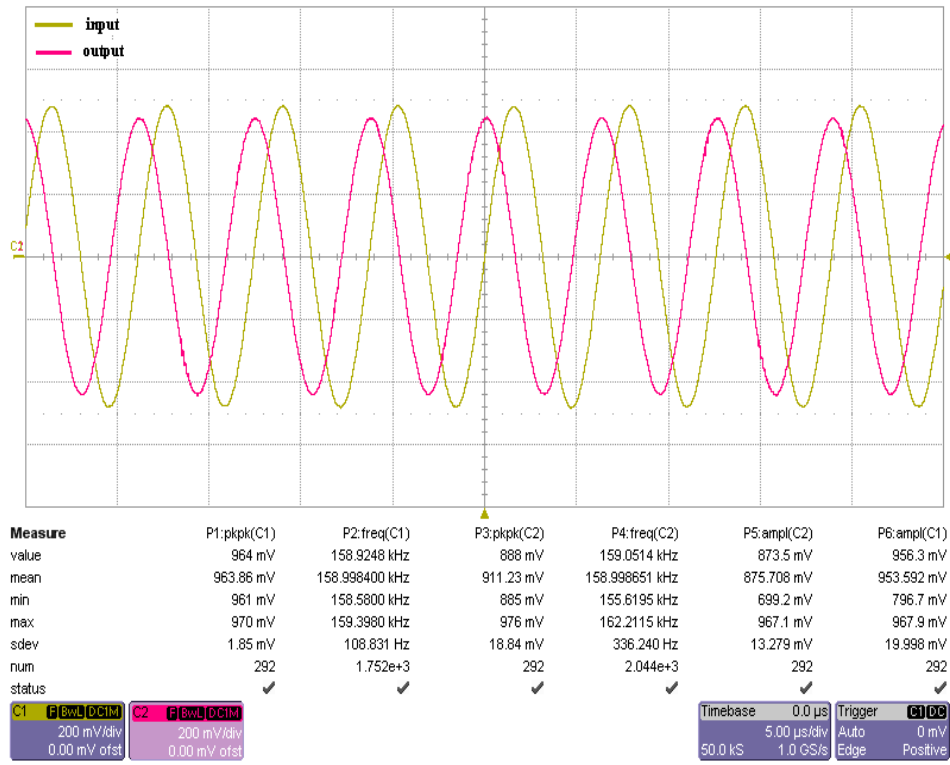
6.2.6 Deneysel Test Sonuçları

CCII- elemanı, iki adet AD844 gibi ticari olarak bulunan bir aktif eleman kullanılarak gerçekleştirilebilir (Analog Devices 2009). Hazırlanan tüm geçiren süzgeç, iki adet AD844, üç direnç ve bir kapasitörle, Şekil 6.22’te görüldüğü üzere oluşturulmuştur. Devreye, tepeden tepeye genlik değeri 1 V olan ve 159 kHz frekansında bir giriş işareti uygulanmıştır. Ayrıca, deneysel test için, AD844 elemanının simetrik DC gerilimleri, ± 12 V olarak seçilmiştir. Test devresinin pasif eleman değerleri, Şekil 6.22’te verildiği gibidir. Böylece, deneysel test başarıyla gerçekleştirilmiş, devrenin deney sonucunda elde edilen zaman ortamındaki cevabı Şekil 6.23’te gösterilmiştir.

Şekil 6.15 ile Şekil 6.23 aralığında verilen grafiklerden görüldüğü üzere, ideal, simülasyon ve deneysel sonuçlar, birbiriyle uyumaktadır ve sonuçlardaki küçük farkların, aktif elemanların ideal olmayan durumlarından kaynaklandığı düşünülmektedir.



Şekil 6.22: Hazırlanan tüm geçiren süzgecin iki adet AD844 aktif elemanı kullanılarak gerçekleştirilmesi.



Şekil 6.23: Hazırlanan tüm geçiren süzgecin deneysel teste elde edilen sinüzoidal işaret cevabı.

6.3 DO-CCII ve MCCII- Tabanlı Birinci Dereceden Tüm Geçiren Süzgeçler

6.3.1 Giriş

Tez kapsamında, DO-CCII ve MCCII- tabanlı gerilim modlu tüm geçiren süzgeç konfigürasyonları tasarlanmıştır. Hazırlanan tüm geçiren süzgeçlerin ana özelliklerinden birisi, yüksek giriş empedansına sahip olmalarıdır. Bu nedenle, hazırlanan tüm geçiren süzgeçler, diğer gerilim modlu devrelerle kolaylıkla kaskat bağlanabilir. Ayrıca, hazırlanan her iki tüm geçiren süzgeç, bir topraklanmış kapasitör ile gerçekleştirilmiştir. Dolayısıyla, hazırlanan konfigürasyonlar, tümleşik devre üretimine uygundur (Bhushan ve Newcomb 1967). Buna karşın, hazırlanan tüm geçiren süzgeçlerin her ikisi de bir eleman eşlenmesine sahiptir ve CCII elemanının X ucuna sadece direnç gelmektedir. Ayrıca, hazırlanan tüm geçiren süzgeçlerden, iki kuadratör osilatör uygulaması türetilmiştir. Her iki konfigürasyon için de ideal olmayan durum analizi gerçekleştirilmiştir. Simülasyon ve deneysel test sonuçları, kuramı en iyi şekilde desteklemektedir.

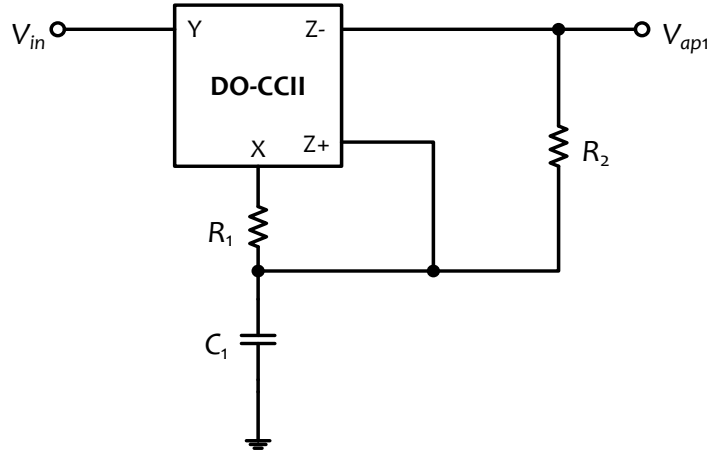
6.3.2 Yöntem

Bu başlık altında, iki adet gerilim modlu birinci dereceden tüm geçiren süzgeç devresi tanıtılmaktadır. Bir adet DO-CCII elemanı, iki direnç ($R_2 = R_1$) ve bir topraklanmış kapasitör (C_1) kullanılarak tasarlanan ilk konfigürasyon, Şekil 6.24'te görülmektedir. Devrede kullanılan DO-CCII elemanının içyapısı, Fabre ve diğ. (1996) tarafından önerilen içyapıdır (Bkz. Şekil 2.8).

Şekil 6.24'teki süzgecin transfer fonksiyonu, $R_1 = R_2 = R$ koşulunda, ideal olarak aşağıdaki gibi yazılabilir:

$$\frac{V_{ap1}}{V_{in}} = \frac{1 - sC_1R}{1 + sC_1R} \quad (6.22)$$

Eşitlik (6.22)'de elde edilen sonuç, evirmeyen tüm geçiren süzgeç cevabıdır. Burada, Şekil 6.24'teki devrenin açısız rezonans frekansı (ω_0), $1/(C_1R)$ olarak bulunur.



Şekil 6.24: Hazırlanan DO-CCII tabanlı tüm geçiren süzgecin devre şeması.

Ayrıca, devrenin faz cevabı, aşağıdaki şekilde elde edilir:

$$\varphi(\omega) = -2 \tan^{-1}(\omega C_1 R) \quad (6.23)$$

Burada, faz 0° 'den -180° 'ye değişirken, frekans sıfırdan sonsuza doğru değişmektedir. Şekil 6.24'teki devrenin ideal olmayan kazançlar dikkate alındığında transfer fonksiyonu aşağıdaki gibi elde edilir:

$$\frac{V_{ap1}}{V_{in}} = \beta \frac{1 + \alpha - \gamma - s\gamma C_1 R_2}{1 + \alpha - \gamma + sC_1 R_1} \quad (6.24)$$

Hazırlanan DO-CCII tabanlı süzgecin faz cevabı aşağıdaki eşitlikle bulunabilir:

$$\varphi(\omega) = -\tan^{-1} \frac{\omega\gamma C_1 R_2}{1 + \alpha - \gamma} - \tan^{-1} \frac{\omega C_1 R_1}{1 + \alpha - \gamma} \quad (6.25)$$

Devre şeması Şekil 6.25'te verilen ikinci tüm geçiren süzgeç konfigürasyonu, bir adet MCCII- elemanı, iki adet direnç ($R_2 = R_1/\gamma$ ve $0 < \gamma < 1$) ve bir topraklanmış kapasitör (C_1) kullanılarak hazırlanmıştır.

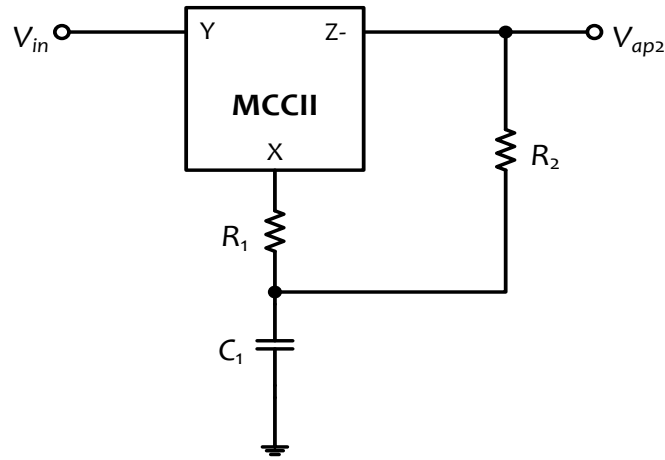
Eğer $R_2 = 2R_1$ ve $\gamma = 0.5$ olarak seçilirse, hazırlanan MCCII- tabanlı ikinci tüm geçiren süzgecin transfer fonksiyonu, eşitlik (6.22)'de verilen şekilde bulunur. İdeal olmayan kazançlar dikkate alındığında, transfer fonksiyonu aşağıdaki gibi ifade edilebilir:

$$\frac{V_{ap2}}{V_{in}} = \beta \frac{1 - s \frac{\gamma C_1 R_2}{1 - \gamma}}{1 + s \frac{C_1 R_1}{1 - \gamma}} \quad (6.26)$$

Hazırlanan MCCII- tabanlı tüm geçiren süzgecin faz cevabı ise,

$$\varphi(\omega) = -\tan^{-1} \frac{\omega \gamma C_1 R_2}{1 - \gamma} - \tan^{-1} \frac{\omega C_1 R_1}{1 - \gamma} \quad (6.27)$$

olarak elde edilir.

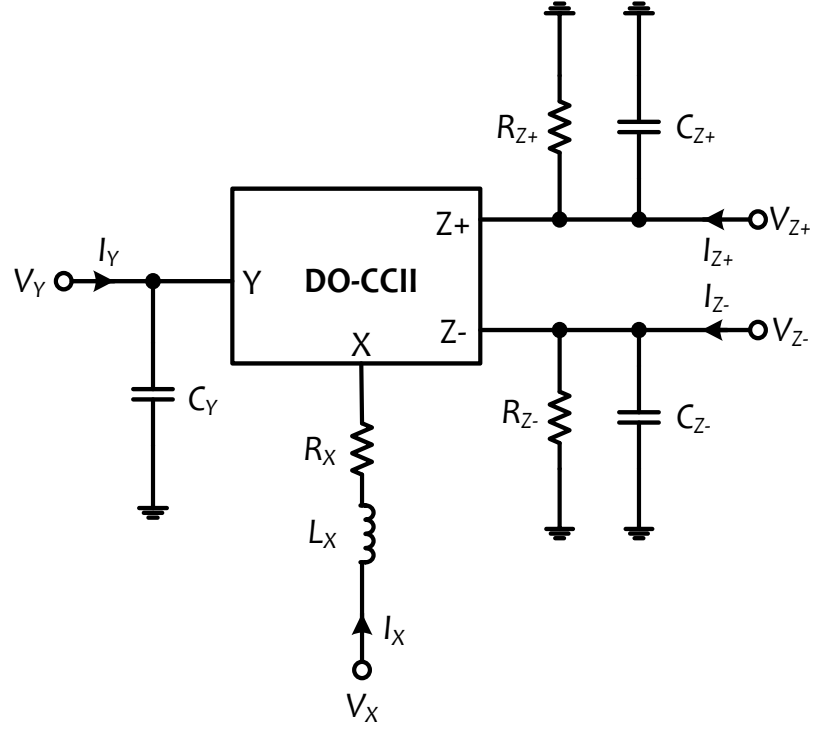


Şekil 6.25: Tasarlanan MCCII- tabanlı tüm geçiren süzgecin devre şeması.

6.3.3 Parazitik Empedansların Etkisi

Parazitik empedansların yer aldığı bir DO-CCII modeli, Şekil 6.26'da verilmektedir. DO-CCII elemanının X ucunun kapasitansı C_X , yalnızca yüksek frekanslarda etkin olduğundan ihmal edilir. DO-CCII tabanlı tüm geçiren süzgeç için, eğer yalnızca X ucunun parazitik empedansları dikkate alınır, aşağıdaki transfer fonksiyonu aşağıdaki gibi elde edilir:

$$\frac{V_{ap1}}{V_{in}} = \frac{1 - s C_1 R_2}{1 + s C_1 (R_1 + R_X + s L_X)} \quad (6.28)$$



Şekil 6.26: Parazitik empedansların yer aldığı DO-CCII modeli.

Burada, R_X ve L_X , DO-CCII elemanının parazitik empedanslarıdır. Yalnızca, Z ucunun parazitik empedansları düşünüldüğünde, ilk hazırlanan DO-CCII tabanlı süzgecin transfer fonksiyonu aşağıdaki gibi yeniden yazılabilir:

$$\frac{V_{ap1}}{V_{in}} = \frac{R_{Z-}(R_{Z+} - R) - sRR_{Z+}(C_1 + C_{Z+})}{a_0 + a_1s + a_2s^2} \quad (6.29)$$

$R_1 = R_2 = R$ olarak seçildiğinde, paydanın katsayıları aşağıdaki gibi bulunur:

$$a_0 = R^2 + RR_{Z-} + 3RR_{Z+} + R_{Z-}R_{Z+} \quad (6.30a)$$

$$a_1 = C_{Z-}R^2R_{Z-} + C_1R^2R_{Z+} + C_{Z+}R^2R_{Z+} + C_1RR_{Z-}R_{Z+} + 3C_{Z-}RR_{Z-}R_{Z+} + C_{Z+}RR_{Z-}R_{Z+} \quad (6.30b)$$

$$a_2 = C_1C_{Z-}R^2R_{Z-}R_{Z+} + C_{Z-}C_{Z+}R^2R_{Z-}R_{Z+} \quad (6.30c)$$

Hazırlanan DO-CCII tabanlı tüm geçiren süzgecin düzgün çalışabilmesi için, aşağıdaki koşullar sağlanmalıdır:

$$\omega L_X \ll R_1 + R_X \quad (6.31a)$$

$$\omega^2 a_2 \ll a_0 \quad (6.31b)$$

$$\omega a_2 \ll a_1 \quad (6.31c)$$

Yukarıdaki ifadelerden, aşağıdaki çalışma frekansı aralıkları elde edilir:

$$f \leq \frac{0.1(R_1 + R_X)}{2\pi L_X} \quad (6.32a)$$

$$f \leq \sqrt{\frac{0.1a_0}{4\pi^2 a_2}} \quad (6.32b)$$

$$f \leq \frac{0.1a_1}{2\pi a_2} \quad (6.32c)$$

Eğer yalnızca X ucunun parazitik empedansları dikkate alınır, hazırlanan MCCII- tabanlı tüm geçiren süzgecin transfer fonksiyonu, eşitlik (6.28) ile aynıdır. Ancak, yalnızca Z ucunun parazitik empedansları dikkate alınır, hazırlanan MCCII- tabanlı süzgecin transfer fonksiyonu, $R_2 = 2R_1 = R$ ve $\gamma = 0.5$ iken, aşağıda verildiği gibidir:

$$\frac{V_{ap2}}{V_{in}} = \frac{R_{Z-}(1 - C_1 R)}{3R + R_{Z-} + s(C_1 R^2 + C_1 R R_{Z-} + 3C_{Z-} R R_{Z-}) + s^2 C_1 C_{Z-} R^2 R_{Z-}} \quad (6.33)$$

Hazırlanan MCCII- tabanlı tüm geçiren süzgecin doğru çalışabilmesi için, eşitlik (6.31a) geçerlidir. Aynı zamanda aşağıdaki koşullar da sağlanmış olmalıdır:

$$\omega^2 C_1 C_{Z-} R^2 R_{Z-} \ll 3R + R_{Z-} \quad (6.34a)$$

$$\omega C_1 C_{Z-} R^2 R_{Z-} \ll C_1 R^2 + C_1 R R_{Z-} + 3C_{Z-} R R_{Z-} \quad (6.34b)$$

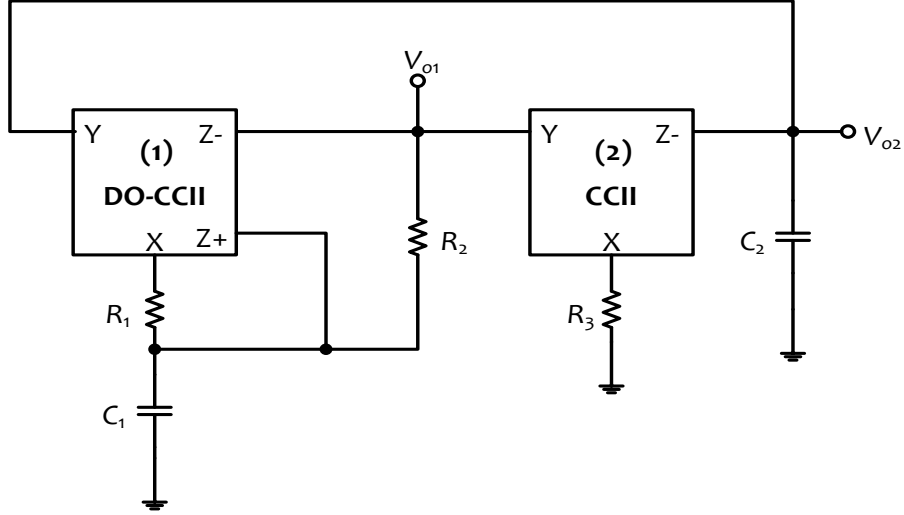
Eşitlik (6.34)'ten, MCCII- tabanlı tüm geçiren süzgeç için, ilk çalışma frekansı aralığı eşitlik (6.32a) ile aynıdır. Aynı zamanda, aşağıdaki çalışma frekansı aralıkları elde edilir:

$$f \leq \sqrt{\frac{0.1(3R + R_{Z-})}{4\pi^2 C_1 C_{Z-} R^2 R_{Z-}}} \quad (6.35a)$$

$$f \leq \frac{0.1(C_1 R^2 + C_1 R R_{Z-} + 3C_{Z-} R R_{Z-})}{2\pi C_1 C_{Z-} R^2 R_{Z-}} \quad (6.35b)$$

6.3.4 Kuadratör Osilatör Uygulaması

Hazırlanan DO-CCII tabanlı tüm geçiren süzgeç ile gerçekleştirilen bir kuadratör osilatör devresi Şekil 6.27’de verilmiştir. Hazırlanan kuadratör osilatör uygulaması, aktif eleman olarak, bir adet DO-CCII elemanı, bir adet CCII- elemanı içermektedir.



Şekil 6.27: Hazırlanan DO-CCII tabanlı tüm geçiren süzgeç için kuadratör osilatör uygulaması.

Şekil 6.27’deki osilatörün karakteristik denklemi aşağıdaki gibidir:

$$s^2 C_1 C_2 R_1 R_3 + s(C_2 R_3 - C_1 R_2) + 1 = 0 \quad (6.36)$$

Şekil 6.27’deki devrenin osilasyon koşulu aşağıdaki gibi yazılabilir:

$$C_2 R_3 = C_1 R_2 \quad (6.37)$$

Şekil 6.27'deki osilatörün osilasyon frekansı (f_o) ise aşağıdaki gibi hesaplanır:

$$f_o = \frac{1}{2\pi} \frac{1}{\sqrt{C_1 C_2 R_1 R_3}} \quad (6.38)$$

Şekil 6.27'deki kuadratör osilatör için, ideal olmayan kazançların da dikkate alındığı karakteristik denklem aşağıdaki şekilde ifade edilebilir:

$$s^2 C_1 C_2 R_1 R_3 + s(C_2 R_3(1 + \alpha_1 - \gamma_1) - \beta_1 \beta_2 \gamma_1 \gamma_2 C_1 R_2) + \beta_1 \beta_2 \gamma_2(1 + \alpha_1 - \gamma_1) = 0 \quad (6.39)$$

İdeal olmayan kazançlar düşünüldüğünde, Şekil 6.27'deki hazırlanan kuadratör osilatörün osilasyon koşulu ve osilasyon frekansı f_o , sırasıyla, aşağıdaki gibi verilebilir:

$$C_2 R_3(1 + \alpha_1 - \gamma_1) = \beta_1 \beta_2 \gamma_1 \gamma_2 C_1 R_2 \quad (6.40a)$$

$$f_o = \frac{1}{2\pi} \sqrt{\frac{\beta_1 \beta_2 \gamma_2(1 + \alpha_1 - \gamma_1)}{C_1 C_2 R_1 R_3}} \quad (6.40b)$$

İkinci hazırlanan kuadratör osilatör uygulaması, Şekil 6.28'da verilmektedir. Hazırlanan devre, aktif eleman olarak, bir adet MCCII- elemanı, bir adet CCII- elemanı içermektedir. Şekil 6.28'deki kuadratör osilatör için, karakteristik denklem, osilasyon koşulu ve osilasyon frekansı, sırasıyla, eşitlik (6.36), (6.37) ve (6.38) ile aynıdır.

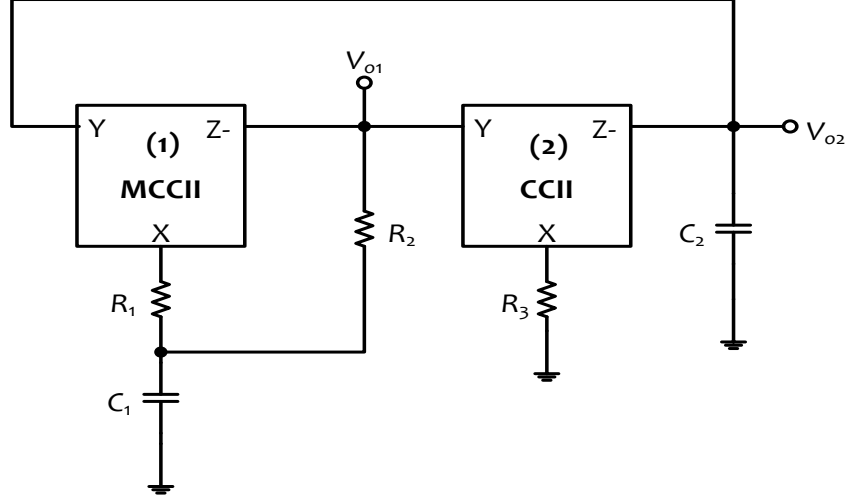
Şekil 6.28'deki kuadratör osilatör için, ideal olmayan kazançların yer aldığı karakteristik denklem aşağıdaki gibi elde edilebilir:

$$s^2 C_1 C_2 R_1 R_3 + s(C_2 R_3(1 - \gamma_1) - \beta_1 \beta_2 \gamma_1 \gamma_2 C_1 R_2) + \beta_1 \beta_2 \gamma_2(1 - \gamma_1) = 0 \quad (6.41)$$

Şekil 6.28'deki kuadratör osilatör için osilasyon koşulu ve osilasyon frekansı, sırasıyla, aşağıdaki gibi verilebilir:

$$C_2 R_3(1 - \gamma_1) = \beta_1 \beta_2 \gamma_1 \gamma_2 C_1 R_2 \quad (6.42a)$$

$$f_o = \frac{1}{2\pi} \sqrt{\frac{\beta_1 \beta_2 \gamma_2 (1 - \gamma_1)}{C_1 C_2 R_1 R_3}} \quad (6.42b)$$



Şekil 6.28: Hazırlanan MCCII- tabanlı tüm geçiren süzgeç için kuadrator osilatör uygulaması.

6.3.5 Simülasyon Sonuçları

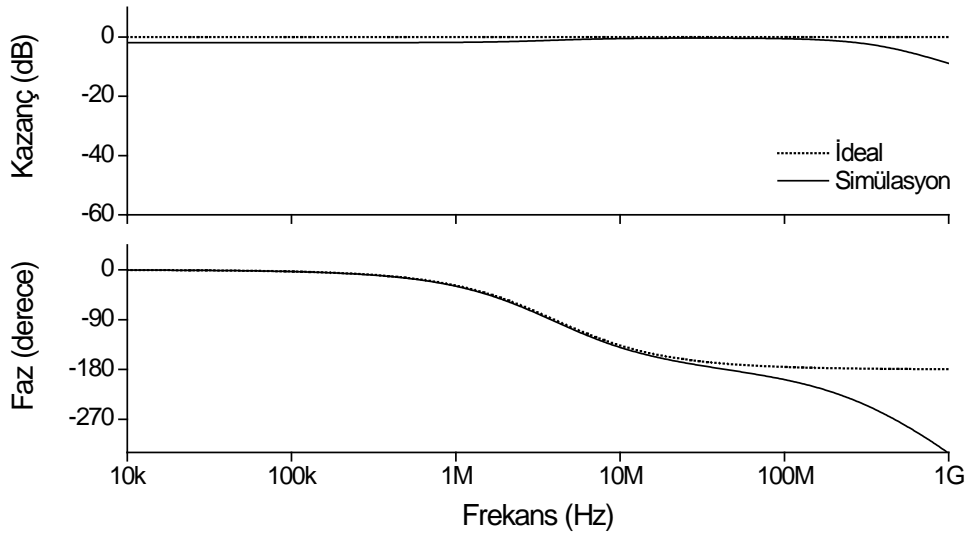
Hazırlanan tüm geçiren süzgeç ve osilatör uygulamaları, SPICE programında, EK A'da verilen $0.13 \mu\text{m}$ IBM CMOS teknoloji parametreleri kullanılarak gerçekleştirilmiştir (Bkz. Tablo A.1 ve Tablo A.2). Şekil 2.8'de verilen simetrik güç kaynağı gerilimleri $V_{DD} = -V_{SS} = 0.75 \text{ V}$ olarak seçilmiştir. Şekil 2.8'deki I_o kutuplama akımı, $150 \mu\text{A}$ olarak uygulanmıştır. MOS transistörlerin boyutları, Tablo 6.3'te verilmiştir. Hazırlanan süzgeçte kullanılan DO-CCII elemanının X terminali parazitik direnci $R_X = 220 \Omega$ olarak bulunmuştur ve L_X değeri çok küçüktür.

Tablo 6.3: MOS transistör boyutları.

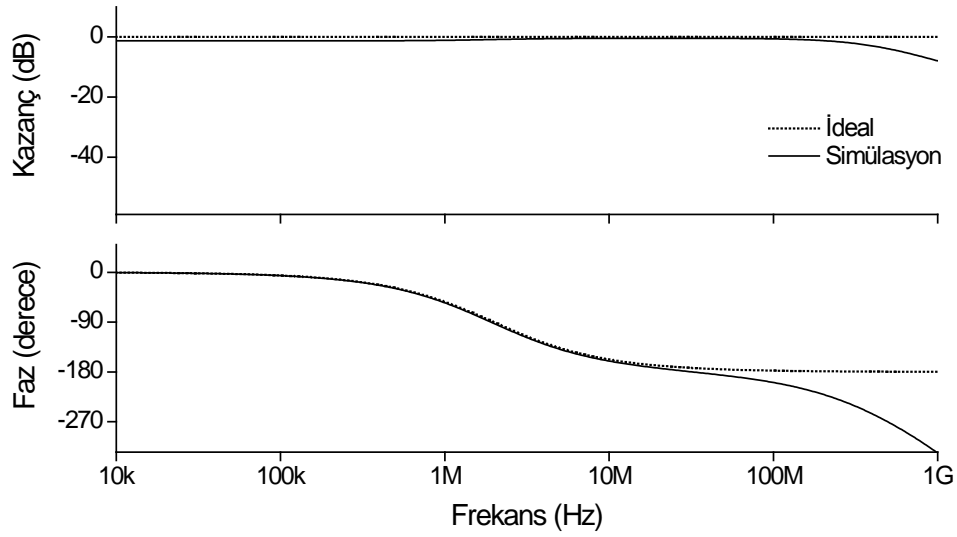
Transistör Tipi	Transistör Boyutu (W / L)
PMOS transistörler	
M_1-M_7	$41.6 \mu\text{m} / 0.52 \mu\text{m}$
$M_{10}-M_{11}$	$83.2 \mu\text{m} / 0.52 \mu\text{m}$
NMOS transistörler	
M_8-M_9	$26 \mu\text{m} / 0.52 \mu\text{m}$
$M_{12}-M_{19}$	$13 \mu\text{m} / 0.52 \mu\text{m}$

Hazırlanan DO-CCII tabanlı tüm geçiren süzgecin pasif devre elemanları, $R_1 = 500 \Omega$ (R_X direncinin etkileri eklenmiştir), $R_2 = 500 \Omega$ ve $C_1 = 80 \text{ pF}$ olarak seçilmiştir. Sonuçta, rezonans frekansı $f_{o1} = 3.98 \text{ MHz}$ olarak elde edilmiştir. Hazırlanan MCCII- tabanlı tüm geçiren süzgecin pasif elemanları ise, $R_1 = 500 \Omega$ (R_X direncinin etkisi dahildir), $R_2 = 1 \text{ k}\Omega$, ($\gamma = 0.5$) ve $C_1 = 80 \text{ pF}$ olarak seçilmiştir. Devrenin rezonans frekansı, $f_{o2} = 1.99 \text{ MHz}$ olarak bulunmuştur.

Hazırlanan DO-CCII ve MCCII tabanlı süzgeçlerin kazanç ve faz cevapları, sırasıyla, Şekil 6.29 ve Şekil 6.30'da gösterilmiştir. Eşitlik (6.22)'den, kuramsal olarak, kazançların 0 dB olması beklenir. Buna karşın, hazırlanan tüm geçiren süzgeçlerin kazanç değerleri, yaklaşık olarak -1 dB civarındadır. Bu değer, kabul edilebilir düzeydedir. Şekil 6.29 ve Şekil 6.30'dan görüldüğü üzere, 10 MHz frekansının üzerinde, ideal ve simülasyon değerleri arasında görülen sapma, kullanılan aktif elemanların ideal olmayan durumlarından, örneğin ideal olmayan kazançlar ve parazitik empedanslardan kaynaklanmaktadır. İdeal olmayan durumların etkilerini azaltmak için kullanılan yöntemler, Yuce (2008) ile Minaei ve Yuce (2012^a) tarafından yapılan çalışmalarda tartışılmıştır. Sonuç itibarıyla, devrenin yüksek frekans performansı iyileştirilmelidir.



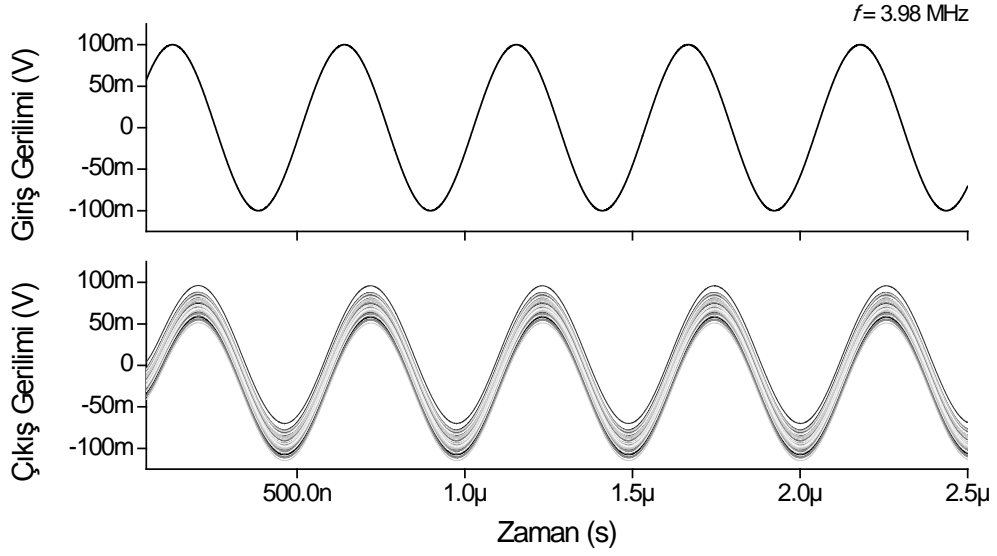
Şekil 6.29: Hazırlanan DO-CCII tabanlı tüm geçiren süzgeç için kazanç ve faz cevabı.



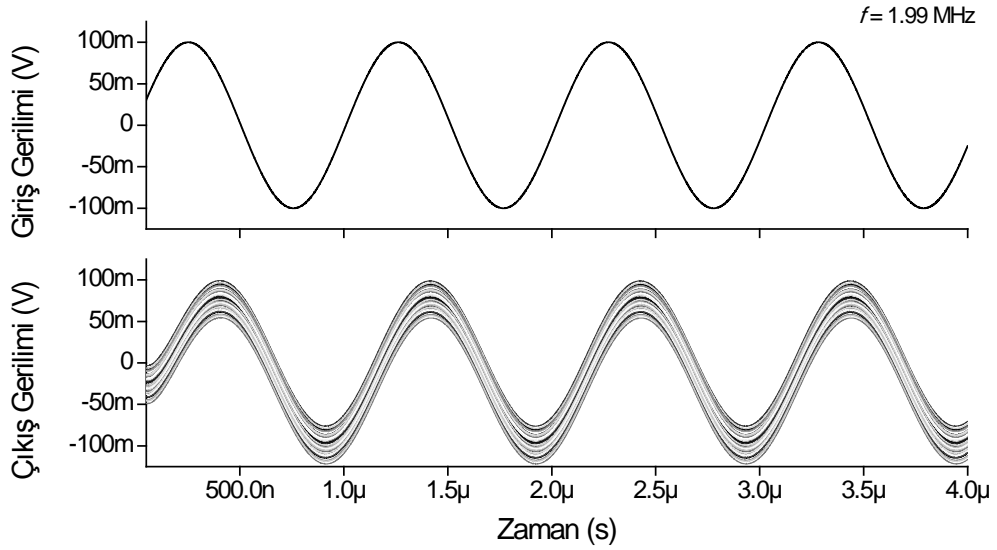
Şekil 6.30: Hazırlanan MCCII- tabanlı tüm geçiren süzgeç için kazanç ve faz cevabı.

V_{TH0} parametresinin %1 oranında Gauss dağılımına göre değiştirilmesi sonucunda elde edilen Monte Carlo analizi için, Şekil 6.24 ve Şekil 6.25'daki tüm geçiren süzgeç devrelerinin girişine 100 mV tepe değerine ve sırasıyla 3.98 MHz ile 1.99 MHz frekanslarına sahip sinüzoidal işaret uygulanmıştır. Sinüzoidal giriş işaretine verilen çıkış cevapları, sırasıyla, Şekil 6.31 ve Şekil 6.32'de verilmektedir. Burada, çıkış işaretlerinin fazı giriş işaretine göre, yaklaşık -92° kaymıştır. Eşitlik (6.23)'e göre, ideal olarak faz farkının -90° olması beklenmektedir, aradaki küçük sapma, CCII elemanının frekansa bağımlı ideal olmayan kazançlarından ve parazitik empedans etkilerinden kaynaklanmaktadır.

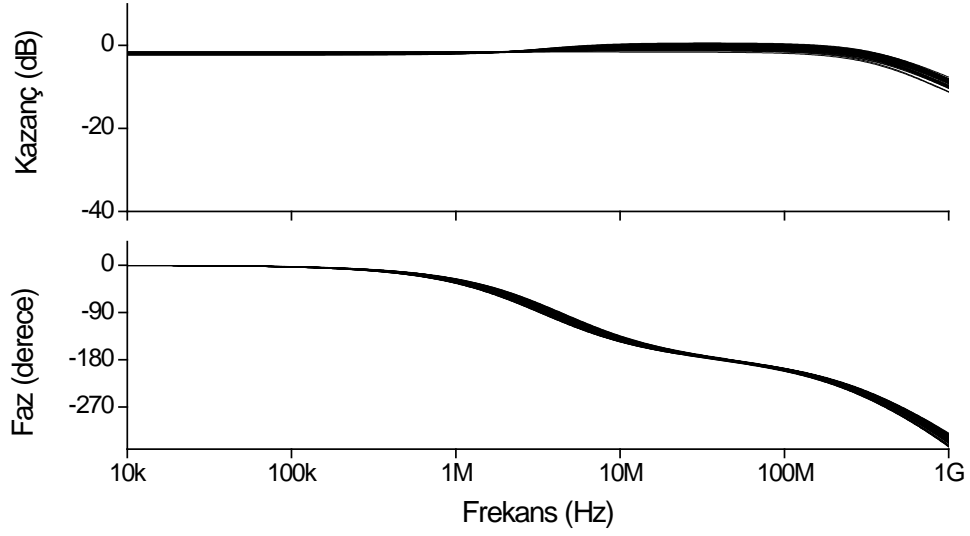
Hazırlanan DO-CCII ve MCCII- tabanlı tüm geçiren süzgeçlerin transistör parametrelerinin değişimine göre kazanç ve faz cevaplarını elde etmek amacıyla, V_{TH0} parametresinin %5 oranında Gauss dağılımına göre değiştirilmesi sonucunda elde edilen Monte Carlo analizi, sırasıyla, Şekil 6.33 ve Şekil 6.34'te verilmiştir.



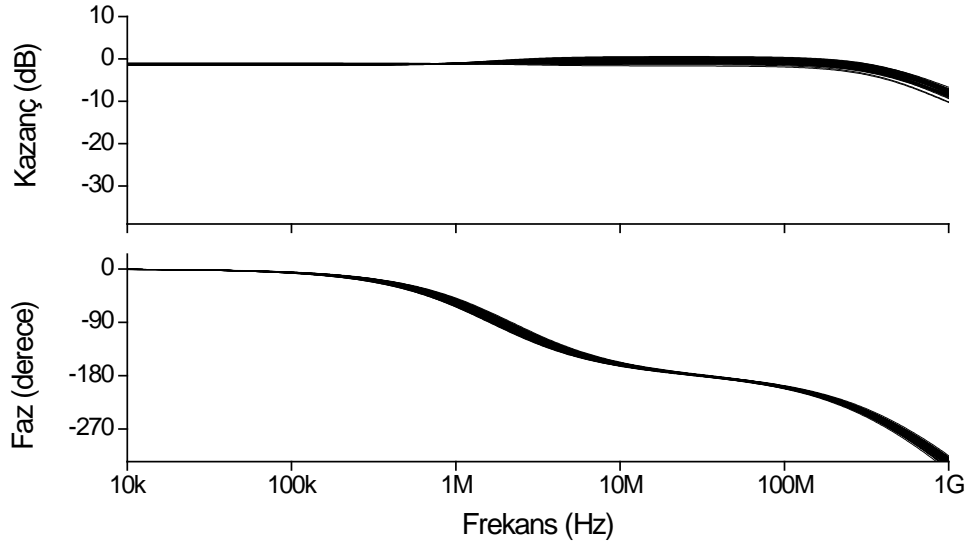
Şekil 6.31: Hazırlanan DO-CCII tabanlı tüm geçiren süzgeç için V_{TH0} değerinin NMOS transistörler için 40.46 mV ile 41.28 mV, PMOS transistörler için -220.1 mV ile -215.6 mV arasında değiştirilmesiyle elde edilen Monte Carlo analizi.



Şekil 6.32: Hazırlanan MCCII- tabanlı tüm geçiren süzgeç için V_{TH0} değerinin NMOS transistörler için 40.46 mV ile 41.28 mV, PMOS transistörler için -220.1 mV ile -215.6 mV arasında değiştirilmesiyle elde edilen Monte Carlo analizi.



Şekil 6.33: Hazırlanan DO-CCII tabanlı tüm geçiren süzgeç için, V_{TH0} parametresinin % 5 değiştirilmesiyle gerçekleştirilen Monte Carlo analizi kazanç ve faz cevabı.



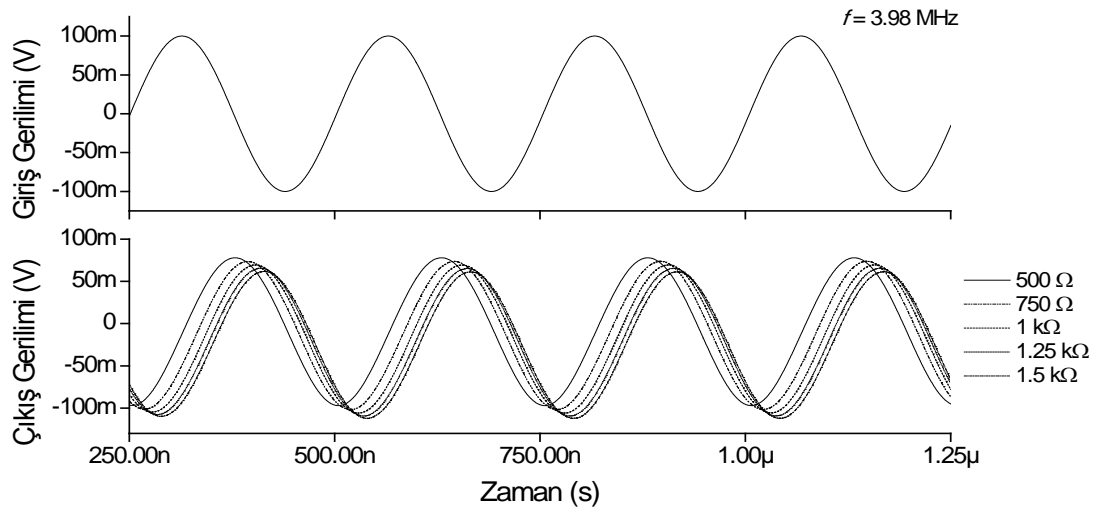
Şekil 6.34: Hazırlanan MCCII- tabanlı tüm geçiren süzgeç için, V_{TH0} parametresinin % 5 değiştirilmesiyle gerçekleştirilen Monte Carlo analizi kazanç ve faz cevabı.

R_1 ve R_2 direnç değerlerinin değişmesi durumunda Şekil 6.24 ve Şekil 6.25'teki tüm geçiren süzgeçlerin zaman ortamı cevabının değişimini görmek amacıyla, devrelerin girişine 100 mV tepe genliğine sahip, sırasıyla, 3.98 MHz ve

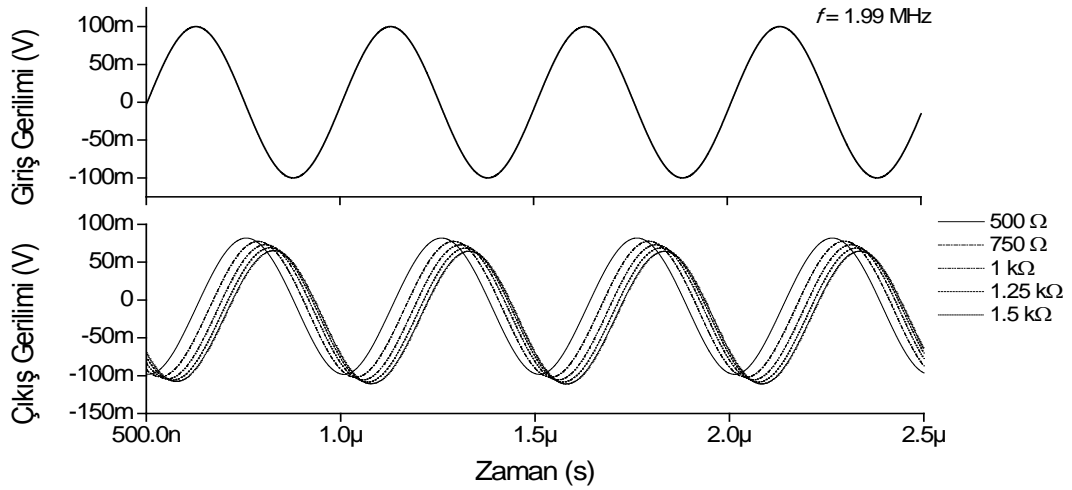
1.99 MHz frekanslarında sinüzoidal işaretler uygulanmıştır. Şekil 6.24'teki tüm geçiren süzgeçte $R_2 = R_1$, Şekil 6.25'deki diğer tüm geçiren süzgeçte ise $R_2 = 2R_1$ ve $\gamma = 0.5$ olarak alınmıştır. Direnç değerleri, $500 \Omega - 1.5 \text{ k}\Omega$ arasında değişirken elde edilen, Şekil 6.24 ve Şekil 6.25'teki tüm geçiren süzgeçlerin sinüzoidal işaret cevabı, sırasıyla, Şekil 6.35 ve Şekil 6.36'da verilmiştir.

Eşitlik (6.23)'ten, direnç değeri artınca, çıkış işaretinin faz kaymasının daha yüksek olması beklenir. Şekil 6.35 ve Şekil 6.36'da elde edilen sonuçlar, kuramı desteklemektedir.

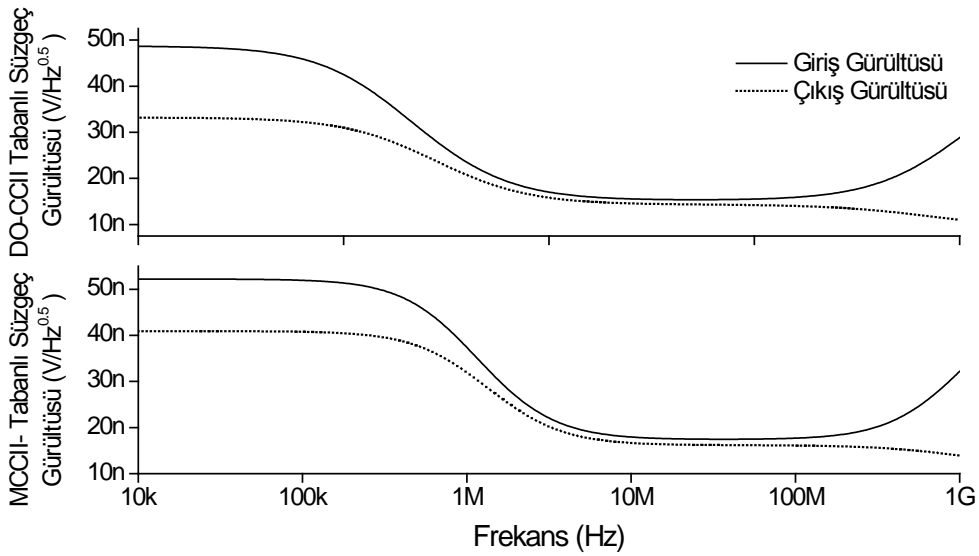
Yapılan simülasyonlarda, hazırlanan DO-CCII ve MCCII- tabanlı tüm geçiren süzgeçlerin toplam güç tüketimleri, sırasıyla, 1.8 mW ve 1.66 mW olarak hesaplanmıştır. Ayrıca, hazırlanan süzgeçlerin giriş ve çıkış gürültüleri, Şekil 6.37'de verilmektedir. Hazırlanan süzgeçlerin gürültü değerleri yeterince düşüktür.



Şekil 6.35: Hazırlanan DO-CCII tabanlı süzgecin direnç değerlerinin ($R_1 = R_2$) değiştirilmesiyle elde edilen sinüzoidal işaret cevabı.



Şekil 6.36: Hazırlanan MCCII- tabanlı süzgecin direnç değerlerinin ($R_2 = 2R_1$ ve $\gamma = 0.5$) değiştirilmesiyle elde edilen sinüzoidal işaret cevabı.

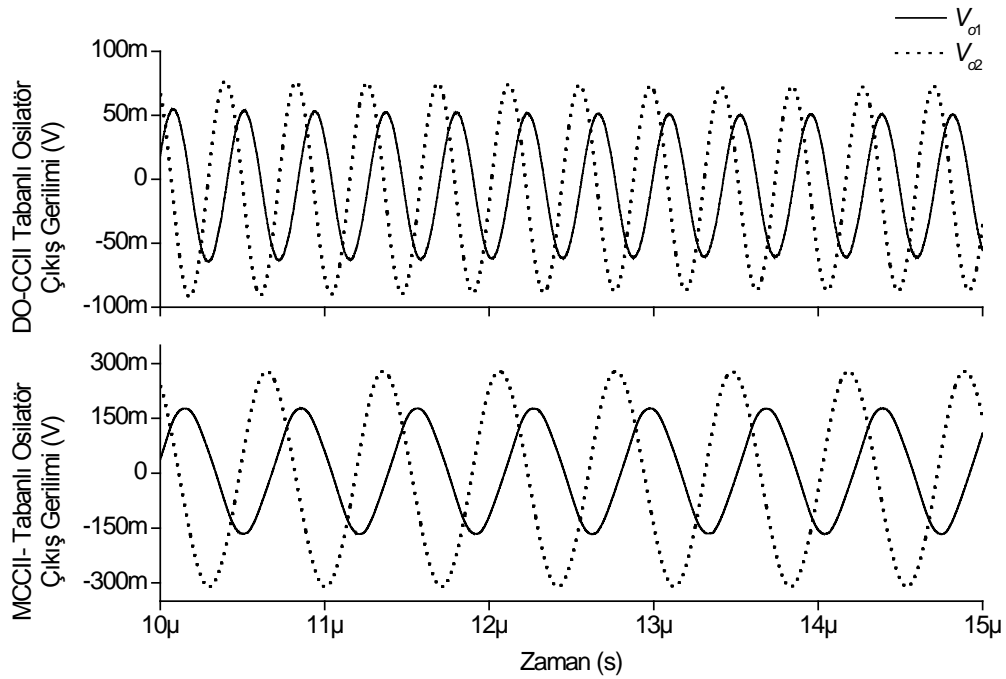


Şekil 6.37: Hazırlanan DO-CCII ve MCCII- tabanlı süzgeçlerin gürültüsü.

Şekil 6.27'deki kuadratör osilatör için, pasif elemanlar $R_1 = 1 \text{ k}\Omega$ (R_X direncinin etkisi eklenmiştir), $R_2 = 1 \text{ k}\Omega$, $R_3 = 600 \text{ }\Omega$ (R_X direncinin etkisi eklenmiştir) ve $C_1 = C_2 = 80 \text{ pF}$ seçilerek simülasyonlar gerçekleştirilmiştir. Ayrıca, Şekil 6.28'deki kuadratör osilatör için, pasif elemanlar $R_1 = 1 \text{ k}\Omega$ (R_X direncinin etkisi eklenmiştir), $R_2 = 2 \text{ k}\Omega$, $R_3 = 320 \text{ }\Omega$ (R_X direncinin etkisi eklenmiştir), $\gamma = 0.5$

ve $C_1 = C_2 = 80$ pF seçilmek suretiyle simülasyonlar yapılmıştır. Şekil 6.27 ve Şekil 6.28'deki devrelerden elde edilen V_{o1} ve V_{o2} çıkış işaretleri, Şekil 6.38'de çizdirilmiştir.

SPICE simülasyonlarında, Şekil 6.27'deki DO-CCII tabanlı kuadratör osilatörün toplam harmonik bozulması, osilasyon frekansı $f_{osc1} = 2.33$ MHz iken, %1.17 olarak elde edilmiştir. Şekil 6.28'deki MCCII- tabanlı kuadratör osilatörün toplam harmonik bozulması ise, osilasyon frekansı $f_{osc2} = 1.41$ MHz iken, % 2.82 olarak bulunmuştur. Elde edilen değerler, kabul edilebilir düzeydedir.



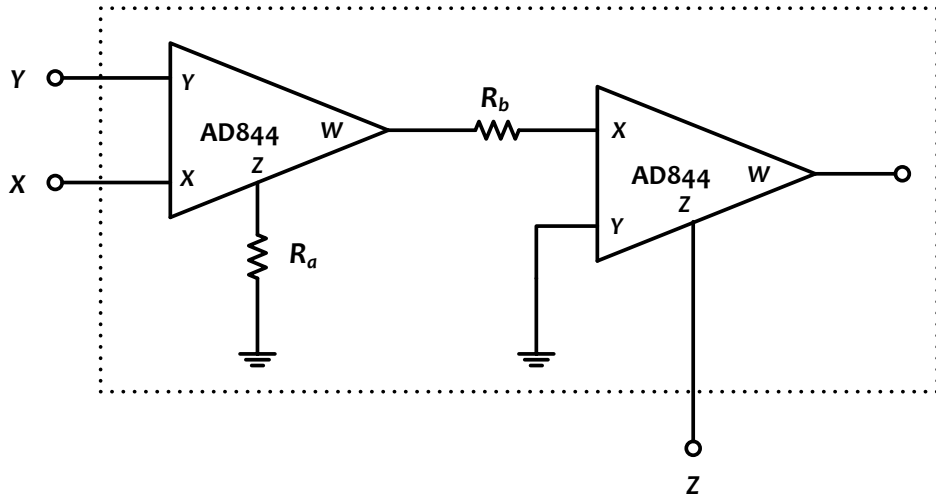
Şekil 6.38: Hazırlanan osilatörlerin çıkış gerilimleri.

6.3.6 Deneysel Test Sonuçları

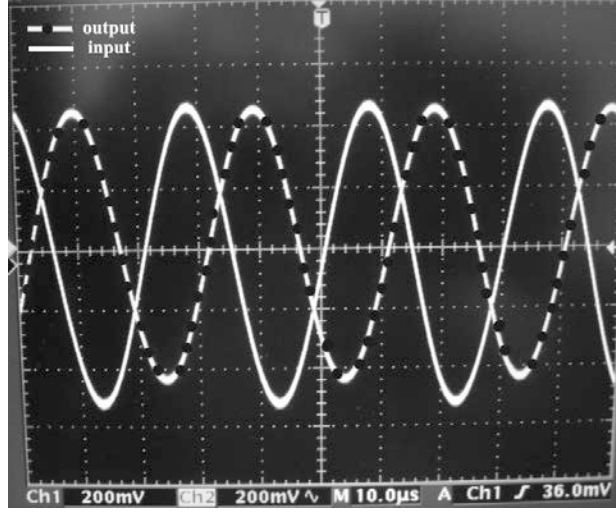
MCCII- elemanı, iki adet AD844 (Analog Devices 2009) gibi bir ticari aktif eleman ile Şekil 6.39'da görüldüğü gibi oluşturulabilir. Burada, $R_b = 2R_a = 2$ k Ω olarak seçilmiştir. Ayrıca, Şekil 6.25'deki hazırlanan tüm geçiren süzgeç için bir

deneysel test gerçekleştirmek üzere, rezonans frekansının 33.86 kHz olmasını sağlayacak şekilde, $R_2 = 2R_1 = 2 \text{ k}\Omega$ ve $C_1 = 4.7 \text{ nF}$ olarak belirlenmiştir.

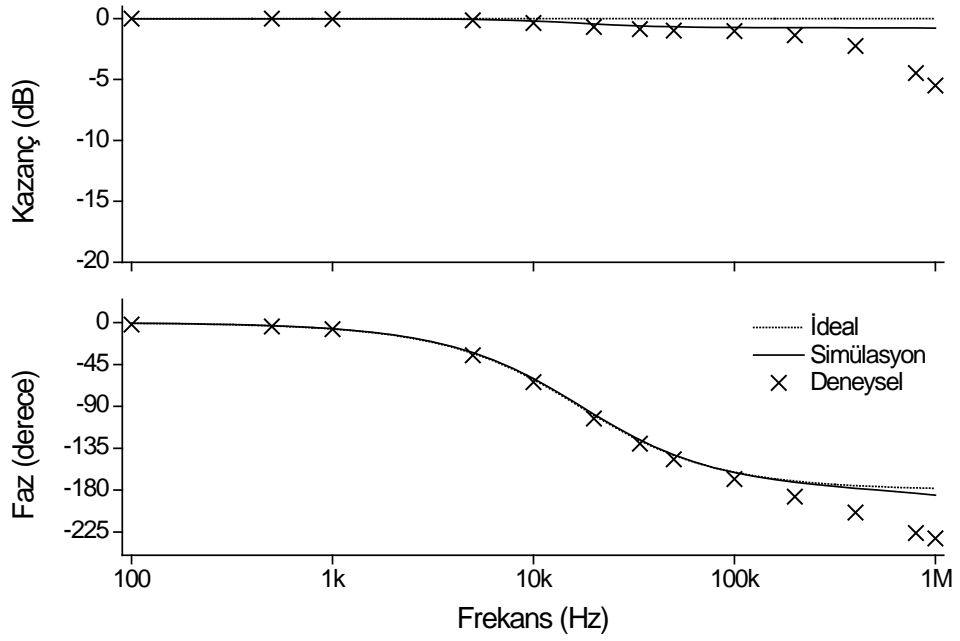
Oluşturulan deneysel test devresine, 1 V tepeden tepeye genliğe sahip 33.86 kHz frekansında bir sinüzoidal giriş işareti uygulandığında, elde edilen çıkış Şekil 6.40'da gösterilmiştir. Burada, $V_{CC} = -V_{EE} = 6 \text{ V}$ olarak seçilmiştir. Ayrıca, Şekil 6.25'teki hazırlanan tüm geçiren süzgecin ideal, simülasyon ve deneysel frekans ortamı cevapları, Şekil 6.41'de verilmiştir. Simülasyon sonuçları, AD844 elemanları ile gerçekleştirilmiştir. Deneysel sonuçlarda, Şekil 6.40'daki giriş ve çıkış işaretleri arasında oluşan faz farkı, ideal sonuçlara göre rezonans frekansında az bir sapma göstermektedir. Oluşan bu sapma; aktif cihazların ideal olmayan durumlarından, deneysel bordun parazitik empedanslarından ve pasif elemanların toleranslarından kaynaklanmaktadır. Ayrıca, Şekil 6.41'deki sapmanın da aynı nedenlerden kaynaklanmaktadır.



Şekil 6.39: İki AD844 kullanılarak MCCII- elemanının gerçekleştirilmesi.



Şekil 6.40: Hazırlanan MCCII- tabanlı tüm geçiren süzgecin zaman ortamı deneysel test cevabı.



Şekil 6.41: Frekans ortamı deneysel test sonucu.

7. İKİNCİ DERECEDEDEN AKIM MODLU SÜZGEÇ TASARIMI

Bu bölümde, tez kapsamında hazırlanan ayarlanabilir ikinci dereceden akım modlu evrensel süzgeç devresi tanıtılmaktadır.

7.1 CCII+ Tabanlı Kaskat Bağlanabilir Akım Modlu Evrensel Süzgeç

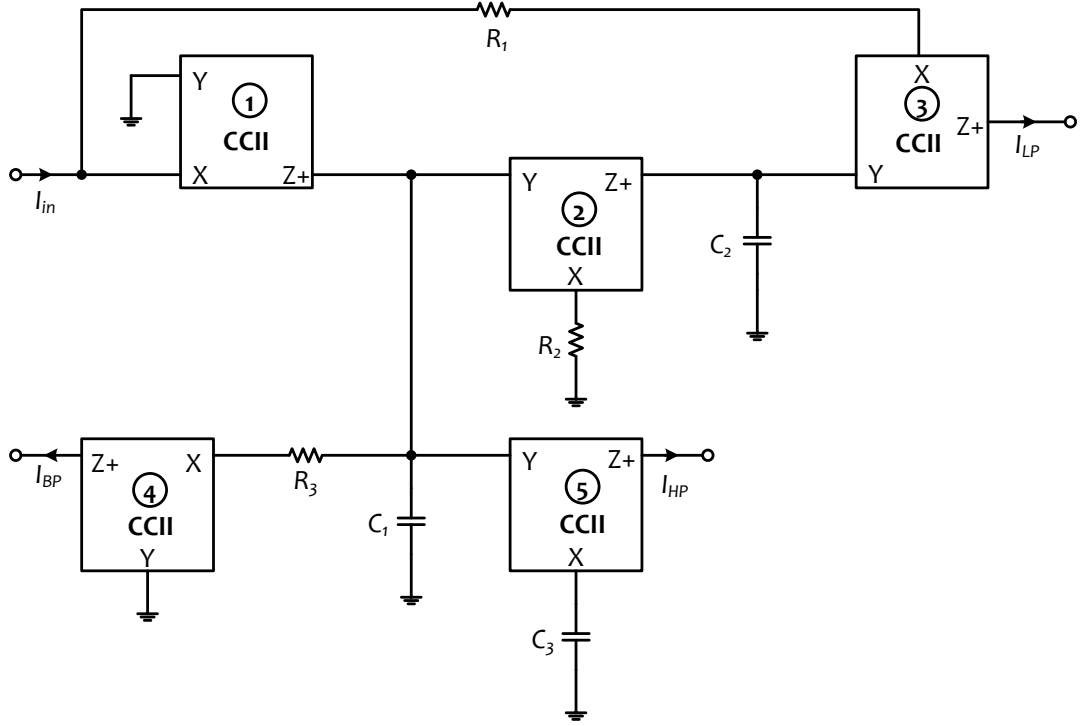
7.1.1 Giriş

Tez kapsamında, beş adet CCII+ elemanı ile gerçekleştirilen yeni bir akım modlu evrensel süzgeç konfigürasyonu önerilmiştir. Hazırlanan evrensel süzgeç, düşük giriş ve yüksek çıkış empedansına sahiptir. Bu yüzden, diğer akım modlu devrelerle kolaylıkla kaskat bağlanabilir. Hazırlanan evrensel süzgeç devresi, yalnızca topraklanmış kapasitörler kullanılarak gerçekleştirilmiştir, fakat üç adet kapasitör kullanılmıştır. Hazırlanan devre, eşzamanlı olarak, alçak geçiren, bant geçiren ve yüksek geçiren cevaplarını verebilmektedir. Bununla birlikte, çıkış akımlarının belirli seçimleri ile bant durduran (notch) ve tüm geçiren süzgeç cevaplarını da verebilmektedir. Ancak, bant durduran ve tüm geçiren süzgeç cevapları için bir pasif eleman eşlenmesine gereksinim duyulmaktadır. Eğer, CCII+ elemanlarının yerine CCCII+ elemanları kullanılırsa ve tüm dirençler kaldırılırsa, hazırlanan konfigürasyon elektronik olarak ayarlanabilir olacaktır. Bununla birlikte, hazırlanan süzgeç, açısal rezonans frekansı ve kalite faktörü parametreleri için ortogonal kontrol özelliğine sahiptir. Gerçekleştirilen simülasyonlar ve deneysel sonuçlar, kuramı desteklemektedir.

7.1.2 Yöntem

Hazırlanan tek giriş ve tek çıkışlı, akım modlu evrensel süzgeç konfigürasyonu, Şekil 7.1'de görüldüğü gibi, beş adet CCII+ elemanı, üç direnç ve iki topraklanmış kapasitör kullanılarak gerçekleştirilmiştir. Kullanılan CCII+

elemanının Arslan ve Morgül (2008) tarafından hazırlanan içyapısı, Şekil 2.5'te verildiği gibidir. Hazırlanan süzgeç, eşzamanlı olarak, evirmeyen bant geçiren, eviren alçak geçiren ve yüksek geçiren cevaplarını verebilmektedir. Ayrıca, çıkış akımlarının uygun şekilde seçilmesiyle, eviren bant durdurucu ve eviren tüm geçiren süzgeç cevaplarını da sağlayabilmektedir.



Şekil 7.1: Hazırlanan akım modlu evrensel süzgecin devre şeması.

İdeal olarak, hazırlanan süzgecin alçak geçiren (LP), yüksek geçiren (HP) ve bant geçiren (BP) transfer fonksiyonları, sırasıyla, aşağıda verildiği gibidir:

$$\frac{I_{LP}}{I_{in}} = -\frac{1}{D(s)} \quad (7.1a)$$

$$\frac{I_{HP}}{I_{in}} = -\frac{C_2 C_3 R_1 R_2 s^2}{D(s)} \quad (7.1b)$$

$$\frac{I_{BP}}{I_{in}} = \frac{\frac{C_2 R_1 R_2}{R_3} s}{D(s)} \quad (7.1c)$$

Burada, süzgecin karakteristik denklemi $D(s)$, aşağıdaki gibidir:

$$D(s) = C_1 C_2 R_1 R_2 s^2 + \frac{C_2 R_1 R_2}{R_3} s + 1 \quad (7.2)$$

$C_3 = C_1$ durumu için, tüm geçiren (AP) ve bant durduran süzgeç (NF) cevapları, sırasıyla, aşağıdaki gibi elde edilebilir:

$$\frac{I_{AP}}{I_{in}} = \frac{I_{LP} + I_{HP} + I_{BP}}{I_{in}} = - \frac{C_1 C_2 R_1 R_2 s^2 - \frac{C_2 R_1 R_2}{R_3} s + 1}{D(s)} \quad (7.3a)$$

$$\frac{I_{NF}}{I_{in}} = \frac{I_{LP} + I_{HP}}{I_{in}} = - \frac{C_1 C_2 R_1 R_2 s^2 + 1}{D(s)} \quad (7.3b)$$

Ayrıca, tüm geçiren süzgecin faz cevabı aşağıdaki şekilde hesaplanır:

$$\varphi(\omega) = \pi - 2 \tan^{-1} \left(\frac{\omega C_2 R_1 R_2}{R_3 - \omega^2 C_1 C_2 R_1 R_2 R_3} \right) \quad (7.4)$$

Burada, faz açısı 180° 'den -180° 'e doğru değişirken, frekans sıfırdan sonsuza doğru değişir. Hazırlanan süzgecin ω_o açısal rezonans frekansı ve Q kalite faktörü, sırasıyla, aşağıdaki gibi verilebilir:

$$\omega_o = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}} \quad (7.5a)$$

$$Q = R_3 \sqrt{\frac{C_1}{C_2 R_1 R_2}} \quad (7.5b)$$

Eşitlik (7.5b)'den görüldüğü gibi, Q , ω_o 'dan ayrı olarak, ortogonal şekilde R_3 üzerinden ayarlanabilir. ω_o ve Q için pasif eleman duyarlılıkları, aşağıdaki gibi hesaplanabilir:

$$S_{C_1}^{\omega_o} = S_{C_2}^{\omega_o} = S_{R_1}^{\omega_o} = S_{R_2}^{\omega_o} = -\frac{1}{2}$$

$$S_{C_1}^Q = -S_{C_2}^Q = -S_{R_1}^Q = -S_{R_2}^Q = \frac{1}{2}$$

$$S_{R_3}^Q = 1$$

Burada, R_3 hariç tüm pasif elemanların ω_o ve Q parametrelerine göre duyarlılıkları, birden küçüktür.

İdeal olmayan kazançlar dikkate alındığında, hazırlanan süzgeç için alçak geçiren, yüksek geçiren ve bant geçiren transfer fonksiyonları, sırasıyla, aşağıdaki şekilde bulunur:

$$\frac{I_{LP}}{I_{in}} = -\frac{\alpha_1 \alpha_2 \alpha_3 \beta_2 \beta_3}{D'(s)} \quad (7.6a)$$

$$\frac{I_{HP}}{I_{in}} = -\frac{\alpha_1 \alpha_5 \beta_5 C_2 C_3 R_1 R_2 s^2}{D'(s)} \quad (7.6b)$$

$$\frac{I_{BP}}{I_{in}} = \frac{\frac{\alpha_1 \alpha_4 C_2 R_1 R_2}{R_3} s}{D'(s)} \quad (7.6c)$$

İdeal olmayan kazançların yer aldığı karakteristik denklem $D'(s)$ aşağıdaki gibidir:

$$D'(s) = C_1 C_2 R_1 R_2 s^2 + \frac{C_2 R_1 R_2}{R_3} s + \alpha_1 \alpha_2 \beta_2 \beta_3 \quad (7.7)$$

$C_3 = C_1$ durumu için, ideal olmayan kazançlar dikkate alınarak tüm geçiren ve bant durduran cevapları, aşağıdaki gibi elde edilir:

$$\frac{I_{AP}}{I_{in}} = \frac{I_{LP} + I_{HP} + I_{BP}}{I_{in}} = -\frac{\alpha_1 \alpha_5 \beta_5 C_1 C_2 R_1 R_2 s^2 - \frac{\alpha_1 \alpha_4 C_2 R_1 R_2}{R_3} s + \alpha_1 \alpha_2 \alpha_3 \beta_2 \beta_3}{D'(s)} \quad (7.8a)$$

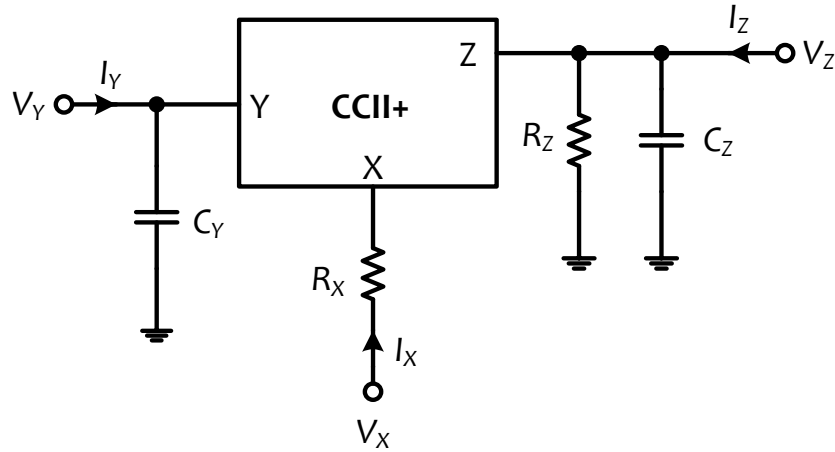
$$\frac{I_{NF}}{I_{in}} = \frac{I_{LP} + I_{HP}}{I_{in}} = -\frac{\alpha_1 \alpha_5 \beta_5 C_1 C_2 R_1 R_2 s^2 + \alpha_1 \alpha_2 \alpha_3 \beta_2 \beta_3}{D'(s)} \quad (7.8b)$$

İdeal olmayan kazançlar dikkate alınarak elde edilen tüm geçiren süzgecin faz cevabı aşağıdaki şekilde bulunabilir:

$$\begin{aligned} \phi(\omega) = & \pi - \tan^{-1} \left(\frac{\omega \alpha_1 \alpha_4 C_2 R_1 R_2}{\alpha_1 \alpha_2 \alpha_3 \beta_2 \beta_3 R_3 - \omega^2 \alpha_1 \alpha_5 \beta_5 C_1 C_2 R_1 R_2 R_3} \right) \\ & - \tan^{-1} \left(\frac{\omega C_2 R_1 R_2}{\alpha_1 \alpha_2 \beta_2 \beta_3 R_3 - \omega^2 C_1 C_2 R_1 R_2 R_3} \right) \end{aligned} \quad (7.9)$$

7.1.3 Parazitik Empedansların Etkisi

Parazitik empedansların etkisi dikkate alınarak çizilen bir CCII+ elemanı modeli, Şekil 7.2’de tekrar verilmiştir.



Şekil 7.2: Parazitik empedansların yer aldığı CCII+ modeli.

Hazırlanan süzgecin alçak geçiren, yüksek geçiren ve bant geçiren transfer fonksiyonları aşağıdaki gibi elde edilir:

$$\frac{I_{LP}}{I_{in}} = -\frac{1}{D_p(s)} \quad (7.10a)$$

$$\frac{I_{HP}}{I_{in}} = -\frac{(R_1 + R_{X3})(R_2 + R_{X2})sC_3 \left(s(C_2 + C_{Z2} + C_{Y3}) + \frac{1}{R_{Z2}} \right)}{(1 + sC_3R_{X5})D_p(s)} \quad (7.10b)$$

$$\frac{I_{BP}}{I_{in}} = \frac{\frac{(R_1 + R_{X3})(R_2 + R_{X2})}{R_3 + R_{X4}} \left(s(C_2 + C_{Z2} + C_{Y3}) + \frac{1}{R_{Z2}} \right)}{D_p(s)} \quad (7.10c)$$

Burada, hazırlanan süzgecin parazitik empedansları dikkate alınarak bulunan karakteristik denklemi aşağıdaki gibi yazılır:

$$D_p(s) = \left(s(C_1 + C_{Z1} + C_{Y2} + C_{Y5}) + \frac{1}{R_{Z1}} \right) \left(s(C_2 + C_{Z2} + C_{Y3}) + \frac{1}{R_{Z2}} \right) (R_1 + R_{X3})(R_2 + R_{X2}) \\ + \left(s(C_2 + C_{Z2} + C_{Y3}) + \frac{1}{R_{Z2}} \right) \frac{(R_1 + R_{X3})(R_2 + R_{X2})}{R_3 + R_{X4}} + 1 \quad (7.11)$$

Devrenin doğru çalışabilmesi için, aşağıdaki koşullar karşılanmalıdır (Yuce ve Minaei 2008):

$$\omega(C_2 + C_{Z2} + C_{Y3}) \gg \frac{1}{R_{Z2}} \quad (7.12a)$$

$$\omega C_3 R_{X5} \ll 1 \quad (7.12b)$$

Eşitlik (7.12)'den, devrenin çalışabildiği frekans aralığı aşağıdaki gibi elde edilir:

$$\frac{10}{2\pi(C_2 + C_{Z2} + C_{Y3})R_{Z2}} \leq f \leq \frac{0.1}{2\pi C_3 R_{X5}} \quad (7.13)$$

7.1.4 Simülasyon Sonuçları

Hazırlanan evrensel süzgecin simülasyonları, SPICE programında, EK A'da verilen 0.13 μm IBM CMOS teknoloji parametreleri kullanılarak (bkz. Tablo A.1 ve Tablo A.2) gerçekleştirilmiştir. Simülasyonlarda, $R_X = 348 \text{ m}\Omega$, $R_Z = 13.73 \text{ k}\Omega$, $C_Z = 12.9 \text{ fF}$ ve $C_Y = 3.18 \text{ fF}$ olarak bulunmuştur. Simetrik DC güç kaynağı gerilimleri, $\pm 0.75 \text{ V}$ olarak seçilmiştir. Şekil 2.5'teki CCII+ elemanında kullanılan MOS transistörlerin boyutları, Tablo 7.1'de verilmiştir. Şekil 7.1'deki süzgecin pasif

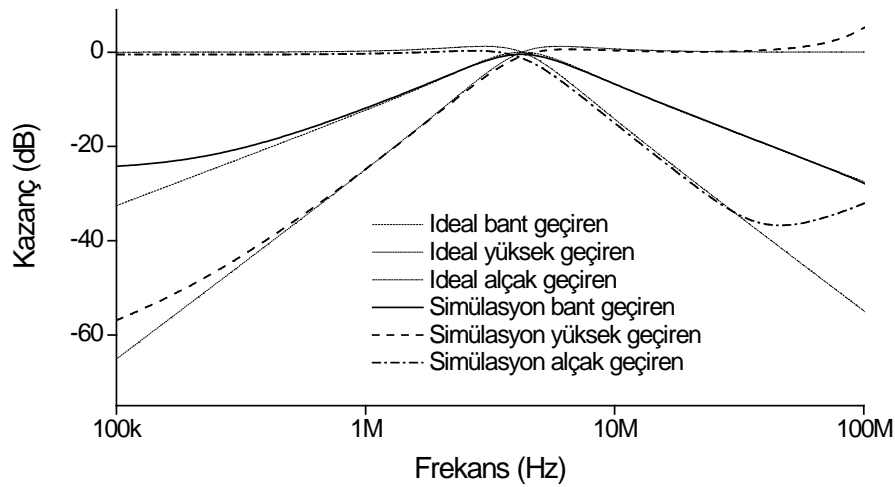
elemanları, $f_0 = 4.24$ MHz ve $Q = 1$ olacak şekilde $R_1 = R_2 = R_3 = 750 \Omega$ ve $C_1 = C_2 = C_3 = 50$ pF seçilmiştir.

Hazırlanan evrensel süzgecin alçak geçiren; yüksek geçiren ve bant geçiren kazanç cevapları, Şekil 7.3'te görülmektedir. Kazancın ideal ve simülasyon sonuçları birbirine çok yakındır.

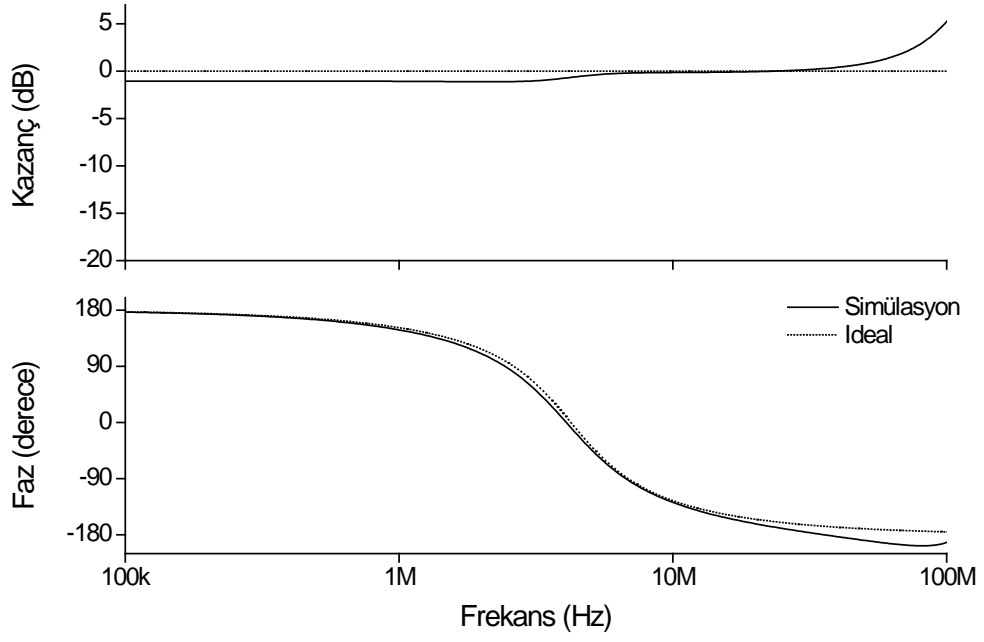
Tablo 7.1: MOS transistör boyutları.

Transistör Adı	Transistör Boyutu (W / L)
M_1, M_2, M_3, M_8, M_9	$39 \mu\text{m} / 0.52 \mu\text{m}$
$M_7, M_{10}, M_{14}, M_{15}, M_{16}$	$13 \mu\text{m} / 0.52 \mu\text{m}$
M_4, M_5	$65 \mu\text{m} / 0.52 \mu\text{m}$
M_{12}, M_{13}	$19.5 \mu\text{m} / 0.52 \mu\text{m}$
M_6	$52 \mu\text{m} / 0.52 \mu\text{m}$
M_{11}	$156 \mu\text{m} / 0.52 \mu\text{m}$

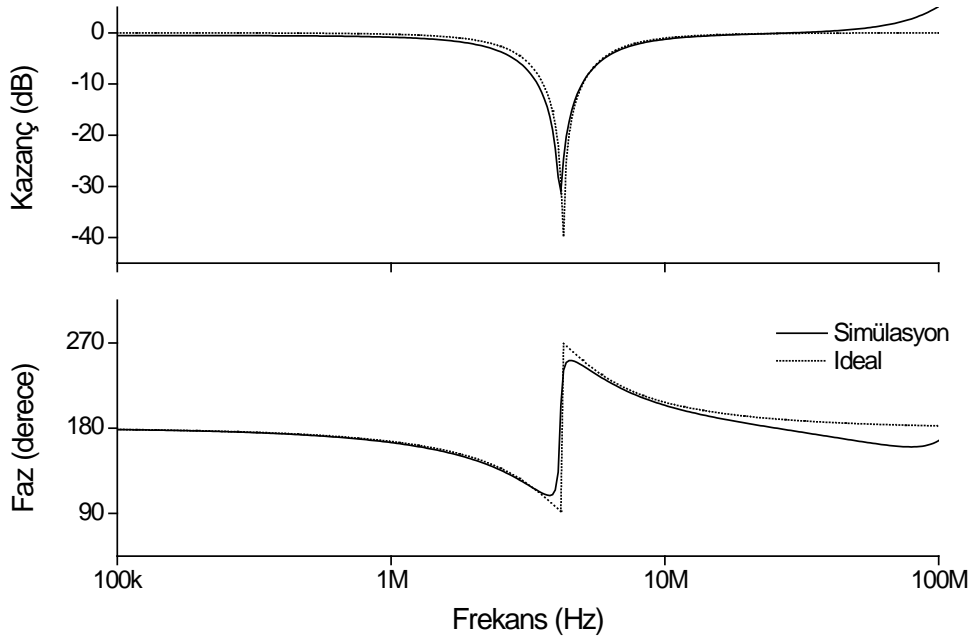
Hazırlanan evrensel süzgecin tüm geçiren ideal ve simülasyon kazanç ve faz cevabı, Şekil 7.4'te verilmektedir. Ayrıca, hazırlanan evrensel süzgecin bant durduran kazanç ve faz cevapları, Şekil 7.5'te verilmiştir.



Şekil 7.3: Hazırlanan süzgecin ideal ve simülasyon alçak geçiren, yüksek geçiren ve bant geçiren kazanç cevabı.

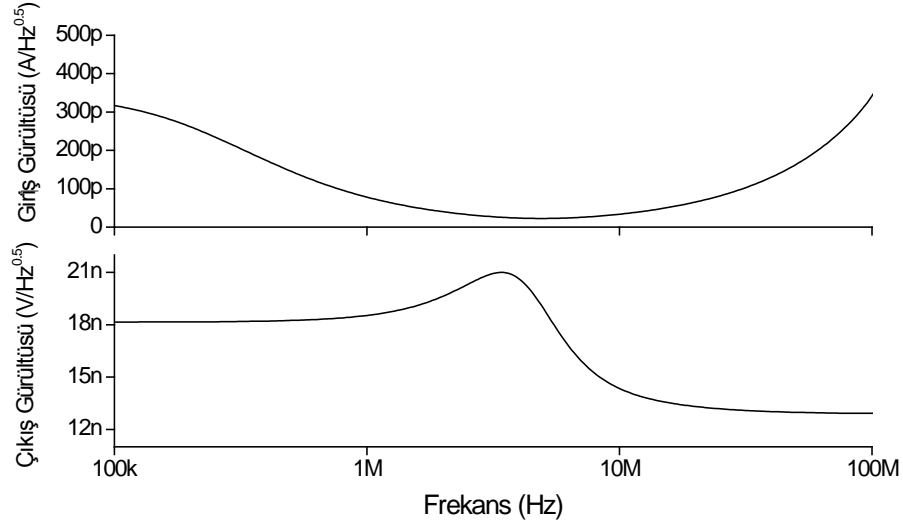


Şekil 7.4: Hazırlanan tüm geçiren süzgecin ideal ve simülasyon kazanç ve faz cevabı.



Şekil 7.5: Hazırlanan bant durduran süzgecin ideal ve simülasyon kazanç ve faz cevabı.

Hazırlanan süzgecin tüm geçiren cevabı giriş ve çıkış gürültüsü, devrenin çıkışına 1 k Ω 'luk bir yük direnci bağlanarak ölçülmüş ve Şekil 7.6'da çizdirilmiştir.



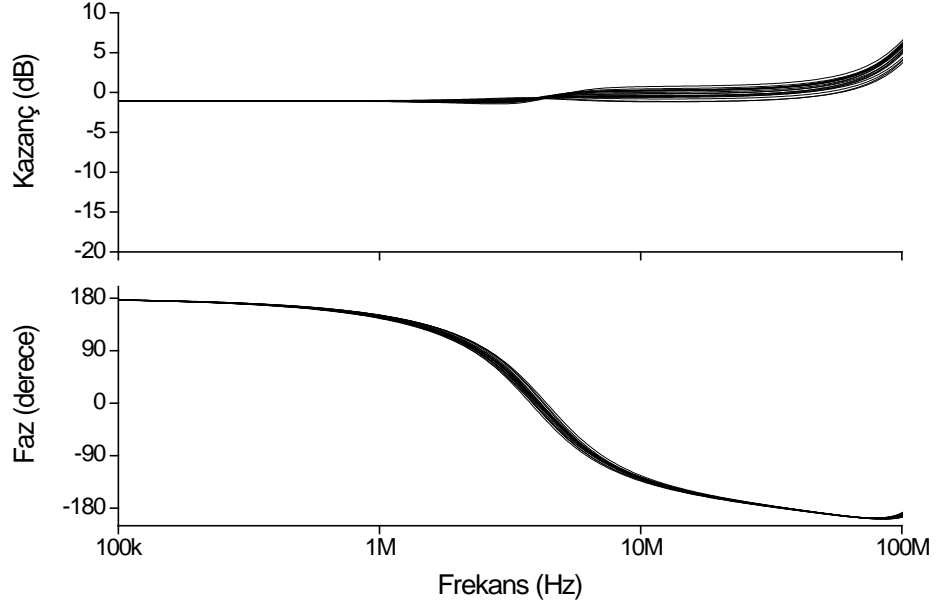
Şekil 7.6: Hazırlanan bant geçiren süzgecin giriş ve çıkış gürültüsü.

C_1 , C_2 ve C_3 kapasitörlerinin % 10 oranında düzgün dağılıma göre değiştirilmesiyle gerçekleştirilen 20 adımlı bir Monte Carlo analizi sonucunda, hazırlanan süzgecin tüm geçiren cevabının değişimi izlenmiştir. Kazanç ve faz cevabı Şekil 7.7'de görülmektedir. Benzer şekilde, R_1 , R_2 ve R_3 dirençlerinin % 10 oranında düzgün dağılıma göre değiştirilmesiyle gerçekleştirilen yirmi adımlı bir Monte Carlo analizi ile hazırlanan süzgecin tüm geçiren cevabı izlenmiştir. Kazanç ve faz cevapları Şekil 7.8'de çizdirilmiştir.

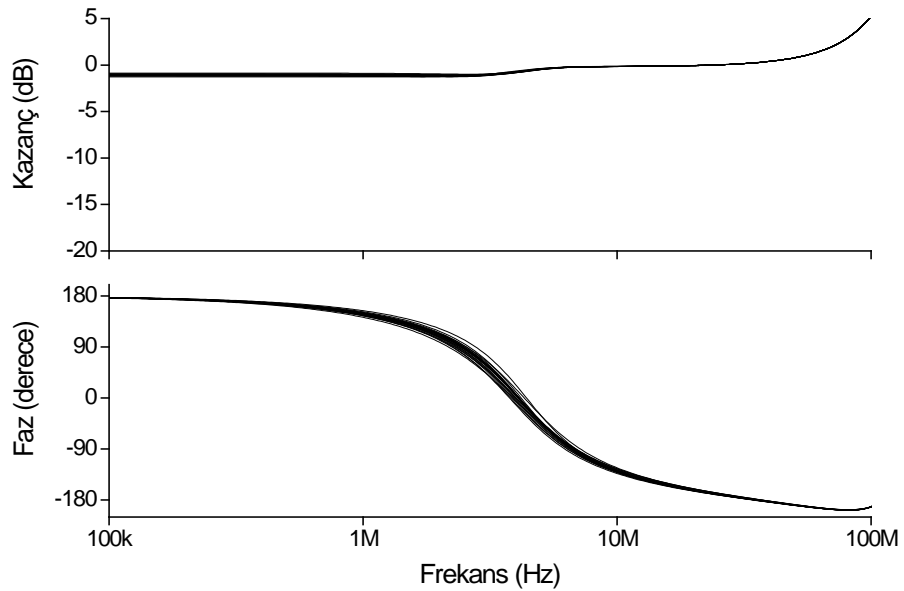
Hazırlanan süzgecin girişine, 4.24 MHz frekansında ve 50 μ A tepe genliğine sahip bir sinüzoidal akım işareti uygulanmıştır. Tüm geçiren çıkış cevabının ideal ve simülasyon giriş ve çıkış işaretleri, Şekil 7.9'da çizdirilmiştir.

C_1 , C_2 ve C_3 kapasitörlerinin % 10 oranında düzgün dağılıma göre değiştirilmesiyle gerçekleştirilen 20 adımlı bir Monte Carlo analizi için, hazırlanan süzgecin girişine 4.24 MHz frekansında 50 μ A tepe genliğine sahip bir sinüzoidal akım işareti uygulanmıştır. Giriş işareti ve tüm geçiren çıkış cevabı, Şekil 7.10'da gösterilmektedir. Aynı şekilde, R_1 , R_2 ve R_3 dirençlerinin % 10 oranında düzgün dağılıma göre değiştirilmesiyle gerçekleştirilen 20 adımlı bir Monte Carlo analizi

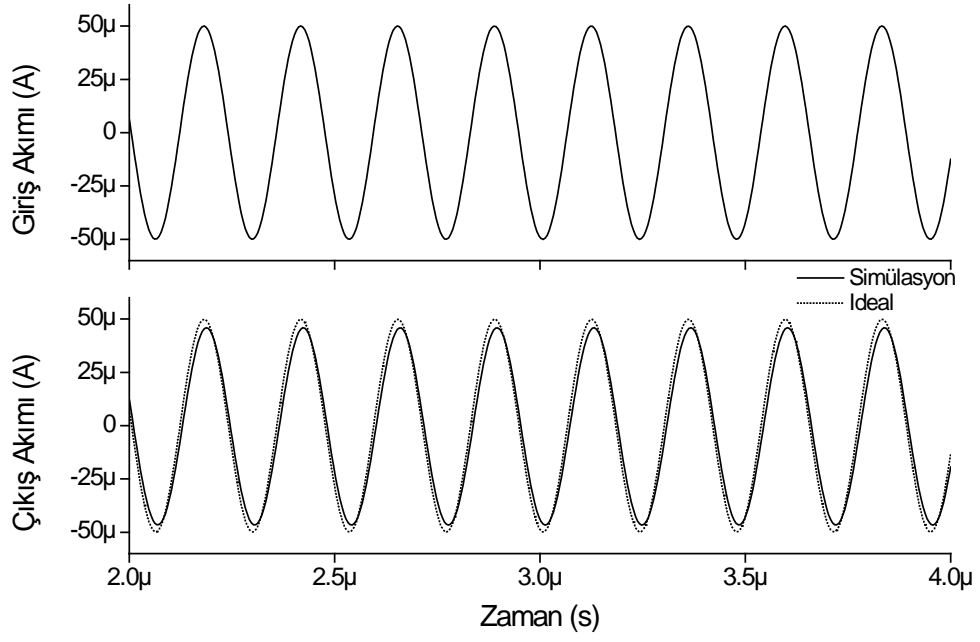
için, hazırlanan süzgecin girişine 4.24 MHz frekansında $50 \mu\text{A}$ tepe genliğine sahip bir sinüzoidal işaret uygulanmıştır. Giriş işareti ve tüm geçiren çıkış cevabı, Şekil 7.11’de gösterilmektedir.



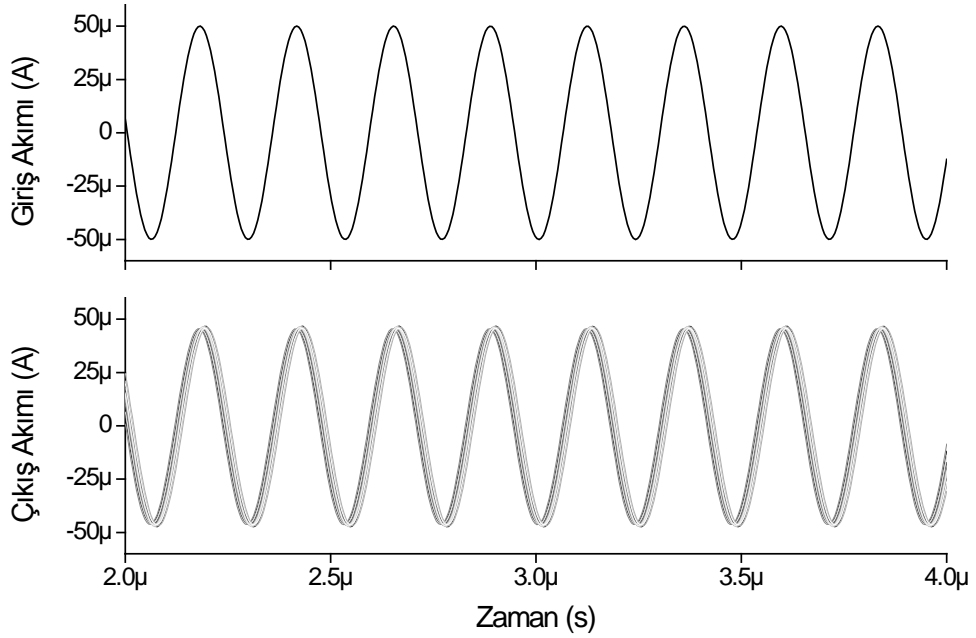
Şekil 7.7: C_1 , C_2 ve C_3 değerlerinin %10 değişimiyle gerçekleştirilen Monte Carlo analizi sonucunda tüm geçiren süzgeç kazanç ve faz cevabı.



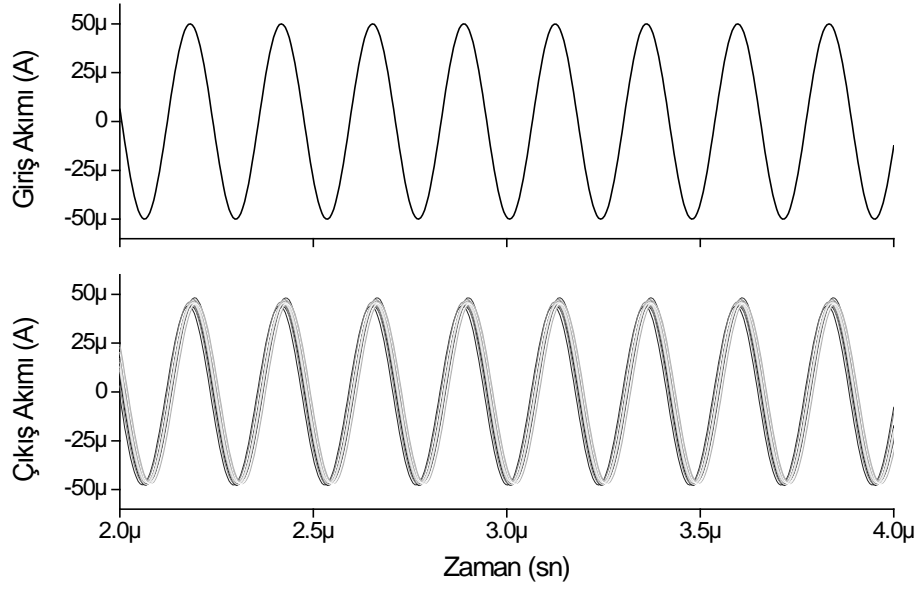
Şekil 7.8: R_1 , R_2 ve R_3 değerlerinin %10 değişimiyle gerçekleştirilen Monte Carlo analizi sonucunda tüm geçiren süzgeç kazanç ve faz cevabı.



Şekil 7.9: Hazırlanan evrensel süzgecin sinüzoidal giriş işareti için tüm geçiren cevabı.

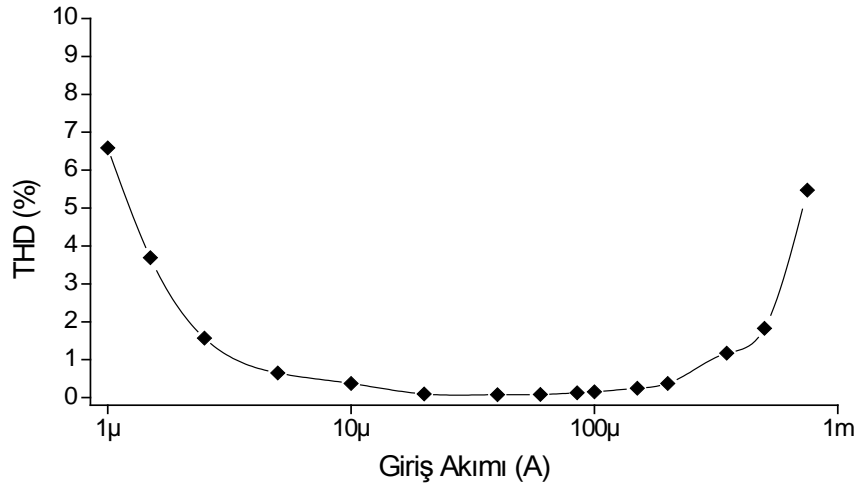


Şekil 7.10: C_1 , C_2 ve C_3 değerlerinin %10 değişimiyle gerçekleştirilen Monte Carlo analizi sonucunda tüm geçiren süzgeç sinüzoidal giriş ve çıkış cevabı.



Şekil 7.11: R_1 , R_2 ve R_3 değerlerinin %10 değişimiyle gerçekleştirilen Monte Carlo analizi sonucunda tüm geçiren süzgeç sinüzoidal giriş ve çıkış cevabı.

Hazırlanan süzgecin toplam güç tüketimi, SPICE simülasyonlarında, 5.48 mW olarak hesaplanmıştır. Hazırlanan süzgecin, bant geçiren cevabının çıkışına 1 k Ω 'luk bir direnç bağlanmıştır. Girişe uygulanan 4.24 MHz frekansında sinüzoidal işarete karşılık süzgecin THD değişimi, Şekil 7.12'de verilmektedir.



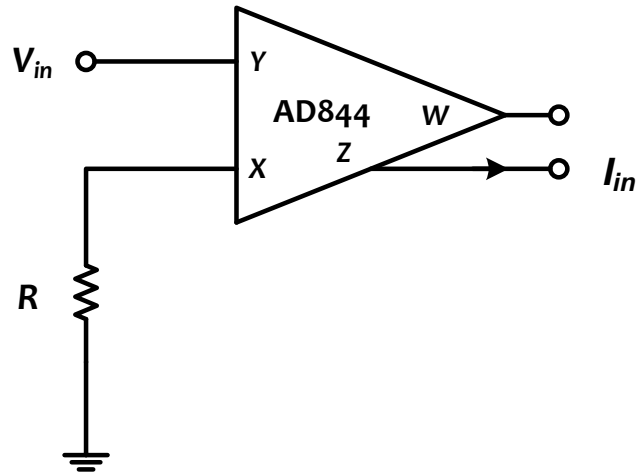
Şekil 7.12: Hazırlanan evrensel süzgecin bant geçiren cevabı için giriş akımına bağlı olarak toplam harmonik bozulmasının değişimi.

7.1.5 Deneysel Test Sonuçları

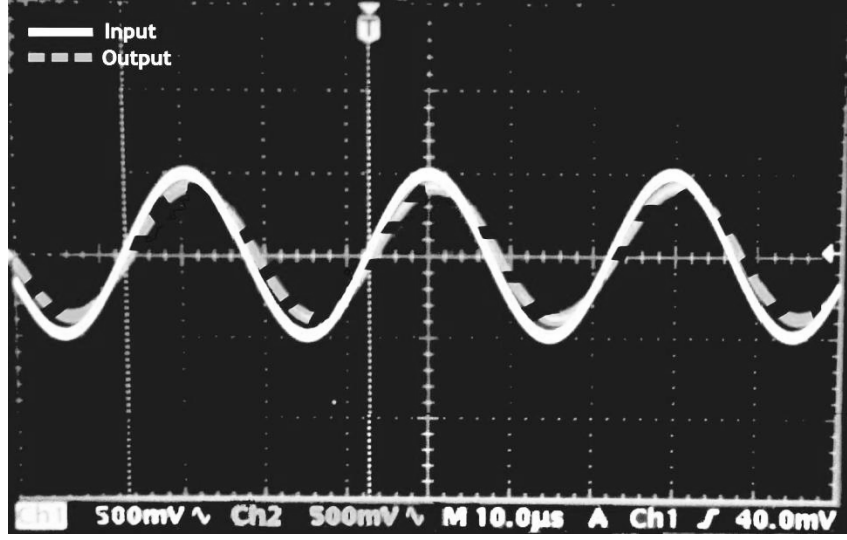
Deneysel test gerçekleştirmek amacıyla, hazırlanan evrensel süzgeç, devredeki CCII+ elemanlarının yerine beş adet AD844 (Analog Devices 2009) aktif elemanı kullanılmıştır. Ayrıca, gerilimi akıma dönüştürmek amacıyla, Şekil 7.13'teki gibi, bir adet AD844 ve bir direnç ($R = 1 \text{ k}\Omega$) ile giriş işareti üretme devresi oluşturulmuştur. Deneysel test devresindeki pasif elemanlar, $R_1 = R_2 = R_3 = 1 \text{ k}\Omega$ ve $C_1 = C_2 = C_3 = 4.7 \text{ nF}$ olarak seçilmiştir. Böylece, $f_o = 33.86 \text{ kHz}$ ve $Q = 1$ elde edilir. Ayrıca, simetrik güç kaynağı, $\pm 6 \text{ V}$ olarak uygulanmıştır.

Deneysel test devresinin zaman ortamındaki giriş ve bant geçiren çıkış cevabı, Şekil 7.14'te gösterilmiştir. Hazırlanan devrenin kazanç cevabı için ideal ve deneysel test sonuçları Şekil 7.15'te verilmektedir.

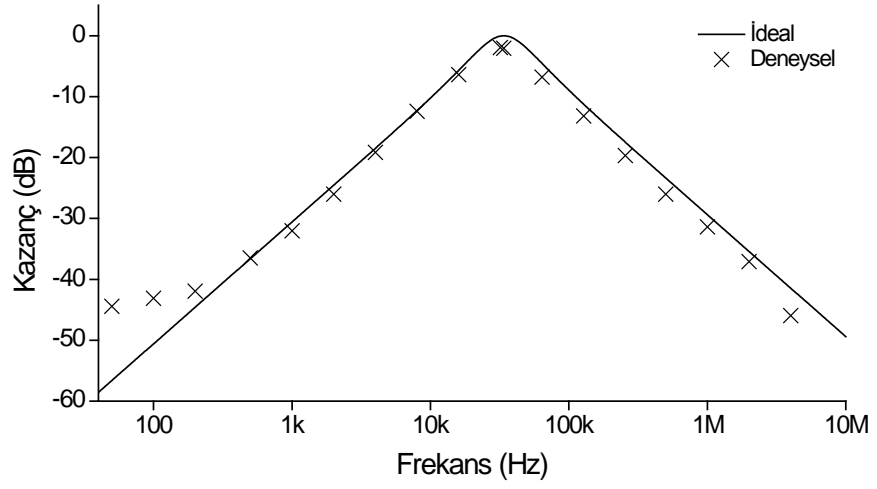
Simülasyonlardan ve deneysel test sonuçlarından görüldüğü üzere; ideal, simülasyon ve deneysel test sonuçları birbirine çok yakındır. Sonuçlarda meydana gelen küçük sapmalar, frekansa bağımlı ideal olmayan kazançlar, parazitik empedanslar gibi ideal olmayan etkilerden kaynaklanmaktadır. Ayrıca, deneysel test bordunun parazitik kapasitör ve dirençleri de hazırlanan süzgecin deneysel performansını etkilemektedir.



Şekil 7.13: Giriş akımı elde etmek için giriş işareti üretme devresi.



Şekil 7.14: Hazırlanan süzgecin bant geçiren çıkışı için sinüzoidal giriş ve çıkış cevabı.



Şekil 7.15: Hazırlanan süzgecin bant geçiren çıkışı için ideal ve deneysel frekans cevabı.

8. İKİNCİ DERECEDEDEN GERİLİM MODLU SÜZGEÇ TASARIMI

Bu bölümde, tez kapsamında hazırlanan CCII tabanlı gerilim modlu çok fonksiyonlu süzgeç tanıtılmaktadır.

8.1 CCII Tabanlı Gerilim Modlu Çok Fonksiyonlu Süzgeç

8.1.1 Giriş

Bu tez kapsamında, yeni bir CCII tabanlı gerilim modlu çok fonksiyonlu süzgeç hazırlanmıştır (Yucel ve Yuce 2015). Hazırlanan bir giriş üç çıkışlı süzgeç devresi, bir adet TO-CCII, bir adet DO-CCII, üç adet direnç ve iki adet topraklanmış kapasitör ile gerçekleştirilmiştir. Hazırlanan süzgeç, eşzamanlı olarak, alçak geçiren, bant geçiren ve yüksek geçiren cevaplarını verebilmektedir. Ayrıca, hazırlanan süzgeç, diğer gerilim modlu devrelerle kolay bir şekilde kaskat bağlanabilmesi için, yüksek giriş empedansına sahiptir. Hazırlanan süzgecin yüksek frekans performansı çok iyidir, çünkü CCII elemanlarının X ucuna seri olarak bağlı bir kapasitör yoktur (Yuce ve Minaei 2008). Buna karşın, hazırlanan süzgeç, bant durduran ve tüm geçiren cevaplarını verebilmek için ek bir devreye gereksinim duymaktadır.

8.1.2 Yöntem

Hazırlanan süzgecin devre şeması, Şekil 8.1'de görülmektedir. Hazırlanan süzgeç devresinde kullanılan TO-CCII elemanının içyapısı ise, Şekil 2.9'da verilmiştir. DO-CCII elemanı, TO-CCII elemanının Z_{2+} ucunu topraklamak suretiyle, kolayca gerçekleştirilebilir. İdeal olarak, hazırlanan gerilim modlu süzgecin bant geçiren, alçak geçiren ve yüksek geçiren transfer fonksiyonları, sırasıyla, aşağıda verilmiştir:

$$\frac{V_{BP}}{V_{in}} = \frac{C_2 R_1 s}{D(s)} \quad (8.1a)$$

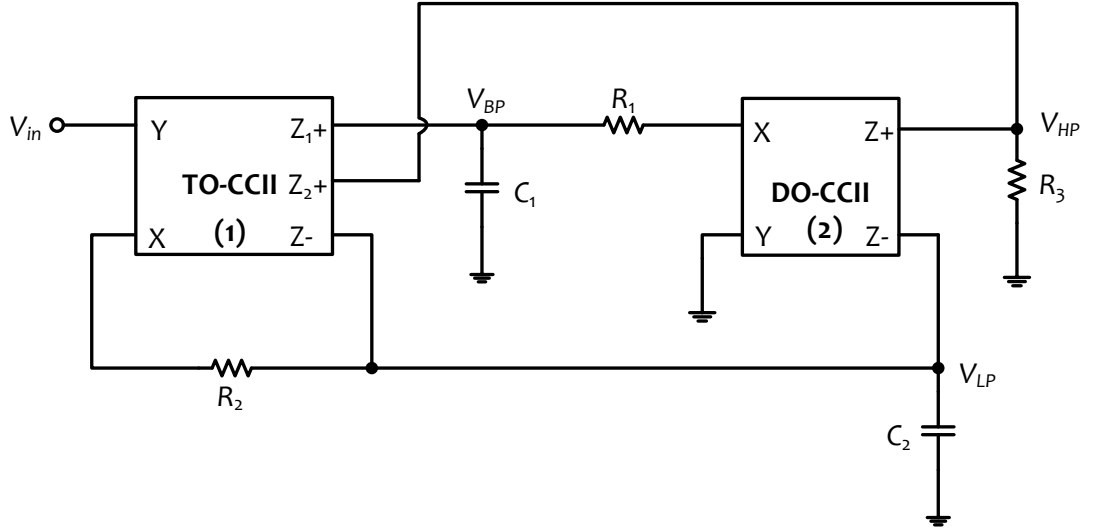
$$\frac{V_{LP}}{V_{in}} = \frac{1}{D(s)} \quad (8.1b)$$

$$\frac{V_{HP}}{V_{in}} = \frac{C_1 C_2 R_1 R_3 s^2}{D(s)} \quad (8.1c)$$

Burada, transfer fonksiyonu karakteristik denklemi $D(s)$;

$$D(s) = s^2 C_1 C_2 R_1 R_2 + s C_2 R_2 + 1 \quad (8.2)$$

olarak tanımlanır.



Şekil 8.1: Hazırlanan CCII tabanlı gerilim modlu çok fonksiyonlu süzgecin devre şeması.

Eşitlik (7.2)'den, açısal rezonans frekansı (ω_o) ve kalite faktörü (Q), sırasıyla, aşağıdaki şekilde hesaplanır:

$$\omega_o = \sqrt{\frac{1}{C_1 C_2 R_1 R_2}} \quad (8.3a)$$

$$Q = \sqrt{\frac{C_1 R_1}{C_2 R_2}} \quad (8.3b)$$

Eğer, ideal olmayan kazançlar dikkate alınrsa, devrenin transfer fonksiyonları, sırasıyla, aşağıdaki şekle dönüşür:

$$\frac{V_{BP}}{V_{in}} = \frac{\alpha_1 \beta_1 C_2 R_1 s}{D_n(s)} \quad (8.4a)$$

$$\frac{V_{LP}}{V_{in}} = \beta_1 \frac{(1 - \gamma_1 + \alpha_1 \gamma_2) + (1 - \gamma_1) C_1 R_1 s}{D_n(s)} \quad (8.4b)$$

$$\frac{V_{HP}}{V_{in}} = \beta_1 \frac{(\eta_1 - \alpha_1 \alpha_2) C_2 R_3 s + \eta_1 C_1 C_2 R_1 R_3 s^2}{D_n(s)} \quad (8.4c)$$

Devrenin karakteristik denklemi $D_n(s)$ ise aşağıdaki gibi verilebilir:

$$D_n(s) = C_1 C_2 R_1 R_2 s^2 + (C_2 R_2 + (1 - \gamma_1) C_1 R_1) s + 1 - \gamma_1 + \alpha_1 \gamma_2 \quad (8.5)$$

Benzer şekilde, ideal olmayan kazançlar dikkate alınarak, eşitlik (8.5)'te $D_n(s)$ karakteristik denkleminde elde edilen ω_{on} ve Q_n parametreleri, sırasıyla, aşağıdaki şekilde hesaplanır:

$$\omega_{on} = \sqrt{\frac{1 - \gamma_1 + \alpha_1 \gamma_2}{C_1 C_2 R_1 R_2}} \quad (8.6a)$$

$$Q_n = \frac{\sqrt{(1 - \gamma_1 + \alpha_1 \gamma_2) C_1 C_2 R_1 R_2}}{C_2 R_2 + C_1 R_1 (1 - \gamma_1)} \quad (8.6b)$$

Eğer hazırlanan süzgeçte, CCII elemanlarının yerine CCCII elemanları kullanılırsa, elektronik olarak ayarlanabilir süzgeç elde edilebilir (Fabre ve diğ. 1996). Ayrıca, devreyi harici olarak kontrol edebilmek için, topraklanmış direncin yerine, elektronik olarak ayarlanabilir topraklanmış direnç (Wang 1990, Yuçe ve diğ. 2011, Arslanalp ve diğ. 2013) yerleştirilebilir.

8.1.3 Simülasyon Sonuçları

Hazırlanan süzgecin simülasyonları, SPICE programında, EK A'da verilen $0.13 \mu\text{m}$ IBM CMOS teknoloji parametreleri (bkz. Tablo A.1 ve Tablo A.2) kullanılarak gerçekleştirilmiştir. Simetrik DC güç kaynağı gerilimleri, $\pm 0.75 \text{ V}$ olarak seçilmiştir. Şekil 2.9'da görülen kutuplama gerilimi V_B ise 0.37 V olarak uygulanmıştır.

Şekil 2.9'da verilen TO-CCII elemanında yer alan MOS transistörlerin boyutları, Tablo 8.1'de verilmiştir. Hazırlanan çok fonksiyonlu süzgeçte kullanılan pasif elemanlar, $f_o = 3.18 \text{ MHz}$ ve $Q = 1$ iken, $R_1 = R_2 = R_3 = 1 \text{ k}\Omega$ ve $C_1 = C_2 = 50 \text{ pF}$ olarak seçilmiştir.

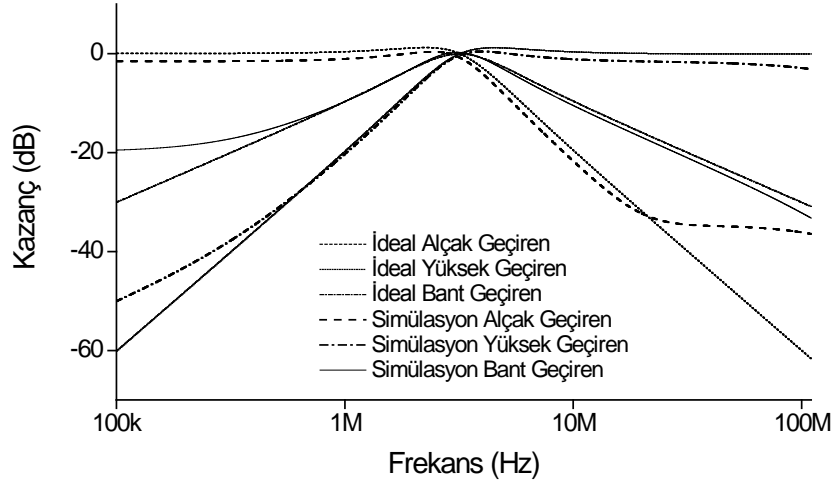
Tablo 8.1: MOS transistör boyutları.

Transistör Tipi	Transistör Boyutu (W / L)
PMOS transistörler M_1 - M_9	$41.6 \mu\text{m} / 0.52 \mu\text{m}$
PMOS transistör M_{10}	$83.2 \mu\text{m} / 0.52 \mu\text{m}$
NMOS transistörler M_{11} - M_{18}	$13 \mu\text{m} / 0.52 \mu\text{m}$

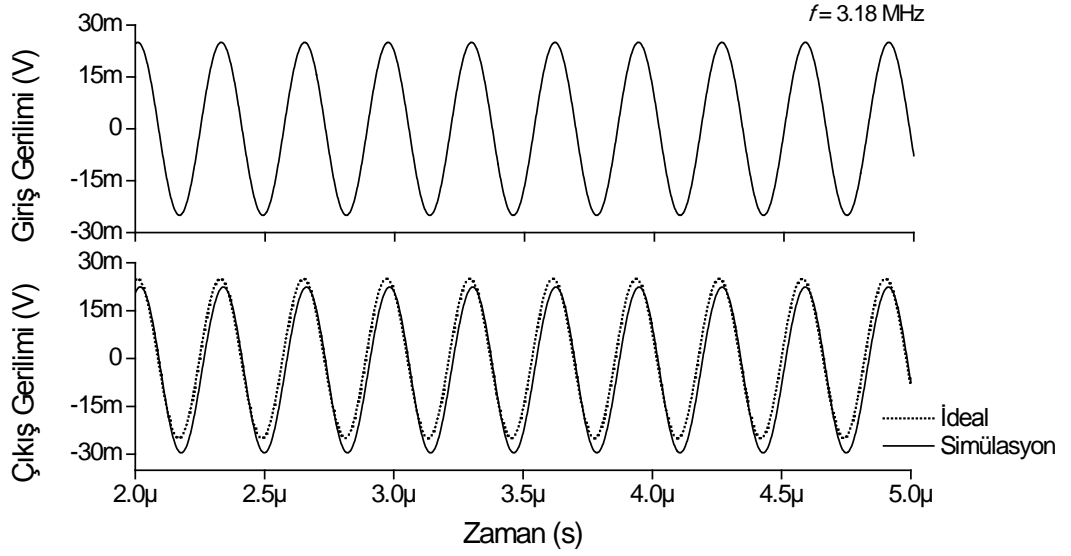
Hazırlanan süzgecin kazanç cevapları, Şekil 8.2'de görülmektedir. İdeal sonuçlar ile simülasyon sonuçları birbiriyle uyumaktadır. Buna karşın, yüksek frekanslarda oluşan sapmalar, X ucu parazitik empedansından ve CCII elemanlarının frekansa bağımlı ideal olmayan kazançlarından kaynaklanmaktadır (Yuce 2008). Ayrıca, düşük frekanslardaki farklar, CCII elemanlarının Z ucu parazitik dirençlerinden ileri gelmektedir (Yuce ve Minaei 2009^b).

Hazırlanan süzgecin girişine 25 mV tepe genliğine sahip ve 3.18 MHz frekansında bir sinüzoidal giriş işareti uygulanmıştır. Giriş işareti ve bant geçiren çıkış cevabı Şekil 8.3'te çizdirilmiştir.

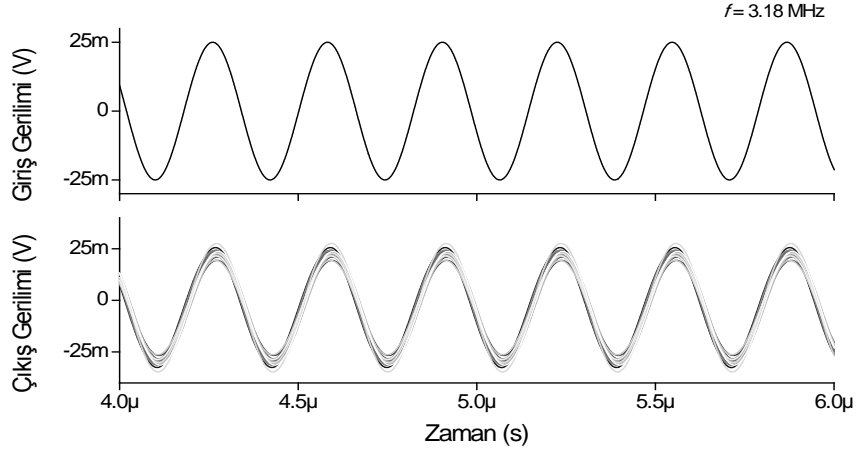
Hazırlanan süzgecin R_1 , R_2 ve R_3 direnç değerlerinin % 10 değişimi için 20 adımlı bir Monte Carlo analizi gerçekleştirilmiştir. Bunun için, süzgecin girişine 25 mV tepe genliğine sahip ve 3.18 MHz frekansında bir sinüzoidal işaret uygulanmıştır. Giriş işareti ve bant geçiren çıkış cevabı Şekil 8.4'te çizdirilmiştir.



Şekil 8.2: Hazırlanan CCII tabanlı gerilim modlu süzgecin kazanç cevabı.

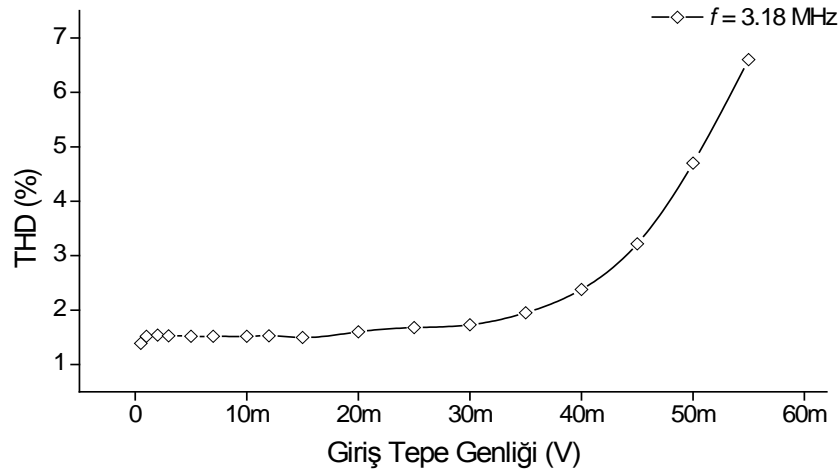


Şekil 8.3: Hazırlanan süzgecin bant geçiren sinüzoidal işaret giriş ve çıkış cevabı.

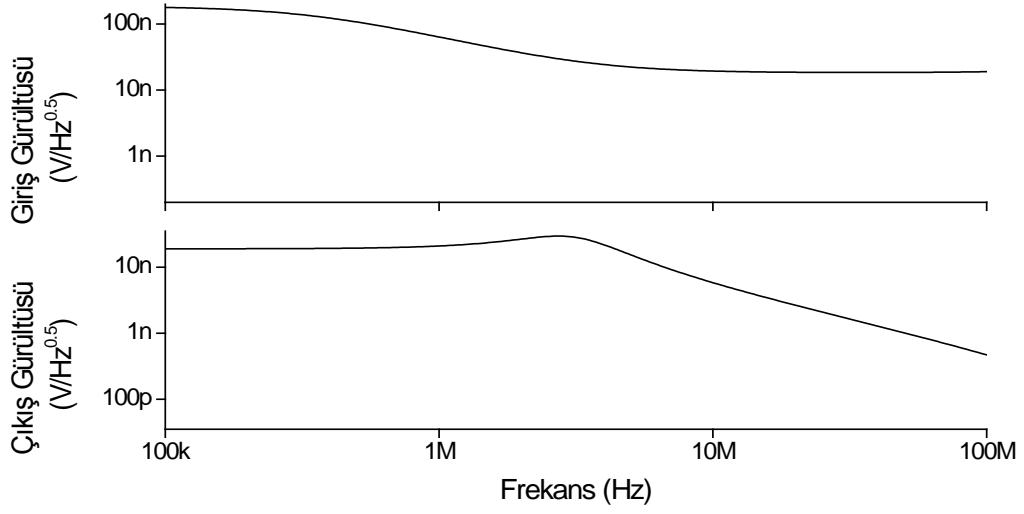


Şekil 8.4: Hazırlanan süzgecin R_1 , R_2 ve R_3 direnç değerlerinin %10 değişimi ile gerçekleştirilen Monte Carlo analizi.

Hazırlanan süzgecin toplam güç tüketimi, simülasyonlarda, 1.2 mW olarak hesaplanmıştır. Hazırlanan süzgecin bant geçiren cevabı için, 3.18 MHz frekansında bir sinüzoidal giriş işaretinin tepe genliği değiştirilerek, THD değerleri elde edilmiştir. Tepe genliği değerlerine göre THD'nin değişimi, Şekil 8.5'te çizdirilmiştir. THD değerlerini azaltmak için, simetrik güç kaynağı gerilimi artırılmalıdır. Bu durumda da, devrenin güç tüketimi artacaktır. Hazırlanan süzgecin giriş ve çıkış gürültüsü, Şekil 8.6'da verilmiştir.



Şekil 8.5: Hazırlanan süzgecin giriş işaretinin tepe genliğinin değişimine göre toplam harmonik bozulması.



Şekil 8.6: Hazırlanan CCII tabanlı gerilim modlu süzgecin frekansın değişimine göre giriş ve çıkış gürültüsü.

İdeal ve simülasyon sonuçlarının birbiriyle uyumlu olduğu görülmektedir, ancak sonuçlardaki küçük sapmalar, frekansa bağımlı ideal olmayan kazançlar ve parazitik empedanslar gibi aktif aygıtların ideal olmayan durumlarından kaynaklanmaktadır.

9. SONUÇ VE ÖNERİLER

CMOS teknolojisi, analog devre tasarımında ve tümleşik devrelerin üretiminde yaygın olarak kullanılan teknolojilerden birisidir. CMOS teknolojisinin sunduğu güvenilirlik, üretim kolaylığı, düşük güç tüketimi, düşük maliyet ve en önemlisi ölçeklenebilirlik gibi üstün yönler, bu teknolojinin günümüzde sıklıkla tercih edilmesine neden olmuştur. İlk üretilen CMOS transistörlerin kanal uzunlukları mikrometreler düzeyindeyken, günümüzde üretilen aygıtlarda bu boyutlar nanometreler düzeyine inmiştir.

Yüksek düzeyde lineerlik ve ayarlanabilirlik, CMOS tabanlı analog devrelerde önemli bir performans parametresidir. Ayarlanabilir analog devreler, tasarlanan dinamik çalışma aralığı içerisinde, istenen bir çalışma noktasında çalıştırılabilir. Örneğin bir süzgecin rezonans frekansı ve kalite faktörü gibi parametreleri kontrol edilebilir. Ayrıca, ayarlanabilir bir devre, esnek tasarımı sayesinde, çok amaçlı olarak farklı devre yapılarında kullanılabilir.

Bu tez çalışmasında, geniş bir frekans bandı içerisinde lineer karakteristik gösteren, az sayıda aktif ve pasif devre elemanına sahip, düşük güç tüketimli, düşük gürültülü, elektronik olarak ayarlanabilir, CMOS teknolojisine dayalı devrelerin tasarlanması amaçlanmıştır. Bu kapsamda; ayarlanabilir direnç, ayarlanabilir transkondüktör, kare alıcı devre, birinci dereceden ayarlanabilir gerilim modlu tüm geçiren süzgeçler, ikinci dereceden ayarlanabilir akım ve gerilim modlu süzgeç devreleri önerilmiştir. Hazırlanan devreler için $0.13 \mu\text{m}$ ve $0.25 \mu\text{m}$ CMOS teknoloji parametreleri kullanılarak simülasyonlar gerçekleştirilmiştir.

Tez kapsamında hazırlanan lineer bir GVCR, sadece üç adet MOS transistör kullanılarak gerçekleştirilmiştir. Ayrıca, direnç değerlerini lineer olarak değiştirmek amacıyla bir kontrol gerilimine sahiptir. Hazırlanan GVCR elemanının simülasyon sonuçlarından, girişe uygulanan akım ve gerilimlerin uygun şekilde seçilmesiyle, lineer bir gerilim akım ilişkisine sahip olduğu görülmektedir. Tümleşik devre çizimi sonrası gerçekleştirilen simülasyonlar ile ideal sonuçlar beklendiği gibi birbiriyle uyumludur. İdeal ve simülasyon sonuçları arasındaki küçük sapmalar, MOS

transistörlerin ideal olmayan durumlarından kaynaklanmaktadır. Yapılan simülasyonlarda, akımlar giriş, gerilimler ise çıkış kabul edilmiştir; bu durumun tersi olması halinde de aynı sonuçlar elde edilebilir. GVCR elemanına bir uygulama örneği vermek üzere, iki adet DVCC elemanı ile ikinci dereceden çok fonksiyonlu bir süzgeç hazırlanmıştır. Hazırlanan süzgeç, topraklanmış pasif eleman içermektedir. Süzgeçte bulunan dirençlerin yerine hazırlanan GVCR elemanı kullanılmıştır.

Tez kapsamında hazırlanan bir çalışmada, yüksek lineerlik gösteren ayarlanabilir iki adet transkondüktör tasarlanmıştır. Hazırlanan transkondüktörlerin her ikisi de doyum bölgesinde çalışan altı adet MOS transistör içermektedir. Her iki transkondüktörün geçiş iletkenliği, bir kontrol gerilimi sayesinde lineer olarak ayarlanabilmektedir. Her iki transkondüktör, ek bir kutuplama gerilimi veya akımına ihtiyaç duymamaktadır. Transkondüktörler için bir uygulama örneği olarak, topraklanmış kapasitörlü pozitif kayıpsız bir endüktans simülatörü verilmiştir. Simülasyonlar ve deney sonuçları, devrenin çalışabilirliğini göstermektedir.

Tez kapsamında gerçekleştirilen üçüncü çalışmada, gerilim giriş/akım çıkışlı CMOS tabanlı bir kare alıcı devre ve bu devrenin dört kadranlı çarpıcı uygulaması önerilmiştir. Hazırlanan devre, yüksek giriş ve çıkış empedansına sahip olduğundan diğer devrelerle kaskat bağlanabilmesi mümkündür. Ayrıca, iki simetrik kutuplama gerilimi de yüksek giriş empedanslı olduğundan, kutuplama gerilimleri ek topolojilere gereksinim duymaksızın bağlanabilir. Hazırlanan kare alıcının diğer bir avantajı ise düşük güç tüketimidir. Devre yalnızca altı adet MOS transistör içermektedir. Bu yüzden tümleşik devre teknolojisi yönünden, çok büyük bir silikon alana gereksinim duyulmamaktadır. Buna karşın, devrede, bazı eleman eşlenme durumları söz konusudur. Hazırlanan transkondüktörlerin bir uygulama örneği olarak, yedi adet MOS transistörden oluşan gerilim giriş ve akım çıkışlı yeni bir kare alıcı devre hazırlanmıştır. Hazırlanan konfigürasyonların üstün yönlerinden birisi, yüksek giriş ve çıkış empedanslarıdır. SPICE simülasyonu sonuçları, savunulan kuramı desteklemektedir.

Diğer bir çalışmada, üç adet NMOS transistör ve bir kapasitörden oluşan birinci dereceden tüm geçiren süzgeç tasarımı gerçekleştirilmiştir. Hazırlanan süzgecin ana avantajı, yüksek giriş empedansı özelliğine sahip olmasıdır. Bu

nedenle, hazırlanan devre diğer gerilim modlu devrelerle kolayca kaskat bağlanabilir. Ayrıca, devrenin rezonans frekansı, bir kontrol akımı ile ayarlanabilmektedir. Hazırlanan süzgeç, herhangi bir pasif eleman eşlenmesine gereksinim duymamaktadır. Buna karşın, devre düşük çıkış empedansına sahip değildir ve devrede bir yüzen kapasitör kullanılmıştır. Eğer, hazırlanan süzgecin çıkışına bağlanacak bir sonraki devre yüksek giriş empedansına sahipse, herhangi bir tampon gereksizdir devreler kaskat bağlanabilir. Aksi durumda, ek tampon elemanı gereklidir. Tasarlanan birinci dereceden tüm geçiren süzgeçlerden diğeri ise, gerilim modlu, üç adet direnç ve bir adet topraklanmış kapasitör içeren, CCII- tabanlı bir süzgeçtir. Hazırlanan tüm geçiren süzgecin rezonans frekansı, bir direnç değerinin değiştirilmesiyle ayarlanabilmektedir. Hazırlanan devre, düşük güç tüketimine sahiptir. Buna karşın devre, bir eleman eşlenmesine gereksinim duymaktadır. Aynı zamanda, yüksek giriş ve çıkış empedansı özelliğine sahip değildir. Bir uygulama örneği olarak, sadece topraklanmış kapasitörler kullanılarak bir kuadratör osilatör hazırlanmıştır. Hazırlanan süzgeç için ideal olmayan kazançlar ve parazitik empedans etkileri verilmiştir. Zaman ve frekans ortamında gerçekleştirilen simülasyonlar ve deneysel test sonuçları, devrenin çalışabilirliğini göstermektedir. Gerçekleştirilen iki adet birinci dereceden tüm geçiren süzgeç çalışması ise, gerilim modlu olup, bir CCII elemanı ve topraklanmış kapasitör içermektedir. Hazırlanan konfigürasyonlar, yüksek giriş empedansına sahiptir; bu nedenle diğer gerilim modlu devrelerle kolayca kaskat bağlanabilir. Ancak, hazırlanan her iki tüm geçiren süzgeç, bir direnç eşlenmesine gereksinim duymaktadır. Hazırlanan süzgeçler için bir kuadratör osilatör uygulaması verilmiştir. Hazırlanan tüm geçiren süzgeç konfigürasyonları ve kuadratör osilatörler için SPICE programında simülasyonlar ve deneysel testler gerçekleştirilmiştir. İdeal, simülasyon ve deneysel test sonuçları birbiriyle uyumludur. Az miktardaki sapmalar, CCII elemanının ideal olmayan durumlarından, pasif elemanların toleranslarından ve deney bordunun parazitik etkilerinden kaynaklanmaktadır.

Tez kapsamında, tek giriş ve üç çıkışlı, ikinci dereceden akım modlu bir evrensel süzgeç hazırlanmıştır. Hazırlanan süzgeç eş zamanlı olarak, alçak geçiren, bant geçiren ve yüksek geçiren cevaplarını verebilmektedir. Ayrıca, çıkış akımlarının uygun seçimiyle, bant durduran ve tüm geçiren cevaplarını da sağlayabilmektedir. Hazırlanan süzgeç, yalnızca beş adet CCII+ elemanı içermektedir. Hazırlanan süzgeç

devresinin, düşük giriş ve yüksek çıkış empedansı özelliği bulunmaktadır. Bununla birlikte, hazırlanan devrede sadece topraklanmış kapasitörler kullanılmaktadır. Ancak, bant durduran ve tüm geçiren süzgeçler için bir pasif eleman eşlenmesine gereksinim duyulmaktadır. Hazırlanan süzgecin ω_0 ve Q parametreleri, ortogonal olarak kontrol edilebilmektedir. Eğer, CCII+ elemanlarının yerine CCCII+ elemanları kullanılırsa ve tüm dirençler kaldırılırsa, elektronik olarak ayarlanabilir akım modlu bir süzgeç elde edilebilir. Simülasyon ve deneysel test sonuçları, öne sürülen kuramı en iyi şekilde desteklemektedir.

Son olarak, CCII tabanlı gerilim modlu çok fonksiyonlu bir süzgeç tasarlanmıştır. Hazırlanan yüksek giriş empedanslı süzgeç, bir TO-CCII, bir DO-CCII süzgeç ve iki topraklanmış kapasitörden oluşmaktadır. Bununla birlikte, hazırlanan süzgeç eşzamanlı olarak alçak geçiren, bant geçiren ve yüksek geçiren cevaplarını herhangi bir ek aktif veya pasif elemana gereksinim duymaksızın aynı topolojide verebilmektedir. Bu devre hiçbir pasif eleman eşlenmesine gereksinim duymaz. Zaman ve frekans ortamında gerçekleştirilen simülasyonlar, kuramı desteklemektedir.

Tez kapsamında hazırlanan devrelerin, bilimsel literatürde yer alan benzer devrelere göre üstün ve zayıf yönleri bulunmakla beraber, her biri mikroelektronik alanına katkı sağlayabilecek özelliklere sahiptir. İlerleyen çalışmalarda, MOS transistör tabanlı yeni analog devreler tasarlanacaktır.

10. KAYNAKLAR

Alpaslan, H. and Yuce, E., “Current-mode biquadratic universal filter design with two terminal unity gain cells”, *Radioengineering*, 21 (1), 304-311, (2012).

Alzaher, H. A. and Ismail, M., “Current-mode universal filter using unity gain cells”, *Electron Lett*, 35 (25), 2198-2200, (1999).

Alzaher, H., Tasadduq, N. and Al-Ees, O., “Implementation of reconfigurable n^{th} -order filter based on CCII”, *Analog Integr Circ S*, 75 (3), 539-545, (2013).

Analog Devices, “AD844 Datasheet Rev. F [online]”, (01/03/2014), http://www.analog.com/static/imported-files/data_sheets/AD844.pdf, (2009).

Arslan, E. and Morgul, A., “Wideband Self-Biased CMOS CCII”, In *Research in Microelectronics and Electronics 2008 (PRIME 2008)*, 217-220, (2008).

Arslanalp, R., Yuce, E. and Tola, A. T., “Low-component count BJT technology-based current-controlled tunable resistors and their applications”, *IET Circ Device Syst*, 7 (1), 21-30, (2013).

Baker, R. J., *CMOS Circuit Design, Layout and Simulations*, NJ: IEEE Press – Wiley, Piscataway, (2005).

Bhushan, M. and Newcomb, R., “Grounding of capacitors in integrated circuits”, *Electron Lett*, 3 (4), 148-149, (1967).

Biolek, D. and Biolkova, V., “First-order voltage-mode all-pass filter employing one active element and one grounded capacitor”, *Analog Integr Circ S*, 65 (1), 123-129, (2010).

Boonchu, B. and Surakamponorn, W., "A new NMOS four-quadrant analog multiplier", In *IEEE International Symposium on Circuits and Systems (ISCAS 2005)*, 1004-1007, (2005).

Boonchu, B. and Surakamponorn, W., "Voltage-mode CMOS squarer / multiplier circuit", In *The 2002 International Technical Conference On Circuits/Systems, Computers and Communications*, 646-649, (2002).

Bruun, E., "A combined first- and second-generation current conveyor structure", *Int J Electron*, 78 (5), 911-923, (1995).

Chang C. M. and Lee, M. J., "Voltage-mode multifunction filter with single input and three outputs using two compound current conveyors", *IEEE T Circuits-I*, 46 (11), 1364-1365, (1999).

Chang, C. M. and Lee, M. S., "Comment: universal voltage-mode filter with three inputs and one output using three current conveyors and one voltage follower", *Electron Lett*, 31 (5), 353, (1995).

Chang, C. M. and Tu, S. H., "Universal voltage-mode filter with four inputs and one output using two CCII+s", *Int J Electron*, 86 (3), 305-309, (1999).

Chen, H. P. "Versatile current-mode universal biquadratic filter using DO-CCII's", *Int J Electron*, 100 (7), 1010-1031, (2013).

Chen, H. P., "Current-mode dual-output ICCII-based tunable universal biquadratic filter with low-input and high-output impedances", *Int J Circ Theor App*, 42 (4), 376-393, (2014).

Chen, H. P., "Single CCII-based voltage-mode universal filter", *Analog Integr Circ S*, 62 (2), 259-262, (2010).

Chen, H. P., "Tunable versatile current-mode universal filter based on plus-type DVCCs", *AEU-Int J Electron C*, 66 (4), 332-339, (2012).

Chen, H. P., "Universal voltage-mode filter using only plus-type DDCCs", *Analog Integr Circ S*, 50 (2), 137-139, (2007).

Chiu, W. Y. and Horng, J. W., “Voltage-mode highpass, bandpass, lowpass and notch biquadratic filters using single DDCC”, *Radioengineering*, 21 (1), 297-303, (2012).

Chiu, W., Liu, S. I., Tsao, H. W. and Chen, J. J., “CMOS differential difference current conveyors and their applications”, *IEE P-Circ Dev Syst*, 143 (2), 91–96, (1996).

Demosthenous, A. and Panovic, M., “Low-voltage MOS linear transconductor/squarer and four-quadrant multiplier for analog VLSI”, *IEEE T Circuits-I*, 52 (9), 1721-1731, (2005).

Dorf, R. C. and Svoboda, J. A., Introduction to Electric Circuits, 8th Edition, John Wiley&Sons, (2011).

Dutta Roy, S. C., “RC active all-pass networks using a differential-input operational amplifier”, *Proc IEEE Micr Elect*, 57 (11), 2055–2056, (1969).

El-Adawy, A. A. and Soliman, A. M., “A low-voltage single input class AB transconductor with rail-to-rail input range”, *IEEE T Circuits-I*, 47 (2), 236-242, (2000).

Elwan, H. O. and Soliman, A. M., “A novel CMOS current conveyor realization with an electronically tunable current mode filter suitable for VLSI”, *IEEE T Circuits-II*, 43 (9), 663-670, (1996).

Fabre, A., Saaïd, O., Wiest, F. and Boucheron, C., “High frequency applications based on a new current controlled conveyor”, *IEEE T Circuits-I*, 43 (2), 82-91, (1996).

Fard, R. A. and Pooyan, M., “A low voltage and low power parallel electronically tunable resistor with linear and nonlinear characteristics”, *Microelectr J*, 43 (7), 492-500, (2012).

Fayed, A. A. and Ismail, M., “A low-voltage, highly linear voltage-controlled transconductor”, *IEEE T Circuits-II*, 52 (12), 831-835, (2005).

Ferri, G. and Guerrini N. C., *Low Voltage, Low Power CMOS Current Conveyors*, USA: Springer, (2003).

Filanovsky, I. M. and Baltes, H. P., “Simple CMOS analog square-rooting and squaring circuits”, *IEEE T Circuits-I*, 39 (4), 312-315, (1992).

Gatti, U., Maloberti, F., Palmisano, G. and Torelli, G., “CMOS triode-transistor transconductor for high-frequency continuous-time filters”, *IEE P-Circ Dev Syst*, 141 (6), 462-468, (1994).

Geiger, R. L. and Sánchez-Sinencio, E., “Active filter design using operational transconductance amplifiers: a tutorial”, *IEEE Circuit Devic*, 1 (2), 20-32, (1985).

Giustolisi, G., Palmisano, G. and Palumbo, G., “A novel CMOS voltage squarer”, *Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS '97)*, 253-256, (1997).

Güneş, E. O., Toker, A. and Özoğuz, S., “Insensitive current-mode universal filter with minimum components using dual-output current conveyors”, *Electron Lett*, 35 (7), 524-525, (1999).

Han, I. S. and Park, S. B., “Voltage-controlled linear resistor by two MOS transistors and its application to active RC filter MOS integration”, *P IEEE*, 72 (11), 1655-1657, (1984).

Han, I., “A novel tunable transconductance amplifier based on voltage-controlled resistance by MOS transistors”, *IEEE T Circuits-II*, 53 (8), 662-666, (2006).

Herencsar, N., Koton, J., Jerabek, J., Vrba, K. and Cicekoglu, O., “Voltage-mode all-pass filters using universal voltage conveyor and MOSFET-based electronic resistors”, *Radioengineering*, 20 (1), 10-18, (2011).

Herencsar, N., Koton, J., Vrba, K. and Metin, B., “Fully cascable dual-mode all-pass filter based on single DBTA”, In *35th International Conference on Telecommunications and Signal Processing (TSP)*, 374-377, (2012^a).

Herencsar, N., Koton, J., Vrba, K., Metin, B. and Cicekoglu, O., “Low-voltage two NMOS IVB-based voltage-mode first-order all-pass filter with tuning”, In *11th International Conference on Development and Application Systems* Suceova Romania, 119-121, (2012^b).

Herencsar, N., Minaei, S., Koton, J., Yuce, E. and Vrba, K., “New resistorless and electronically tunable realization of dual-output VM all-pass filter using VDIBA”, *Analog Integr Circ S*, 74 (1), 141-154, (2013^a).

Herencsar, N., Sotner, R., Koton, J., Misurec, J., Vrba, K., “New compact VM four-phase oscillator employing only single Z-copy VDTA and all grounded passive elements”, *Elektron Elektrotech*, 19 (10), 87–90, (2013^b).

Hidayat, R., Dejhan, K., Moungnoul, P. and Miyanaga, Y., “A GHz simple CMOS squarer circuit”, In *International Symposium on Communications and Information Technologies (ISCIT 2008)*, Lao, 539-542, (2008).

Higashimura, M. and Fukui, Y., “Universal filter using plus-type CCIIs”, *Electron Lett*, 32 (9), 810-811, (1996).

Higashimura, M., “Realisation of voltage-mode biquads using CCIIs”, *Electron Lett*, 27 (15), 1345-1346, (1991).

Horng, J. W., “Current conveyors based allpass filters and quadrature oscillators employing grounded capacitors and resistors”, *Comput Electr Eng*, 31 (1), 81–92, (2005).

Horng, J. W., “High input impedance first-order allpass, highpass and lowpass filters with grounded capacitor using single DVCC”, *Indian J Eng Mater S*, 17 (3), 175-178, (2010).

Horng, J. W., “High input impedance voltage-mode universal biquadratic filters with three inputs using plus-type CCIIs”, *Int J Electron*, 91 (8), 465-475, (2004).

Horng, J. W., "High-input impedance voltage-mode universal biquadratic filter using three plus-type CCII_s", *IEEE T Circuits-II*, 48 (10), 996-997, (2001).

Horng, J. W., "Novel universal voltage-mode biquad filter with three inputs and one output using only two current conveyors", *Int J Electron*, 80 (4), 543-546, (1996).

Horng, J. W., Chu T. Y. and Chao, Z. Y., "Tunable versatile high input impedance voltage-mode universal biquadratic filter based on DDCCs", *Radioengineering*, 21 (4), 1260-1268, (2012^a).

Horng, J. W., Hou, C. L., Chang C. M. and Chung, W. Y., "Voltage-mode universal biquadratic filters with one input and five outputs", *Analog Integr Circ S*, 47 (1), 73-83, (2006^a).

Horng, J. W., Hou, C. L., Chang, C. M., Chou H. P. and Lin, C. T., "High input impedance voltage-mode universal biquadratic filter with one input and five outputs using current conveyors", *Circ Syst Signal Pr*, 25 (6), 767-777, (2006^b).

Horng, J. W., Hou, C. L., Chang, C. M., Chung W. Y. and Wei, H. Y., "Voltage-mode universal biquadratic filters with one input and five outputs using MOCCII_s", *Comput Electr Eng*, 31 (3), 190-202, (2005).

Horng, J. W., Hou, C. L., Chang, C. M., Shie, J. Y. and Chang, C. H., "Universal current filter with single input and three outputs using MOCCII_s", *Int J Electron*, 94 (4), 327-333, (2007).

Horng, J. W., Hsu, C. H. and Tseng, C. Y., "High input impedance voltage-mode biquadratic filters with three inputs using three CCs and grounding capacitor", *Radioengineering*, 21(1), 290-296, (2012^b).

Horng, J. W., Lay, J. R., Chang C. M. and Lee, M. H., "High input impedance voltage-mode multifunction filters using plus-type CCII_s", *Electron Lett*, 33 (6), 472-473, (1997^a).

- Horng, J. W., Lee, M. H., Cheng H. C. and Chang, C. W., “New CCII-based voltage-mode universal biquadratic filter”, *Int J Electron*, 82 (2), 151-156, (1997^b).
- Ibrahim, M. A., Kuntman, H. and Cicekoglu, O., “First-order all-pass filter canonical in the number of resistors and capacitors employing a single DDCC”, *Circ Syst Signal Pr*, 22 (5), 525-536, (2003).
- Ibrahim, M. A., Kuntman, H., Ozcan, S., Suvak, O. and Cicekoglu, O., “New first-order inverting-type second-generation current conveyor-based all-pass sections including canonical forms”, *Elect Eng*, 86 (5), 299-301, (2004).
- Ibrahim, M. A., Minaei, S. and Yuce, E., “All-pass sections with high gain opportunity”, *Radioengineering*, 20 (1), 3-9, (2011).
- Ibrahim, M. A., Minaei, S. and Yuce, E., “All-pass sections with rich cascadability and IC realization suitability”, *Int J Circ Theor App*, 40 (5), 461-472, (2012).
- Ismail, A. M. and Soliman, A. M., “Novel CMOS wide-linear-range transconductance amplifier”, *IEEE T Circuits-I*, 47 (8), 1248-1253, (2000).
- Jerabek, J., Sotner, R. and Vrba, K., “Tunable multiphase oscillator using diamond transistors with voltage controlled condition of oscillation for amplitude stabilization”, *Elektron Elektrotech*, 20, 45–48, (2014).
- Kaçar, F. and Yeşil, A., “FDCCII-based electronically tunable voltage-mode biquad filter”, *Int J Circ Theor App*, 40 (4), 377-383, (2012).
- Keskin, A. U., Pal, K. and Hancioglu, E., “Resistorless first-order all-pass filter with electronic tuning”, *AEU-Int J Electron C*, 62 (4), 304-306, (2008).
- Keskin, A. Ü. and Cam, U., “Insensitive high-output impedance minimum configuration SITO-type current-mode biquad using dual-output current conveyors and grounded passive components”, *AEU-Int J Electron C*, 61 (5), 341-344, (2007).

Khan, I. A. and Maheshwari, S., "Simple first order all-pass section using a single CCII", *Int J Electron*, 87 (3), 303-306, (2000).

Kumngern, M., Chanwutitum, J. and Dejhan, K., "Electronically tunable voltage-mode all-pass filter using simple CMOS OTAs", In *International Symposium on Communications and Information Technologies (ISCIT 2008)*, 1-5, (2008).

Kumngern, M., Torteanchai, U. and Dejhan, K., "Voltage-controlled floating resistor using DDCC", *Radioengineering*, 20 (1), 327-333, (2011).

Kuo, K. C. and Leuciuc, A., "A linear MOS transconductor using source degeneration and adaptive kutuplamaing", *IEEE T Circuits-II*, 48 (10), 937-943, (2001).

Li, S. C., "A symmetric complementary structure for RF CMOS analog squarer and four-quadrant analog multiplier", *Analog Integr Circ S*, 23 (2), 103-115, (2000).

Liu S. I. and Lee, J. L., "Voltage-mode universal filters using two current conveyors", *Int J Electron*, 82 (2), 145-150, (1997).

Liu, B. D., Huang, C. Y. and Wu, H. Y., "Modular current-mode defuzzification circuit for fuzzy logic controllers", *Electron Lett*, 30 (16), 1287-1288, (1994).

Liu, S. I. and Hwang, Y. S., "CMOS squarer and four-quadrant multiplier", *IEEE T Circuits-I*, 42 (2), 119-122, (1995).

Liu, S. I. and Tsao, H. W., "The single CCII biquads with high-input impedance", *IEEE T Circuits Syst*, 38 (4), 456-461, (1991).

Liu, S. I. and Wei, D. J., "Analogue squarer and multiplier based on MOS square-law characteristic", *Electron Lett*, 32 (6), 541-542, (1996).

Maheshwari, S., "High input impedance voltage-mode first-order all-pass sections", *Int J Circ Theor App*, 36 (4), 511-522 (2008).

Maheshwari, S., Khan, I. A. and Mohan, J., “Grounded capacitor first-order filters including canonical forms”, *J Circuit Syst Comp*, 15 (2), 289-300, (2006).

Maheshwari, S., Mohan, J. and Chauhan, D. S., “Cascadable all-pass and notch filter configurations employing two plus-type DDCCs”, *J Circuit Syst Comp*, 20 (2), 329-347, (2011).

Maheshwari, S., Mohan, J. and Chauhan, D. S., “Novel voltage-mode cascadable all-pass sections employing grounded passive components”, *J Circuit Syst Comp*, 22 (1), 1250065 (12 pages), (2013).

Mahmoud, S. A. and Soliman, A. M., “New CMOS fully differential difference transconductors and application to fully differential filters suitable for VLSI”, *Microelectr J*, 30 (2), 169-192, (1999).

Maloberti, F., *Analog Design for CMOS VLSI Systems*, Boston: Kluwer Academic Publishers, 197-198, (2001).

Martinez-Heredia, J. M. and Torralba, A., “Enhanced source-degenerated CMOS differential transconductor”, *Microelectr J*, 42 (2), 396-402, (2011).

Maundy, B. J. and Aronhime, P., “A novel CMOS first-order allpass filter”, *Int J Electron*, 89 (9), 739-743, (2002).

Maundy, B., Gift, S. and Aronhime, P., “Practical voltage/current-controlled grounded resistor with dynamic range extension”, *IET Circ Device Syst*, 2 (2), 201-206, (2008).

Metin, B. and Cicekoglu, O., “Component reduced all-pass filter with a grounded capacitor and high-impedance input”, *Int J Electron*, 96 (5), 445-455, (2009).

Metin, B. and Cicekoglu, O., “Novel first order all-pass filter with a single CCI”, In *IEEE Mediterranean Electrotechnical Conference (MELECON 2006)*, Malaga, 74-75, (2006).

Metin, B. and Cicekoglu, O., “Tunable all-pass filter with a single inverting voltage buffer”, In *Research in Microelectronics and Electronics (PRIME 2008)*, İstanbul, 261-263, (2008).

Metin, B. and Pal, K., “Cascadable allpass filter with a single DO-CCII and a grounded capacitor”, *Analog Integr Circ S*, 61 (3), 259-263, (2009).

Metin, B. and Pal, K., “New all-pass filter circuit compensating for C-CDBA non-idealities”, *J Circuit Syst Comp*, 19 (2), 381-391, (2010).

Metin, B., Herencsar, N. and Cicekoglu, O., “A low-voltage electronically tunable MOSFET-C voltage-mode first-order all-pass filter design”, *Radioengineering*, 22 (4), 985-994, (2013).

Metin, B., Herencsar, N. and Koton, J., “Cascadable all-pass filter using a single universal voltage conveyor”, In *22nd International Conference Radioelektronika*, Brno, 1-4, (2012^a).

Metin, B., Herencsar, N. and Pal, K., “Supplementary first-order all-pass filters with two grounded passive elements using FDCCII”, *Radioengineering*, 20 (2), 433-437, (2011^a).

Metin, B., Herencsar, N. and Vrba, K., “A CMOS DCCII with a grounded capacitor based cascadable all-pass filter application”, *Radioengineering*, 21 (2), 718-724, (2012^b).

Metin, B., Pal, K. and Cicekoglu, O., “All-pass filters using DDCC- and MOSFET-based electronic resistor”, *Int J Circ Theor App*, 39 (8), 881-891, (2011^b).

Metin, B., Pal, K. and Cicekoglu, O., “CMOS-controlled inverting CDBA with a new all-pass filter application”, *Int J Circ Theor App*, 39 (4), 417-425, (2011^c).

Minaei, S. and Cicekoglu, O., “A resistorless realization of the first-order all-pass filter”, *Int J Electron*, 93 (3), 177-183, (2006).

Minaei, S. and Ibrahim, M. A., "A mixed-mode KHN-biquad using DVCC and grounded passive elements suitable for direct cascading", *Int J Circ Theor App*, 37 (7), 793-810, (2009).

Minaei, S. and Türköz, S., "Current-mode electronically tunable universal filter using only plus-type current controlled conveyors and grounded capacitors", *ETRI J*, 26 (4), 292-296, (2004).

Minaei, S. and Türköz, S., "New current-mode current-controlled universal filter with single input and three outputs", *Int J Electron*, 88 (3), 333-337, (2001).

Minaei, S. and Yuce, E., "A simple CMOS-based inductor simulator and frequency performance improvement techniques", *AEU-Int J Electron C*, 66 (11), 884-891, (2012^a).

Minaei, S. and Yuce, E., "High input impedance NMOS-based phase shifter with minimum number of passive elements", *Circ Syst Signal Pr*, 31 (1), 51-60, (2012^b).

Minaei, S. and Yuce, E., "New squarer circuits and a current-mode full-wave rectifier topology suitable for integration", *Radioengineering*, 19 (4), 657-661, (2010^a).

Minaei, S. and Yuce, E., "Novel voltage-mode all-pass filter based on using DVCCs", *Circ Syst Signal Pr*, 29 (3), 391-402, (2010^b).

Minaei, S. and Yuce, E., "Unity/variable-gain voltage-mode/current-mode first-order all-pass filters using single dual-X second-generation current conveyor", *IETE J Res*, 56 (6), 305-312, (2010^c).

Minaei, S. and Yuce, E., "Universal current-mode active-C filters employing only plus-type current controlled conveyors", *Frequenz*, 60 (7-8), 134-137, (2006).

Monolescu, A. and Popa, C., “Low-voltage low-power improved linearity CMOS active resistor circuits”, *Analog Integr Circ S*, 62 (3), 373-387, (2010).

MOSIS, “T97F Spice BSIM3 Version 3.1 Parameters [online]”, (01 January 2012), https://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/ibm-013/t97f_8hp_5lm-params.txt, (2009).

Naderi, A., Khoei, A., Hadidi, K. and Ghasemzadeh, H., “A new high speed and low power four-quadrant CMOS analog multiplier in current mode”, *AEU-Int J Electron C*, 63 (9), 769-775, (2009^a).

Naderi, A., Mojarrad, H., Ghasemzadeh, H., Khoei, A. and Hadidi, K. “Four-quadrant CMOS analog multiplier based on new current squarer circuit with high-speed”, In *IEEE EUROCON '09*, 282-286, (2009^b).

Ohbuchi, T. and Matsumoto, F., “A new design of a linear local-feedback MOS transistor for low frequency applications”, *Analog Integr Circ S*, 75 (2), 257-266, (2013).

Ozoguz, S., Abdelrahman, T. M. and Elwakil, A. S. “Novel approximate square-root domain all-pass filter with application to multiphase oscillators”, *Analog Integr Circ S*, 46 (3), 297-301, (2006).

Ölmez, S. and Çam, U., “A novel square-root domain realization of first order all-pass filter”, *Turk J Elect Eng Co*, 18 (1), 141-146, (2010).

Özoguz, S. and Acar, C., “Universal current-mode filter with reduced number of active and passive components”, *Electron Lett*, 33 (11), 948-949, (1997).

Özoğuz, S. and Güneş, E. O., “Universal filter with three inputs using CCII+”, *Electron Lett*, 32 (23), 2134-2135, (1996).

Özoğuz, S., Toker, A. and Acar, C., “Current-mode continuous-time fully-integrated universal filter using CDBAs”, *Electron Lett*, 35 (2), 97-98, (1999^a).

- Özoğuz, S., Toker, A. and Çiçekoğlu, O., “New current-mode universal filters using only four (CCII+)s”, *Microelectr J*, 30 (3), 255-258, (1999^b).
- Pal, K. and Rana, S., “Some new first-order all-pass realizations using CCII”, *Active and Passive Electronic Components*, 27 (2), 91–94, (2004).
- Pandey, N. and Paul, S. K., “All-pass filters based on CCII- and CCCII-”, *Int J Electron*, 91 (8), 485–489, (2004).
- Pandey, N., Paul, S. K. and Jain, S. B., “A new electronically tunable current mode universal filter using MO-CCCII”, *Analog Integr Circ S*, 58 (2), 171-178, (2009).
- Pandey, N., Paul, S. K., Bhattacharyya, A. and Jain, S. B., “A novel current controlled current mode universal filter: SITO approach”, *IEICE Electron Expr*, 2 (17), 451-457, (2005).
- Pandey, R. and Gupta, M., “FGMOS based tunable grounded resistor”, *Analog Integr Circ S*, 65, 437-443, (2010^a).
- Pandey, R. and Gupta, M., “FGMOS based voltage-controlled grounded resistor”, *Radioengineering*, 19 (3), 455-459, (2010^b).
- Pandey, R. and Gupta, M., “FGMOS based voltage-controlled resistor and its applications”, *Microelectr J*, 41 (1), 25-32, (2010^c).
- Park, C. S. and Schaumann, R., “A high-frequency CMOS linear transconductance element”, *IEEE T Circuits Syst*, CAS-33 (11), 1132-1138, (1986).
- Ponsonby, J. E. B., “Active all-pass filter using a differential operational amplifier”, *Electron Lett*, 2 (4), 134–135, (1966).
- Razavi, B., *Design of Analog CMOS Integrated Circuits*, 1st ed., USA: Mc Graw Hill, (2001).
- Razavi, B., *Fundamentals of Microelectronics*, 2nd ed., USA: Wiley, (2008).

- Saaid, O. and Fabre, A., "Class-AB current-controlled resistor for high performance current-mode applications", *Electron Lett*, 32 (1), 4-5, (1996).
- Sakul, C., "A new CMOS squaring circuit using voltage/current input", In *The 23rd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2008)*, 525-528, (2008).
- Salawu, R. I., "Realization of an all-pass transfer function using the second generation current conveyor", *Proc IEEE Micr Elect*, 68 (1), 183-184, (1980).
- Sayginer, M. and Kuntman, H., "Realization of first-order all-pass filter using four terminal floating nullor", In *International Conference on Applied Electronics*, Pilsen, 159-161, (2006).
- Schoonaert, D. H. and Kretzschmar, J., "Realization of operational amplifier all-pass networks", *Proc IEEE Micr Elect*, 58 (6), 953-955, (1970).
- Sedra, A. and Smith, K. A., "A second-generation current conveyor and its applications", *IEEE T Circuits Syst*, 17 (1), 132-134, (1970).
- Sedra, A. S. and Smith, K. C., *Microelectronic Circuits*, 6th ed., New York USA: Oxford University Press, (2011).
- Senani, R. and Bhaskar, D. R., "A simple configuration for realizing voltage-controlled impedances", *IEEE T Circuits-I*, 39 (1), 52-59, (1992^a).
- Senani, R. and Bhaskar, D. R., "Comment: Practical voltage/current-controlled grounded resistor with dynamic range extension", *IET Circ Device Syst*, 2 (5), 465-466, (2008).
- Senani, R. and Bhaskar, D. R., "Correction: Realization of voltage-controlled impedances", *IEEE T Circuits-I*, 39 (12), 162, (1992^b).
- Senani, R. and Bhaskar, D. R., "Realization of voltage-controlled impedances", *IEEE T Circuits-I*, 38 (9), 1081-1086, (1991).

Senani, R. and Bhaskar, D. R., "Versatile voltage-controlled impedance configuration", *IEE Proc-G*, 141 (5), 414-416, (1994).

Senani, R., "Correspondence: Universal linear voltage-controlled-impedance configuration", *IEE Proc-G*, 142 (3), 208, (1995^a).

Senani, R., "Floating GNIC/GNII configuration realized with only a single OMA", *Electron Lett*, 31 (6), 423-425, (1995^b).

Senani, R., "Realisation of linear voltage-controlled resistance in floating form", *Electron Lett*, 30 (23), 1909-1911, (1994).

Senani, R., "Realization of a class of analog signal processing / single generation circuits: Novel configurations using current feedback op-amps", *Frequenz*, 52 (9-10), 196-206, (1998).

Sharma, R. K. and Senani, R. "On the realization of universal current mode biquads using a single CFOA", *Analog Integr Circ S*, 41 (1), 65-78, (2004^a).

Sharma, R. K. and Senani, R., "Multifunction CM/VM biquads realized with a single CFOA and grounded capacitors", *AEU-Int J Electron C*, 57 (5), 301-308, (2003).

Sharma, R. K. and Senani, R., "Universal current mode biquad using a single CFOA", *Int J Electron*, 91 (3), 175-183, (2004^b).

Shichman, H. and Hodges, D. A., "Modeling and simulation of insulated-gate field-effect transistor switching circuits", *IEEE J Solid-St Circ*, SC-3 (3), 285-289, (1968).

Soliman, A. M., "Current mode filters using two output inverting CCII", *Int J Circ Theor App*, 36 (7), 875-881, (2008).

Soliman, A. M., "Current mode universal filter", *Electron Lett*, 31 (17), 1420-1421, (1995).

Soliman, A. M., "Generation of current conveyor based lowpass filters from a passive RLC filter", *J Frankl Inst*, 335B (7), 1283-1297, (1998).

Surakamponorn, W., Riewruja, V., Kumwachara, K. and Dejhan, K., "Accurate CMOS based current conveyors", *IEEE T Instrum Meas*, 40 (4), 699-702, (1991).

Tangsriat, W. and Surakamponorn, W., "Electronically tunable current-mode universal filter employing only plus-type current-controlled conveyors and grounded capacitors", *Circ Syst Signal Pr*, 25 (6), 701-713, (2006).

Tangsriat, W. and Surakamponorn, W., "High output impedance current-mode universal filter employing dual-output current-controlled conveyors and grounded capacitors", *AEU-Int J Electron C*, 61 (2), 127-131, (2007).

Tanno, K., Ishizuka, O. and Tang, Z., "Four-quadrant CMOS current-mode multiplier independent of device parameters", *IEEE T Circuits-II*, 47 (5), 473-477, (2000).

Tekin, S. A., Ercan, H. and Alçı, M., "Novel low voltage CMOS current controlled floating resistor using differential pair", *Radioengineering*, 22 (2), 428-433, (2013).

Toker, A. and Özoğuz, S., "Novel all-pass filter section using differential difference amplifier", *AEU-Int J Electron C*, 58 (2), 153-155, (2004).

Toker, A. and Özoğuz, S., "Tunable allpass filter for low voltage operation", *Electron Lett*, 39 (2), 175-176, (2003).

Toker, A., Özcan, S., Kuntman, H. and Çiçekoğlu, O., "Supplementary all-pass sections with reduced number of passive elements using a single current conveyor", *Int J Electron*, 88 (9), 969-976, (2001).

Tongpoon, P., Matsumoto, F., Takeuchi, H., Ohbuchi, T. and Ishio, R., "A novel design of local-feedback MOS transconductor using techniques for cancellation of mobility degradation and linearization of differential output current characteristic", *Analog Integr Circ S*, 72 (3), 565-574, (2012).

Torralba, A., Martínez-Heredia, J. M., Carvajal, R. G. and Ramírez-Angulo, J., “Low-voltage transconductor with high linearity and large bandwidth”, *Electron Lett*, 38 (25), 1616-1617, (2002).

Vishay Siliconic, “2N7000 N-channel 60-V (D-S) MOSFET datasheet [online]”, Document Number: 70226, S-04279, Rev. F, (02 May 2014), <http://www.vishay.com>, (2001).

Vlassis, S. and Raikos, G., “Adjustable MOS transconductors based on master-slave technique”, *Int J Electron*, 99 (3), 379-390, (2012).

Wang, C., Liu, H. and Zhao, Y., “A new current-controlled universal filter based on CCCII(\pm)”, *Circ Syst Signal Pr*, 27 (5), pp. 673-682, (2008).

Wang, C., Xu, J., Keskin, A. Ü., Du, S. and Zhang, Q., “A new current-mode current-controlled SIMO-type universal filter”, *AEU-Int J Electron C*, 65 (3), 231-234, (2011).

Wang, H. Y. and Lee, C. T., “Versatile insensitive current-mode universal biquad implementatiton using current conveyors”, *IEEE T Circuits-II*, 48 (4), 409-413, (2001).

Wang, Z., “2-MOSFET transresistor with extremely low distortion for output reachign supply voltages”, *Electron Lett*, 26 (13), 951-952, (1990^a).

Wang, Z., “Current-controlled linear MOS earthed and floating resistors and their application”, *IEE Proceedings*, 137 (6), 479-481, (1990^b).

Wang, Z., “Novel voltage-controlled grounded resistor”, *Electron Lett*, 26 (20), 1711-1712, (1990^c).

Wee, K. H. and Sarpeshkar, R., “An electronically tunable linear or nonlinear MOS resistor”, *IEEE T Circuits-I*, 55 (9), 2573-2583, (2008).

Wiegerink, R. J., “A CMOS four-quadrant analog current multiplier”, In *IEEE International Symposium on Circuits and Systems*, 2244-2247, (1991).

Wilson, B., "Recent developments in current conveyors and current-mode circuits", *IEE Proc-G*, 137 (2), 63-77, (1990).

Wilson, G. and Chan, P.K., "Novel voltage-controlled grounded resistor", *Electron Lett*, 25 (25), 1725-1726, (1989).

Worapished, A. and Naphaphan, C., "Current-feedback source-degenerated CMOS transconductor with very high linearity", *Electron Lett*, 39 (1), 17-18, (2003).

Yamaguchi, I., Matsumoto, F. and Noguchi, Y., "Technique to improve linearity of transconductor with bias offset voltages controlling a tail current", *Electron Lett*, 41 (21), 1146-1148, (2005).

Yuce, E. and Minaei, S. "Realization of arbitrary current transfer functions based on commercially available CCII+s", *Int J Circ Theor App*, 42 (7), 659-670, (2014).

Yuce, E. and Minaei, S., "A novel phase shifter using two NMOS transistors and passive elements", *Analog Integr Circ S*, 62 (1), 77-81, (2010).

Yuce, E. and Minaei, S., "Novel floating simulated inductors with wider operating-frequency ranges", *Microelectr J*, 40 (6), 928-938, (2009^a).

Yuce, E. and Minaei, S., "On the realization of simulated inductors with reduced parasitic impedance effects", *Circuits, Systems and Signal Processing*, 28 (3), 451-465, (2009^b).

Yuce, E. and Minaei, S., "Universal current-mode filters and parasitic impedance effects on the filter performances", *Int J Circ Theor App*, 36 (2), 161-171, (2008).

Yuce, E. and Yucel, F., "A new cascadable CMOS voltage squarer circuit and its application: four-quadrant analog multiplier", *Indian J Eng Mater S*, 21 (4), 351-357, (2014).

Yuce, E., “A novel CMOS-based voltage-mode first-order phase shifter employing a grounded capacitor”, *Circ Syst Signal Pr*, 29 (2), 235–245, (2010).

Yuce, E., “Current-mode electronically tunable biquadratic filters consisting of only CCCIs and grounded capacitors”, *Microelectr J*, 40 (12), 1719-1725, (2009^a).

Yuce, E., “Multiplier, frequency doubler and squarer circuits based on voltage controlled resistors”, *AEU-Int J Electron C*, 65 (3), 244-249, (2011).

Yuce, E., “Negative impedance converter with reduced non-ideal gain and parasitic impedance effects”, *IEEE T Circuits-I*, 55 (1), 276-283, (2008).

Yuce, E., “On the implementation of the floating simulators employing a single active device”, *AEU-Int J Electron C*, 61 (7), 453–458, (2007).

Yuce, E., “On the realization of the floating simulators using only grounded passive components”, *Analog Integr Circ S*, 49 (), 161–166, (2006).

Yuce, E., “Voltage-mode multifunction filters employing a single DVCC and grounded capacitors”, *IEEE T Instrum Meas*, 58 (7), 2216-2221, (2009^b).

Yuce, E., Kircay, A. and Tokat, S., “Universal resistorless current-mode filters employing CCCIs”, *Int J Circ Theor App*, 36 (5-6), 739-755, (2008^a).

Yuce, E., Minaei, S. and Alpaslan, H., “Novel CMOS technology-based linear grounded voltage controlled resistor”, *J Circuit Syst Comp*, 20 (3), 447-455, (2011).

Yuce, E., Minaei, S. and Cicekoglu, O. “Full-wave rectifier realization using only two CCII+s and NMOS transistors”, *Int J Electron*, 93 (8), 533-541, (2006^a).

Yuce, E., Minaei, S. and Cicekoglu, O., “Universal current-mode active-C filter employing minimum number of passive elements”, *Analog Integr Circ S*, 46 (2), 169-171, (2006^b).

Yuce, E., Pal, K. and Minaei, S., “A high input impedance voltage-mode all-pass/notch filter using a single variable gain current conveyor”, *J Circuit Syst Comp*, 17 (5), 827–834, (2008b).

Yuce, E., Tokat, S. and Yucel, F., “A new wideband electronically tunable grounded resistor employing only three mos transistors”, *Turk J Electr Eng Co*, online published, doi: 10.3906/elk-1403-12, (2014).

Yucel, F. and Yuce, E., “A new CCII based voltage-mode multifunctional filter with reduced number of active and passive elements”, *J Circuit Syst Comp*, 24 (4), 11 pages, (2015).

Yucel, F. and Yuce, E., “CCII based more tunable voltage-mode all-pass filters and their quadrature oscillator applications”, *AEU-Int J Electron C*, 68 (1), 1–9, (2014^a).

Yucel, F. and Yuce, E., “New single CCII- based first-order all-pass filters and a quadrature oscillator application”, Submitted to *Sci Iran*, (2014^b).

Zetex, “BS250P P-channel enhancement mode vertical DMOS FET datasheet [online]”, (2 May 2014), <http://diodes.com/datasheets/BS250P.pdf>, (2014).

EKLER

11. EKLER

EK A. Simülasyonlarda Kullanılan CMOS Teknoloji Parametreleri

Tablo A.1: 0.13 µm IBM NMOS teknoloji parametreleri (MOSIS 2009).

.MODEL CMOSN NMOS (LEVEL	= 7
+VERSION = 3.1	TNOM = 27	TOX	= 3.2E-9
+XJ = 1E-7	NCH = 2.3549E17	VTH0	= 0.0408721
+K1 = 0.325863	K2 = -0.0303381	K3	= 1E-3
+K3B = 7.9752313	W0 = 1.005139E-7	NLX	= 9.892661E-7
+DVT0W = 0	DVT1W = 0	DVT2W	= 0
+DVT0 = 1.2297627	DVT1 = 0.1473877	DVT2	= 0.295815
+U0 = 451.7567843	UA = -1.42062E-10	UB	= 3.125058E-18
+UC = 4.349531E-10	VSAT = 1.104974E5	A0	= 0.1756127
+AGS = 0.0121649	B0 = 5.453993E-6	B1	= 5E-6
+KETA = 0.05	A1 = 4.699783E-4	A2	= 0.476527
+RDSW = 150	PRWG = 0.3491049	PRWB	= 0.1116032
+WR = 1	WINT = 1.273353E-8	LINT	= 1.040852E-8
+DWG = -2.333272E-9	DWB = 2.870557E-8	VOFF	= -5.88255E-3
+NFACTOR = 2.5	CIT = 0	CDSC	= 2.4E-4
+CDSCD = 0	CDSCB = 0	ETA0	= 2.748809E-6
+ETAB = -0.0153583	DSUB = 4.054516E-6	PCLM	= 1.9787164
+PDIBLC1 = 0.9653375	PDIBLC2 = 0.01	PDIBLCB	= 0.1
+DROUT = 0.9990938	PSCBE1 = 7.952366E10	PSCBE2	= 5.012991E-10
+PVAG = 0.5350786	DELTA = 0.01	RSH	= 6.8
+MOBMOD = 1	PRT = 0	UTE	= -1.5
+KT1 = -0.11	KT1L = 0	KT2	= 0.022
+UA1 = 4.31E-9	UB1 = -7.61E-18	UC1	= -5.6E-11
+AT = 3.3E4	WL = 0	WLN	= 1
+WW = 0	WWN = 1	WWL	= 0
+LL = 0	LLN = 1	LW	= 0
+LWN = 1	LWL = 0	CAPMOD	= 2
+XPART = 0.5	CGDO = 4E-10	CGSO	= 4E-10
+CGBO = 1E-12	CJ = 8.406526E-4	PB	= 0.8
+MJ = 0.4923081	CJSW = 1.939781E-10	PBSW	= 0.99
+MJSW = 0.2751883	CJSWG = 3.3E-10	PBSWG	= 0.99
+MJSWG = 0.2751883	CF = 0	PVTH0	= -1.031224E-3
+PRDSW = 0	PK2 = 1.629017E-3	WKETA	= 0.0106762
+LKETA = 8.760864E-3	PU0 = -3.5021185	PUA	= -3.13657E-11
+PUB = 0	PVSAT = 653.2294237	PETA0	= 1E-4
*+PKETA = -0.0140591)		

Tablo A.2: 0.13 μm IBM PMOS teknoloji parametreleri (MOSIS 2009).

.MODEL CMOSP PMOS (LEVEL	= 7
+VERSION = 3.1	TNOM = 27	TOX	= 3.2E-9
+XJ = 1E-7	NCH = 4.1589E17	VTH0	= -0.2178731
+K1 = 0.3055794	K2 = -1.881877E-4	K3	= 0.0955725
+K3B = 6.5385817	W0 = 1E-6	NLX	= 3.118875E-7
+DVT0W = 0	DVT1W = 0	DVT2W	= 0
+DVT0 = 0.2602151	DVT1 = 0.1593124	DVT2	= 0.1
+U0 = 100	UA = 1.043597E-9	UB	= 1E-21
+UC = -4.36034E-11	VSAT = 2E5	A0	= 1.844554
+AGS = 0.2915063	B0 = -4.189558E-6	B1	= 5E-6
+KETA = 0.0414839	A1 = 0.0228958	A2	= 1
+RDSW = 105.3697072	PRWG = -0.1019642	PRWB	= 0.5
+WR = 1	WINT = 0	LINT	= 9.95995E-9
+DWG = 1.093168E-9	DWB = -2.857077E-8	VOFF	= -0.1022829
+NFACTOR = 1.5332272	CIT = 0	CDSC	= 2.4E-4
+CDSCD = 0	CDSCB = 0	ETA0	= 0.011015
+ETAB = -0.0285373	DSUB = 2.460721E-3	PCLM	= 1.6249923
+PDIBLC1 = 0	PDIBLC2 = -4.302895E-9	PDIBLCB	= -1E-3
+DROUT = 1.282078E-3	PSCBE1 = 2.169291E9	PSCBE2	= 6.594654E-10
+PVAG = 1.5395235	DELTA = 0.01	RSH	= 6.5
+MOBMOD = 1	PRT = 0	UTE	= -1.5
+KT1 = -0.11	KT1L = 0	KT2	= 0.022
+UA1 = 4.31E-9	UB1 = -7.61E-18	UC1	= -5.6E-11
+AT = 3.3E4	WL = 0	WLN	= 1
+WW = 0	WWN = 1	WWL	= 0
+LL = 0	LLN = 1	LW	= 0
+LWN = 1	LWL = 0	CAPMOD	= 2
+XPART = 0.5	CGDO = 3E-10	CGSO	= 3E-10
+CGBO = 1E-12	CJ = 1.174275E-3	PB	= 0.8310047
+MJ = 0.4126286	CJSW = 1.312194E-10	PBSW	= 0.99
+MJSW = 0.1	CJSWG = 4.22E-10	PBSWG	= 0.99
+MJSWG = 0.1	CF = 0	PVTH0	= 5.166851E-4
+PRDSW = 42.1520552	PK2 = 1.857124E-3	WKETA	= 0.0358202
+LKETA = 0.0271244	PU0 = -1.0381257	PUA	= -4.75151E-11
+PUB = 4.084847E-22	PVSAT = -50	PETA0	= -2E-4
+PKETA = -3.142785E-3)		

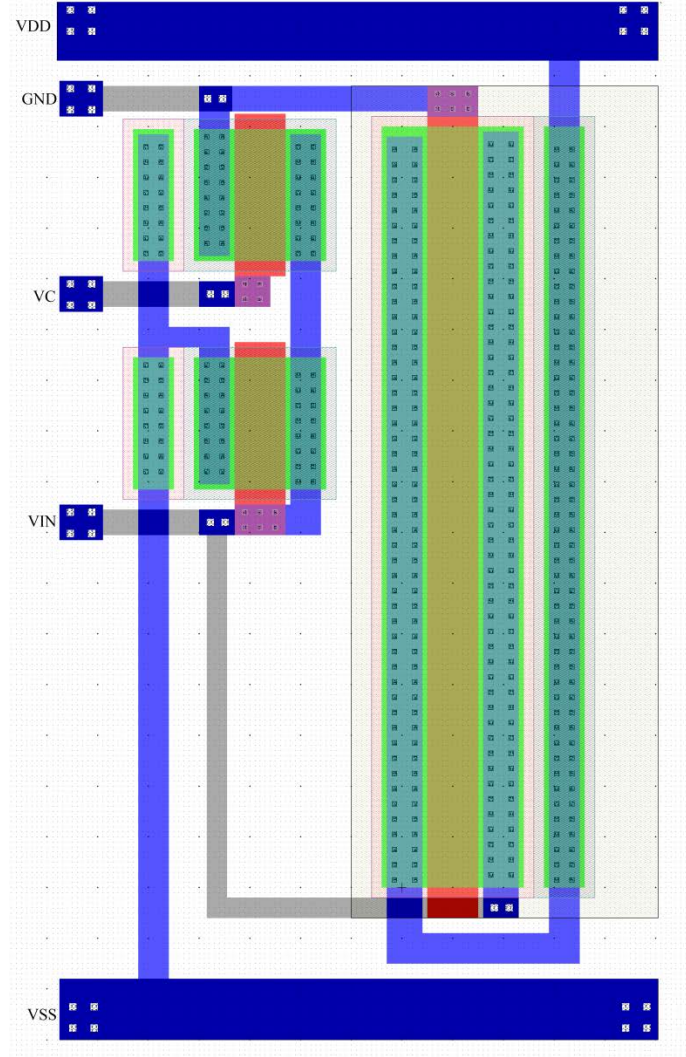
Tablo A.3: 0.25 μm TSMC NMOS teknoloji parametreleri (Yuce ve diğ. 2006^a).

.MODEL CMOSN NMOS (LEVEL = 7
+VERSION = 3.1	TNOM = 27	TOX = 5.7E-9	
+XJ = 1E-7	NCH = 2.3549E17	VTH0 = 0.3814211	
+K1 = 0.4746705	K2 = 1.660277E-4	K3 = 1E-3	
+K3B = 2.3122706	W0 = 1E-7	NLX = 1.589929E-7	
+DVT0W = 0	DVT1W = 0	DVT2W = 0	
+DVT0 = 0.6187888	DVT1 = 0.5994888	DVT2 = -0.3669704	
+U0 = 294.4108005	UA = -1.358819E-9	UB = 2.573394E-18	
+UC = 3.77946E-11	VSAT = 1.214475E5	A0 = 1.8588721	
+AGS = 0.3383369	B0 = -5.446135E-8	B1 = 7.4622E-8	
+KETA = -7.443745E-3	A1 = 9.745731E-5	A2 = 0.5578728	
+RDSW = 189.7568315	PRWG = 0.2559162	PRWB = -0.181174	
+WR = 1	WINT = 0	LINT = 0	
+XL = 0	XW = -4E-8	DWG = -1.457919E-8	
+DWB = 9.540311E-10	VOFF = -0.0981967	NFACTOR = 1.2611167	
+CIT = 0	CDSC = 2.4E-4	CDSCD = 0	
+CDSCB = 0	ETA0 = 4.919832E-3	ETAB = 2.025436E-4	
+DSUB = 0.0242961	PCLM = 1.593914	PDIBLC1 = 1	
+PDIBLC2 = 2.640837E-3	PDIBLCB = 0.0386436	DROUT = 1	
+PSCBE1 = 7.081828E8	PSCBE2 = 2.180247E-4	PVAG = 0	
+DELTA = 0.01	RSH = 4.2	MOBMOD = 1	
+PRT = 0	UTE = -1.5	KT1 = -0.11	
+KT1L = 0	KT2 = 0.022	UA1 = 4.31E-9	
+UB1 = -7.61E-18	UC1 = -5.6E-11	AT = 3.3E4	
+WL = 0	WLN = 1	WW = 0	
+WWN = 1	WWL = 0	LL = 0	
+LLN = 1	LW = 0	LWN = 1	
+LWL = 0	CAPMOD = 2	XPART = 0.5	
+CGDO = 4.23E-10	CGSO = 4.23E-10	CGBO = 5E-10	
+CJ = 1.749012E-3	PB = 0.99	MJ = 0.462496	
+CJSW = 4.279349E-10	PBSW = 0.9622079	MJSW = 0.3165822	
+CJSWG = 3.29E-10	PBSWG = 0.9622079	MJSWG = 0.3165822	
+CF = 0	PVTH0 = -7.011825E-3	PRDSW = -9.9645069	
+PK2 = 3.616258E-3	WKETA = 0.0105311	LKETA = -3.468158E-4	

Tablo A.4: 0.25 μm TSMC PMOS teknoloji parametreleri (Yuce ve diğ. 2006^a).

.MODEL	CMOSP	PMOS (LEVEL	= 7
+VERSION	= 3.1	TNOM	= 27	TOX	= 5.7E-9
+XJ	= 1E-7	NCH	= 4.1589E17	VTH0	= -0.5744204
+K1	= 0.6490426	K2	= -1.773363E-3	K3	= 0
+K3B	= 10.0463289	W0	= 1.003172E-6	NLX	= 1.289797E-8
+DVT0W	= 0	DVT1W	= 0	DVT2W	= 0
+DVT0	= 2.0444478	DVT1	= 0.8171636	DVT2	= -0.1766344
+U0	= 104.3965309	UA	= 1.149129E-9	UB	= 1.889317E-21
+UC	= -1E-10	VSAT	= 1.704423E5	A0	= 1.0827869
+AGS	= 0.2100781	B0	= 1.078897E-6	B1	= 4.897652E-6
+KETA	= 0.0122695	A1	= 0.0387643	A2	= 0.300003
+RDSW	= 1.868086E3	PRWG	= -2.456532E-4	PRWB	= -0.1100494
+WR	= 1	WINT	= 0	LINT	= 2.873182E-8
+XL	= 0	XW	= -4E-8	DWG	= -3.82622E-8
+DWB	= 6.704642E-10	VOFF	= -0.1377156	NFACTOR	= 0.9782443
+CIT	= 0	CDSC	= 2.4E-4	CDSCD	= 0
+CDSCB	= 0	ETA0	= 0.4874648	ETAB	= -0.0877264
+DSUB	= 1.274066	PCLM	= 1.2131124	PDIBLC1	= 4.890103E-3
+PDIBLC2	= 2.759062E-10	PDIBLCB	= -8.153931E-4	DROUT	= 0.0637363
+PSCBE1	= 1.745651E10	PSCBE2	= 3.933324E-9	PVAG	= 0.0149263
+DELTA	= 0.01	RSH	= 3.1	MOBMOD	= 1
+PRT	= 0	UTE	= -1.5	KT1	= -0.11
+KT1L	= 0	KT2	= 0.022	UA1	= 4.31E-9
+UB1	= -7.61E-18	UC1	= -5.6E-11	AT	= 3.3E4
+WL	= 0	WLN	= 1	WW	= 0
+WWN	= 1	WWL	= 0	LL	= 0
+LLN	= 1	LW	= 0	LWN	= 1
+LWL	= 0	CAPMOD	= 2	XPART	= 0.5
+CGDO	= 4.93E-10	CGSO	= 4.93E-10	CGBO	= 5E-10
+CJ	= 1.893734E-3	PB	= 0.9889579	MJ	= 0.4705132
+CJSW	= 3.124347E-10	PBSW	= 0.8	MJSW	= 0.2786992
+CJSWG	= 2.5E-10	PBSWG	= 0.8	MJSWG	= 0.2786992
+CF	= 0	PVTH0	= 5.048835E-3	PRDSW	= -0.3854504
+PK2	= 2.391215E-3	WKETA	= 0.0247713	LKETA	= -8.933358E-3)

EK B. Hazırlanan GVCR Elemanının Tümüleşik Devre Şeması



Şekil B.1: Hazırlanan GVCR elemanının tümleşik devre şeması.

12. ÖZGEÇMİŞ

Adı Soyadı : Fırat YÜCEL

Doğum Yeri ve Tarihi : Kütahya, 06/06/1982

Lisans Üniversite : Süleyman Demirel Üniversitesi, Teknik Eğitim Fakültesi, Elektronik ve Bilgisayar Eğitimi Bölümü, Bilgisayar Sistemleri Öğretmenliği (2005)

Y. Lisans Üniversite : Süleyman Demirel Üniversitesi, Fen Bilimleri Enstitüsü, Elektronik-Bilgisayar Eğitimi Anabilim Dalı (2008)

Elektronik posta : fyucel@akdeniz.edu.tr

İletişim Adresi : Siteler Mah. 1355 Sokak Eğitimciler Apt. No: 5/3 Konyaaltı/ANTALYA

Yayın Listesi :

SCI ve SCI-Expanded İndekslerine Giren Dergilerde Yayımlanan Makaleler

Yucel, F. and Yuce, E., "A New CCII Based Voltage-Mode Multifunctional Filter with Reduced Number of Active and Passive Elements", Journal of Circuits, Systems, and Computers, 24 (4), 1550047 (11 pages), (2015).

Yuce, E. and Yucel, F., "A new cascaded CMOS voltage squarer circuit and its application: four-quadrant analog multiplier ", Indian Journal of Engineering and Materials Sciences, 21, 351-357, (2014).

Yuce, E., Tokat, S. and Yücel, F., "A new wideband electronically tunable grounded resistor employing only three MOS transistors ", Turkish Journal of Electrical Engineering and Computer Sciences, (Online Published), (2014).

Yücel, F. and Yüce E., "CCII based more tunable voltage-mode all-pass filters and their quadrature oscillator applications", AEU-International Journal of Electronics and Communications, 68 (1), 1-9, (2014).

Yücel, F., Oral, O., Çağlayan, N., Tecimen, M., Koçak, S. and Yüce, E., "Design and implementation of a personal computer authorization system using color detection", Elektronika Ir Elektrotehnika, 115 (9), 97-100, (2011).

Diğer Dergilerde Yayımlanan Makaleler

Çakır, A., Yücel, F. and Çalış, H., "Microcontroller circuit calibrates current loops", Test & Measurement World, 32 (1), 26-29, (2012).

Konferans listesi :

Hakemli Kongre/Sempozyumların Bildiri Kitaplarında Yer Alan Yayınlar

Yücel, F. ve Çetin, H., "Türk bankacılık sektöründe mobil imza", Akademik Bilişim 2013, Antalya, Türkiye, 23-25 Ocak 2013, ss.46-50.

Yücel, F., Sezgin, E., Oral, O. and Topakçı, M., "Web based online article evaluating system (Akdeniz University sample)", 1st Cyprus International Congress of Education Research, Kuzey Kıbrıs Türk Cum., 6-9 Aralık 2012, vol.2, pp.387-395.

Yüce, E. ve Yücel, F., "İkinci nesil akım taşıyıcı (CCII) kullanılarak yapılan topraklanmış endüktans simülatörü", ELECO '2012 Elektrik - Elektronik ve Bilgisayar Mühendisliği Sempozyumu, Bursa, Türkiye, 29 Kasım - 01 Aralık 2012, cilt.1, ss.285-289.

Oral, O., Sezgin, E., Yücel, F. and Topakçı, M., "A model for common courses in higher education: web based student grouping software (Example of Akdeniz University)", 1st Cyprus International Congress of Education Research, Kuzey Kıbrıs Türk Cum., 6-9 Aralık 2012, vol.2, pp.396-403.

Sezgin, E., Yücel, F., Oral, O., Kasalak, T. F., Akbunar, Ş. and Uyar, R., "Evaluation of the basic computer courses on its necessity and content (Sample of Akdeniz University)", 4th International Computer and Instructional Technologies Symposium, Türkiye, 2010, pp.962-966.

Kasalak, T. F., Sezgin, E., Oral, O., Yücel, F., Akbunar, Ş. ve Uyar, R., "Üniversiteye yeni başlayan öğrencilerin internete ilişkin görüşleri (Akdeniz Üniversitesi örneği)", International Conference on New Trends in Education and Their Implications, Türkiye, 11-13 Kasım 2010, pp.528-533.

Cengiz, Y., Yücel, F. and Güneş, F., "Design of a broadband microwave amplifier using fuzzy logic performance data sheets with a artificial immune system", Progress In Electromagnetics Research Symposium (PIERS), Çin Halk Cum., 23-27 Mart 2009, pp.454-458.

Tokat, H., Cengiz, Y., Yücel, F. ve Toprak, İ. B., "Lineer dizi anten geometrisinin yapay bağışıklık sistemi ile tasarımı", IV. URSİ (International Union of Radio Science) Türkiye Bilimsel Kongresi - Ulusal Genel Kurul Toplantısı, Antalya, Türkiye, 20-22 Ekim 2008, ss.158-161.

Yücel, F., Arici, F. and Kurt, Y., "Mantıksal ifadelerin Karnough haritası yöntemiyle en basite indirgenmesi için bir yazılım geliştirilmesi", Akademik Bilişim 2007, Kütahya, Türkiye, 31 Ocak - 2 Şubat 2007, ss.385-390.

Yücel, F. ve Çalış, H., "Gerçek zamanlı ve kablosuz veri toplama sistemleri", Otomatik Kontrol Ulusal Toplantısı (TOK '06), Ankara, Türkiye, 1-4 Kasım 2006, ss.561-566.

Diğer Yayınlar

Yücel, F., "Açık Kaynak İşletim Sistemi 2 (Milli Eğitim Bakanlığı)", MEGEP Ders Modülü, ss.1-74, 2008.

Yücel, F., "Açık Kaynak İşletim Sistemi 1 (Milli Eğitim Bakanlığı)", MEGEP Ders Modülü, ss.1-153, 2008.

Yücel, F., "Arıza Giderme 5 (Milli Eğitim Bakanlığı)", MEGEP Ders Modülü, ss.1-129, 2008.

Yücel, F., "Açık Kaynak İşletim Sistemi 3 (Milli Eğitim Bakanlığı)", MEGEP Ders Modülü, ss.1-74, 2008.