

T.C.
PAMUKKALE ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM
DALI

UYDU HABERLEŞME SİSTEMLERİNİN ALICI MODÜLLERİ
İÇİN ÇİFT-BANDLI YÜKSEK PERFORMANSLI DÜŞÜK
GÜRÜLTÜLÜ YÜKSELTİCİLERİN (DGY) DÜZLEMSEL
YAPILAR KULLANILARAK TASARIMI: UHF VE S BANDI
UYGULAMALARI

YÜKSEK LİSANS TEZİ

BARIŞ UYSAL

DENİZLİ, EKİM - 2016

T.C.
PAMUKKALE ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM
DALI



UYDU HABERLEŞME SİSTEMLERİNİN ALICI MODÜLLERİ
İÇİN ÇİFT-BANDLI YÜKSEK PERFORMANSLI DÜŞÜK
GÜRÜLTÜLÜ YÜKSELTİCİLERİN (DGY) DÜZLEMSEL
YAPILAR KULLANILARAK TASARIMI: UHF VE S BANDI
UYGULAMALARI

YÜKSEK LİSANS TEZİ

BARIŞ UYSAL

DENİZLİ, EKİM - 2016

KABUL VE ONAY SAYFASI

BARIŞ UYSAL tarafından hazırlanan “UYDU HABERLEŞME SİSTEMLERİNİN ALICI MODÜLLERİ İÇİN ÇİFT-BANDLI YÜKSEK PERFORMANSLI DÜŞÜK GÜRÜLTÜLÜ YÜKSELTİCİLERİN (DGY) DÜZLEMSEL YAPILAR KULLANILARAK TASARIMI: UHF VE S BANDI UYGULAMALARI” adlı tez çalışmasının savunma sınavı 21.10.2016 tarihinde yapılmış olup aşağıda verilen jüri tarafından oy birliği / oy çokluğu ile Pamukkale Üniversitesi Fen Bilimleri Enstitüsü Elektrik-Elektronik Mühendisliği Anabilim Dalı Yüksek Lisans Tezi olarak kabul edilmiştir.

Jüri Üyeleri

İmza

Danışman

Prof. Dr. Ceyhun KARPUZ

Üye

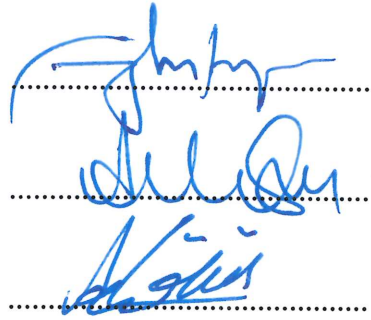
Yrd. Doç. Dr. Ahmet ÖZEK

Pamukkale Üniversitesi

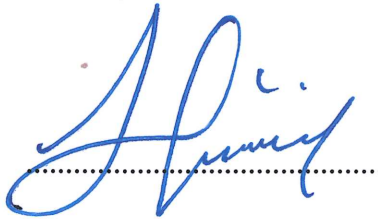
Üye

Yrd. Doç. Dr. Ali Kürşad GÖRÜR

Nevşehir Hacı Bektaş Veli Üniversitesi



Pamukkale Üniversitesi Fen Bilimleri Enstitüsü Yönetim Kurulu'nun 25/11./2016 tarih ve ..43/23.. sayılı kararıyla onaylanmıştır.



Prof. Dr. Uğur YÜCEL

Fen Bilimleri Enstitüsü Müdürü

Bu tez çalışması Pamukkale Üniversitesi Bilimsel Araştırma Projeleri Koordinasyon Birimi tarafından 2015FBE036 nolu proje ile desteklenmiştir.

Bu tezin tasarımı, hazırlanması, yürütülmesi, arařtırmalarının yapılması ve bulgularının analizlerinde bilimsel etięe ve akademik kurallara özenle riayet edildiđini; bu alıřmanın dođrudan birincil ürünü olmayan bulguların, verilerin ve materyallerin bilimsel etięe uygun olarak kaynak gösterildiđini ve alıntı yapılan alıřmalara atfedildiđine beyan ederim.


BARIŐ UYSAL

ÖZET

**UYDU HABERLEŞME SİSTEMLERİNİN ALICI MODÜLLERİ İÇİN
ÇİFT-BANDLI YÜKSEK PERFORMANSLI DÜŞÜK GÜRÜLTÜLÜ
YÜKSELTİCİLERİN (DGY) DÜZLEMSEL YAPILAR KULLANILARAK
TASARIMI: UHF VE S BANDI UYGULAMALARI
YÜKSEK LİSANS TEZİ
BARIŞ UYSAL
PAMUKKALE ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**

(TEZ DANIŞMANI: PROF. DR. CEYHUN KARPUZ)

DENİZLİ, EKİM - 2016

Bu tezde yeni olarak iki farklı tek bandlı yükseltici tasarlanacaktır. Smith abağı kullanılarak tasarlanan yükselticiler üzerinde indüktif yüklemenin etkisi incelenecektir. Tasarlanan iki farklı tek bandlı yükseltici devreleri birleştirilerek, nihai çift bandlı yükseltici yapısına ulaşılmıştır. Tasarlanan yükselticilerin saçılma parametrelerini (iletim (S_{21}) ve yansıma (S_{11})) elde edebilmek için ABCD matrislerinden yararlanılmıştır. Bu matematiksel ifadeler bilgisayar destekli matematik programında yazılıp grafik çıktıları elde edilmiştir ve bu grafik çıktıları simülasyon sonuçları ile karşılaştırılmıştır. Bu karşılaştırma sonucunda simülasyon sonuçları ile teorik sonuçların büyük ölçüde tutarlı olduğu görülmektedir. Tasarlanan tüm yapılarda taban malzemesi olarak bağıl dielektrik geçirgenliği 10.2, kalınlığı 1.27mm ve kayıp tanjantı ($\tan\delta$) 0.0023 olan RT/Duroid taban malzemesi kullanılmaktadır. Giriş ve çıkış portları 50Ω 'dur. Tasarlanan çift bandlı yükseltici RT/Duroid taban malzemesi kullanılarak gerçekleştirilecektir. Ülkemiz savunma sanayisinin de ihtiyaçları göz önünde bulundurularak tasarlanacak ve imal edilecek devrelerin ulusal anlamda büyük bir öneme sahip olabileceği düşünülmektedir. Bu doğrultuda, önerilen tezin başarıyla sonuçlanması hem uluslararası mikrodalga literatüründe hem de ulusal savunma sanayisinde önemli bir yere sahip olacağı açıktır.

ANAHTAR KELİMELER: Çift band, yüksek performans, düşük gürültülü yükseltici, düzlemsel yapılar

ABSTRACT

DESING OF DUAL-BAND HIGH PERFORMANCE LOW NOISE AMPLIFIER (LNA) FOR RECEIVER MODULES OF SATELLITE COMMUNICATION SYSTEMS BY USING PLANAR STRUCTURES: UHF AND S BAND APPLICATIONS

MSC THESIS

BARIS UYSAL

**PAMUKKALE UNIVERSITY INSTITUTE OF SCIENCE
ELECTRICAL AND ELECTRONICS ENGINEERING**

(SUPERVISOR:PROF. DR. CEYHUN KARPUZ)

DENİZLİ, OCTOBER 2016

It is desinged as two new single-band amplifier in this thesis. Inductive loading will be examined on the amplifiers which designed using Smith charts. By combining two different single band amplifier circuits, obtained final two-band amplifier structure. Designed amplifiers scattering parameters (transmission (S_{21}) and reflection (S_{11})) were used to obtain the ABCD matrix. The mathematical expressions are written in computer based mathematics program to obtain graphical outputs and compared with the graphical output of simulation results. Comparision of theoretical results with the simulation results shows that there is substantially consistent. All designed structures uses RT/Duroid substrate which's properties are relative dielectric permittivity 10.2, the thickness of 1.27mm and loss tangent ($\tan\delta$) is 0.0023. Both input and output ports are 50Ω . The simulation with experimental results appear to be in good agreement. Considering the defense industry of our country's needs, amplifiers that will be manufactured and designed may also have a great importance in national sense. In this respect, the successful conclusion of the proposed thesis will have an important place both international literature and national defense industry.

KEYWORDS: Dual band, high performance, low noise amplifier, planar structures

İÇİNDEKİLER

Sayfa

ÖZET.....	i
ABSTRACT	ii
İÇİNDEKİLER	iii
ŞEKİL LİSTESİ.....	v
SEMBOL LİSTESİ	vii
ÖNSÖZ.....	viii
1. GİRİŞ.....	1
1.1 Literatür Taraması	1
2. MİKRODALGA YÜKSELTİCİ TASARIMI.....	13
2.1 Mikrodalga Devre Analizi	13
2.1.1 Empedans ve Admitans Matrisleri.....	13
2.1.2 Saçılma Matrisi	16
2.1.3 ABCD(İletim) Matrisi.....	18
2.1.4 Empedans Uygunlama	19
2.1.4.1 Çeyrek Dalga Boyu Dönüştürücüsü:.....	20
2.1.4.2 L Şeklinde Yapı Kullanarak Uygunlama:	22
2.1.4.3 Yan Hat Kullanarak Uygunlama:.....	22
2.2 İki Kapılı Devrelerde Güç Kazancı	23
2.2.1 İki Kapılı Devrelerde Güç Kazancının Tanımı	23
2.3 Kararlılık	26
2.3.1 Kararlılık Daireleri:.....	26
2.3.2 Mutlak Kararlılığın Kontrolü.....	28
2.4 Tek Kademeli Transistörlü Yükseltici Tasarımı	28
2.4.1 En Yüksek Kazanç İçin Tasarım	29
2.4.2 Kararlı En Yüksek Kazanç	30
2.4.3 Sabit Kazanç Daireleri ve Arzu Edilen Kazanç İçin Tasarım	31
2.5 İletim Hatları ve Bileşenleri	32
2.5.1 Mikroşerit Hatlar.....	32
2.5.1.1 Mikroşerit Yapısı	32
2.5.1.2 Mikroşeritlerdeki Dalgalar	33
2.5.1.3 Quasi-TEM Yaklaşımı	33
2.5.1.4 Etkin Dielektrik Sabiti ve Karakteristik Empedans	33
2.5.1.5 Kılavuzlanmış Dalga Boyu, Yayılma Sabiti, Faz Hızı ve Elektriksel Uzunluk.....	34
2.5.1.6 W/h Sentezi	35
2.5.1.7 Şerit Kalınlığının Etkisi	35
2.5.1.8 Mikroşeritte Dağılma	36
2.5.1.9 Mikroşerit Kayıplar.....	37
2.5.2 Süreksizlikler ve Bileşenler	38
2.5.2.1 Mikroşerit Süreksizlikler.....	38
2.5.2.2 Basamak Yapı	39
2.5.2.3 Açık Sonlandırmalar	39
2.5.2.4 Boşluklar	40
2.5.2.5 Köşe Yapıları	41
2.5.3 Mikroşerit Bileşenler	41

2.5.3.1	Toplu Kondansatör ve Bobinler	41
2.5.3.1.1	Bobin Tasarımı	42
2.5.3.1.2	Kondansatör Tasarımı.....	43
2.5.3.2	Quasi Toplu Elemanları	44
2.5.3.2.1	Yüksek ve Düşük Empedans Kısa Hat Bölmeleri	44
2.5.3.2.2	Açık ve Kısa Devre Yan Hatlar	46
3.	Düşük Gürültülü Yükseltici Tasarımı.....	48
3.1	Tek Bandlı DGY Tasarımı	49
3.1.1	UHF Bandı İçin DGY Tasarımı.....	50
3.1.2	S Bandı İçin DGY Tasarımı.....	52
3.2	Çift Bandlı DGY Tasarımı	53
4.	DENEYSEL ÇALIŞMALAR	56
5.	SONUÇLAR VE ÖNERİLER.....	57
6.	KAYNAKLAR.....	58
7.	EKLER.....	61
	EK A Smith Abağı Hesaplamaları	61
8.	ÖZGEÇMİŞ	65

ŞEKİL LİSTESİ

Sayfa

Şekil 1.1: Çift band DGY topolojileri (a) Kaskat anahtarlama tipi (b) Eş zamanlı tip (c) Anahtarlama indüktör/kapasitör tipi (d) Ayarlanabilir uygulama tipi.....	2
Şekil 1.2: UMTS ve çok geniş bantlı sistemler için tasarlanan DGY	3
Şekil 1.3: Devreye ait simülasyon sonuçları (a) S_{11} (b) S_{22}	4
Şekil 1.4: Yerleşim Planı (1 x 1.3 mm ²)	4
Şekil 1.5: Tamamıyla eş zamanlı çalışan çift bantlı DGY yapısı.....	5
Şekil 1.6: (a) Giriş uygulama devresi (b) Çıkış uygulama devresi	5
Şekil 1.7: DGY'ye ait S_{11} ve S_{21} parametreleri	6
Şekil 1.8: KNUS alıcısının blok diyagramı.....	6
Şekil 1.9: Tasarlanan DGY yapısı.....	6
Şekil 1.10: Simüle edilen S_{11} ve Kazanç eğrisi.....	7
Şekil 1.11: Devrenin yerleşim planı.....	7
Şekil 1.12: Kargaran ve diğ. tarafından önerilen çift bantlı DGY yapısı.....	8
Şekil 1.13: Önerilen devrenin simülasyon sonuçları (a) S_{11} (b) S_{21}	8
Şekil 1.14: İki kademeli yükseltici tasarımı	9
Şekil 1.15: Challal ve diğ. tarafından önerilen devrenin S_{21} ve S_{11} parametrelerinin simülasyon sonuçları	9
Şekil 1.16: Challal ve diğ. tarafından önerilen devrenin yerleşim planı	9
Şekil 1.17: İki kapılı mikrodalga yükseltici blok diyagramı.....	10
Şekil 1.18: Challal ve diğ. tarafından önerilen devre yapısı	10
Şekil 1.19: Dar band için simülasyon sonuçları	11
Şekil 1.20: Geniş band için simülasyon sonuçları	11
Şekil 1.21: Düşük gürültülü yükselticinin devre yapısı	11
Şekil 1.22: Giriş, çıkış ve arakademeuygunlama devreleri için kullanılan CPW yapıları	12
Şekil 1.23: Adabi ve diğ. tarafından Önerilen yapıya ait simülasyon ve ölçüm sonuçları	12
Şekil 2.1: Keyfi n portlu mikrodalga devresi	14
Şekil 2.2: (a) İki kapılı devre (b) İki kapılı devrelerin seri bağlantısı.....	18
Şekil 2.3: Keyfi yük empedansı ile iletim hattı arasındaki kayıpsız uygulama devresi	20
Şekil 2.4: Çeyrek dalga boyu dönüştürücüsü. $l=\lambda/4, f_0$ tasarım frekansları için	20
Şekil 2.5: Yansıma katsayısı genliğinin yaklaşık davranışı	21
Şekil 2.6: L şeklindeki uygulama devreleri	22
Şekil 2.7: Tek yan hat ile yapılan uygulama devreleri (a) Paralel yan hat (b) Seri yan hat	23
Şekil 2.8: Yük ve kaynak empedansına bağlı iki kapılı devre	24
Şekil 2.9: Transistörlü yükseltici devresinin genel yapısı.....	25
Şekil 2.10: Bağlı Kararlı Cihaz İçin Çıkış Kararlılık Daireleri (a) $ S_{11} <1$ (b) $ S_{11} >1$	27
Şekil 2.11: Genel mikroşerit yapısı.....	32

Şekil 2.12: Mikroşerit süreksizlikler: (a) basamak (b) açık son (c) boşluk (d) köşe yapı.	38
Şekil 2.13: Toplu bobin elemanları: (a) yüksek empedans hattı (b) kıvrımlı hat (c) dairesel spiral (d) kare spiral (e) ideal devre gösterimleri	42
Şekil 2.14: Toplu eleman kondansatörleri: (a) parmak arası kondansatör (b) metal-iletken-metal kondansatör (c) ideal devre gösterimleri	42
Şekil 2.15: Yüksek empedanslı kısa hat elemanı	45
Şekil 2.16: Düşük empedanslı kısa hat elemanı	45
Şekil 2.17: Kısa devre yan hat elemanları	46
Şekil 3.1: UHF bandında çalışması için tasarlanan yükselticiye ait eşdeğer devre modeli	50
Şekil 3.2: UHF bandında çalışması için tasarlanan DGY yapısı	51
Şekil 3.3: Teorik analiz ve simülasyon sonuçlarının karşılaştırılması	51
Şekil 3.4: İlgili yükseltme bandı kontrolüne ait simülasyon sonuçları	51
Şekil 3.5: S bandında çalışması için tasarlanan yükselticinin eşdeğer devre modeli	52
Şekil 3.6: S bandında çalışması için tasarlanan DGY yapısı	52
Şekil 3.7: Teorik analiz ve simülasyon sonuçlarının karşılaştırılması	53
Şekil 3.8: İlgili yükseltme bandı kontrolüne ait simülasyon sonuçları	53
Şekil 3.9: Çift bandlı DGY'nin eşdeğer devre modeli	54
Şekil 3.10: Çift bandlı DGY yapısı	54
Şekil 3.11: Tasarım yapılan çift band DGY'ye ait simülasyon sonucu	55
Şekil 3.12: Teorik analiz ve simülasyon sonuçlarının karşılaştırılması	55
Şekil 4.1: İmal edilen çift bandlı yükseltici	56
Şekil 4.2: Network analizör ile yapılan ölçüm sonucu	56

SEMBOL LİSTESİ

RL	:	Return loss (dönme kaybı)
IL	:	Insertion loss (eklemler arası kayıp)
BW	:	Bandwidth (bant genişliği)
DGY	:	Düşük gürültülü yükseltici
f_c	:	Merkez frekans
KNUS	:	Küresel navigasyon uydu sistemi
MLIN	:	Mikroşerit hat
MTAPER	:	Konik mikroşerit hat
MTEE	:	T bağlantı noktası
OCTS	:	Açık devre sonlandırılmış yan hat
MRSTUB	:	Açısal yan hat bileşeni
UMTS	:	Uluslararası mobil telekomünikasyon standartları

ÖNSÖZ

Tez kapsamında uydu haberleşme sistemlerinin alıcı modüllerinde kullanılmak üzere yüksek performanslı düşük gürültülü yükseltici (DGY) tasarımı yapılmıştır. Tez kapsamında karşılaştığım zorluklarda benden yardımını esirgemeyen danışman hocam Prof. Dr. Ceyhun KARPUZ, Yrd. Doç. Dr. Ahmet ÖZEK, Yrd. Doç. Dr. Ali Kürşad GÖRÜR ve Araş. Gör. Pınar ÖZTÜRK ÖZDEMİR'e teşekkürlerimi sunarım. Devrelerin basımını yapan Teknisyen Hakan BİLGE'ye teşekkür ederim.

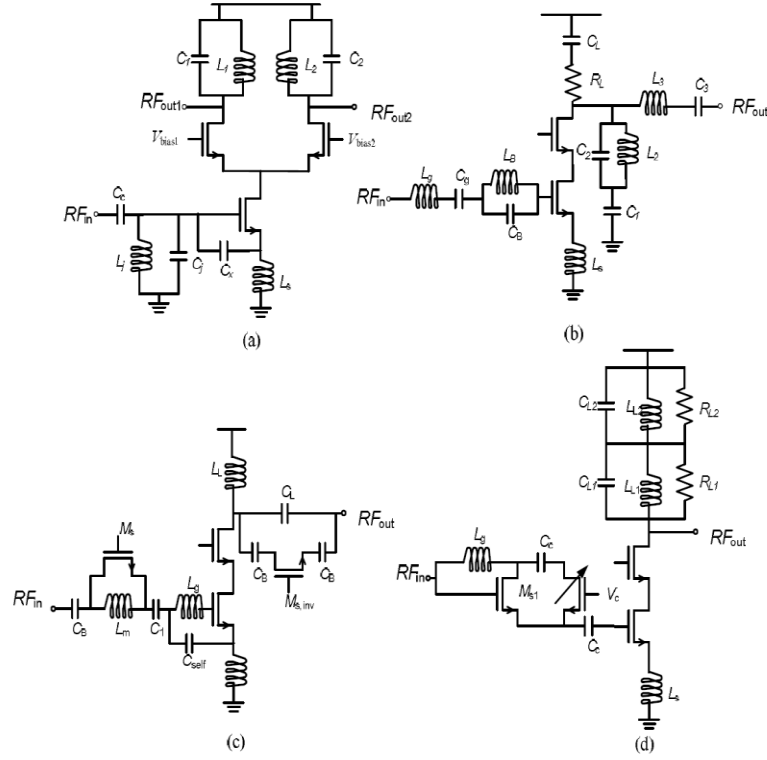
Yetişmemde her türlü fedakarlığı gösteren, öğrendiğim her kelimedede hakkı olan aileme teşekkürlerimi bir borç bilirim.

1. GİRİŞ

1.1 Literatür Taraması

Modern iletişim sistemlerindeki uygulamalar, farklı iletişim protokolleri arasındaki geçişlerin kolay olmasını gerektirmektedir. Bu durum herhangi bir RF sisteminde bulunabilen multi-standartlara sahip alıcıların tasarlanmasındaki en önemli nedenlerden birdir. Düşük Gürültülü Yükselticiler (DGY) RF haberleşme sistemlerindeki en önemli ilk yapı bloklarından birini temsil eder. Modern alıcılardaki alınan sinyal düşük güçlü olduğu için, bu sinyaller üzerinde herhangi bir işlem yapılmadan önce düzgün olarak yükseltilmeleri gerekir. Yükselticinin kendi gürültü katkısı bazı durumlarda alınan sinyali bastırabilir. Bu yüzden ilk yapı bloklarındaki DGY'lerin amacı gürültü katkısını minimize ederken, alınan sinyali kabul edilebilir seviyelere yükseltmektir. DGY devreleri tasarlanırken dikkat edilmesi gereken önemli husulardan biri ise gürültü unsurlarını minimize ederken, güç transferi içinde 50 ohmluk giriş uygunlamasını sağlamaktır. RF alıcılarda çoklu standartdaki sinyal alımını desteklemek için çok bandlı LNA' lar için bir kaç teknik mevcuttur (Hashemi ve Hajimiri 2002), (Hove ve Faaborg 2004).

Literatürde çift bandlı yükseltici tasarımları farklı yöntemlerle gerçekleştirilmekte olup bu DGY tasarımlarında, pozitif geri besleme tekniği (Lee ve diğ. 2006), aktif balun yapısı (Wu ve diğ. 2010), manyetik kuplaj (Martins ve diğ. 2007), akımı tekrar kullanma metodu (Kargaran ve diğ. 2010) ve CMOS anahtarları (Datta ve diğ. 2010),(Lian ve diğ. 2011), (Chang ve diğ. 2005),(Wang ve diğ. 2011), (Huang ve diğ. 2011), (Bhattacharya ve diğ. 2012), (Dehqan ve diğ. 2012), (Jou ve diğ. 2003), (Dao ve diğ. 2006), (Borremans ve diğ. 2007), (Ahsan ve diğ. 2007)ve düzlemsel yapılar (Challal ve diğ. 2011), (Mayberry ve diğ. 2012), (Serban ve diğ. 2006), (Demirel ve diğ. 2015)kullanılan metotlardan bazılarıdır. Transistör kullanılarak tasarlanabilecek DGY topolojileri Şekil 1.1'de verilmiştir (Wang ve diğ. 2010).



Şekil 1.1: Çift band DGY topolojileri (a) Kaskat anahtarlama tipi
 (b) Eş zamanlı tip (c) Anahtarlama indüktör/kapasitör tipi
 (d) Ayarlanabilir uygulama tipi

Şekil 1.1(a) kaskat anahtarlama tipi çift bandlı DGY yapısını göstermektedir (Martins ve diğ. 2007), (Martins ve diğ. 2008). Gate kutuplamaları V_{bias1} ve V_{bias2} çıkış devrelerine bağlı olan kaskat transistörlere bağlıdır. V_{bias1} ve V_{bias2} gerilimlerinin değerleri değiştirilerek, 2 kaskat transistöre giden akım paralel olarak dağılmaktadır, bu yüzden her bir bölmenin kazancı değişir. Geniş band uygulamalar için, bu tasarım yöntemi tasarımın karmaşıklığını arttırmakta ve devre tasarımı için duyulan alan ihtiyacını arttırmaktadır, bu yüzden çok tercih edilmez.

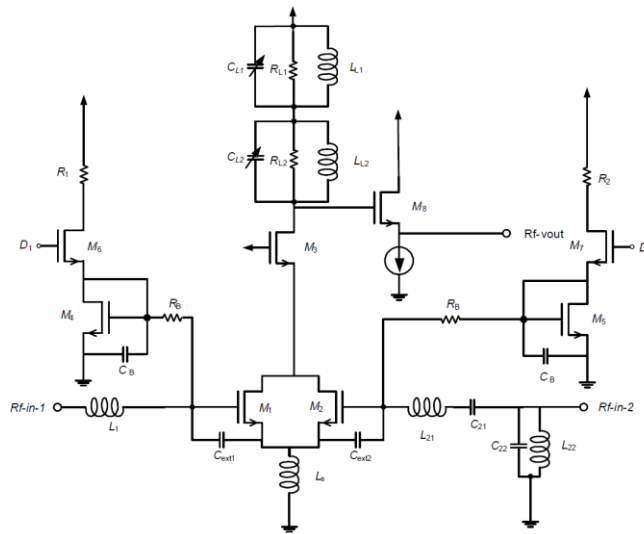
Eş zamanlı çift bandlı DGY ile LC rezonans devreleri sayesinde aynı anda iki yada üç modu destekler (Hashemi ve Hajmiri 2002), (Pan ve diğ. 2007). Şekil 1.1(b) ile gösterilen devrede, tüm bileşenler frekansdan bağımsızdır. Bu tasarım tekniği ile aynı anda iki farklı frekans sahasında yükseltme işlemi yapma kapasitesine sahiptir, ayrıca bu tasarım ile alan ve maliyetten tasarruf edilebilir.

Şekil 1.1(c) anahtarlama indüktör/kapasitör tipli çift bandlı DGY'lerin devre yapısını göstermektedir (Dao ve diğ. 2007), (Yoo ve Yoo 2007), (Balemarthy ve Paily 2009). Anahtarları AÇIK/KAPALI konuma getirerek DGY iki farklı frekans sahasında çalışabilir. Bu tasarım yöntemi için, anahtarlanabilir ya da ayarlanabilir bileşen sayısı sınırlanmalıdır; aksi takdirde, DGY'nin performansı CMOS

anahtarlarının neden olduğu parazitik parametrelerden dolayı azalabilir. Dahası, bu tasarım genellikle dar band uygulamaları için daha uygundur.

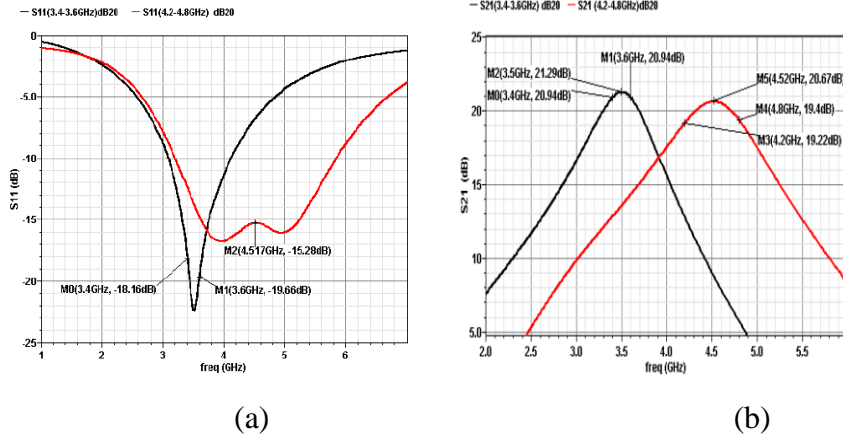
Şekil 1.1(d)'de gösterilen DGY ise ayarlanabilir tasarım tekniğinin devresini göstermektedir (Nozahi ve diğ. 2007). DGY'nin band seçimi indüktör ayarlama devresi ile gerçekleştirilmektedir. Sürekli ya da anahtarlamalı DGY'lerle kıyaslandığında, sürekli olarak ayarlanabilir olması ve farklı frekans bandlarında çalışabilmesi en önemli avantajıdır.

Wang ve diğ. tarafından uluslararası mobil telekomünikasyon ve geniş bantlı sistemler için tasarlanan çift bantlı DGY tasarımı yapılmıştır. Şekil 1.2 uluslar arası mobil telekomünikasyon bandı (3.4-3.6GHz) ve çok geniş band (4.2-4.8 GHz) sistemleri için tasarlanmış DGY yapısını göstermektedir (Wang ve diğ. 2010). Devredeki M_1 ve M_2 transistörleri sırasıyla 3.4-3.6GHz ve 4.2-4.8GHz frekans bandları için giriş transistörü konumdadır. Farklı empedans ve gürültü uygulanması gerekliliğine dayanarak, M_1 ve M_2 transistörleri seçiminde en düşük kanal uzunluğu $120\mu\text{m}$ olarak seçilmiştir. M_3 transistörü yüksek çıkış direnci ve devrenin girişi ile çıkışı arasındaki yalıtımı sağlar ve M_3 transistörünün girişinden bakıldığında görülen düşük empedans sayesinde Miller etkisinin etkinliğini azalır. M_1 ve M_4 akım kopyalama devresini oluşturur ve M_4 transistörü ile R_1 direnci kutuplama akımını sağlar. C_B kapasitesi, kutuplama devresi tarafından üretilen gürültüyü filtreleme görevini üstlenmiştir. R_B direnci kutuplama devresi üzerinden alternatif akım sinyalinin geçmemesini ve dolayısıyla ac alternatif akım dalgalanmasını önlemek için devreye eklenmiştir. M_6 transistörü band seçimi için kullanılmaktadır.

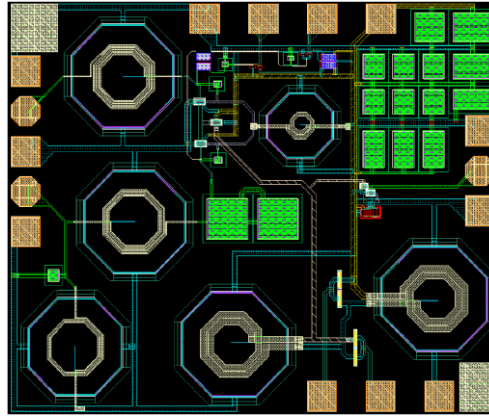


Şekil 1.2: UMTS ve çok geniş bantlı sistemler için tasarlanan DGY

Şekil 1.3 ve Şekil 1.4 sırasıyla devreye ait simülasyon sonuçlarını ve yerleşim planını göstermektedir (Wang ve diğ. 2010).

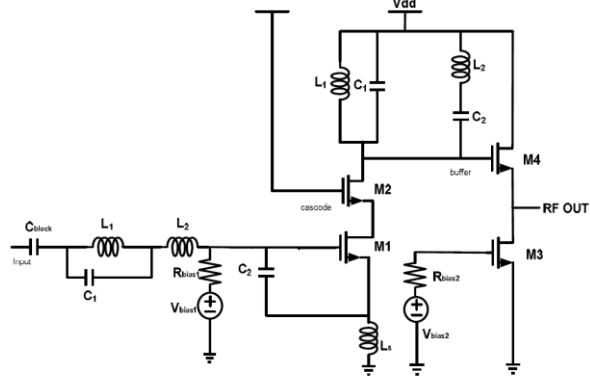


Şekil 1.3: Devreye ait simülasyon sonuçları (a) S_{11} (b) S_{22}



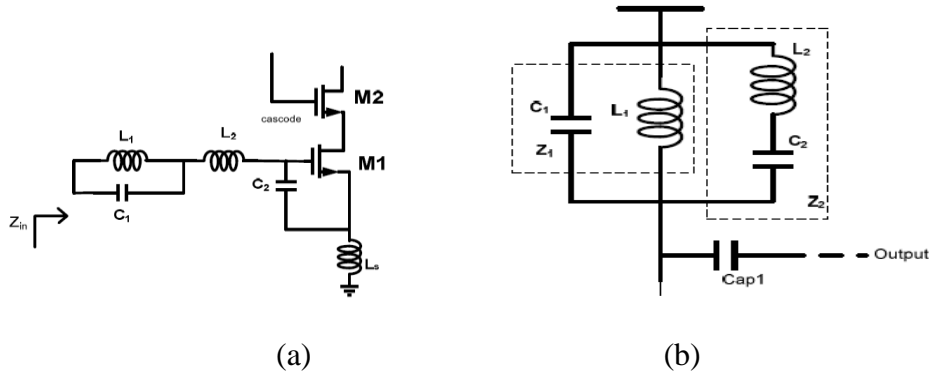
Şekil 1.4: Yerleşim Planı (1 x 1.3 mm²)

Datta ve diğ. tarafından 900 MHz/2.4 GHz frekans bandlarında çalışmak üzere DGY tasarlanmıştır. Bu çalışmada, tüm bandlar için tek bir sürücü devresinin kullanılması sayesinde güç tüketimi azalttığı için eş zamanlı LNA tasarımı üzerinde durulmuştur. Tasarlanan yükseltici yapısı Şekil 1.5'de verilmiştir (Datta ve diğ. 2010).



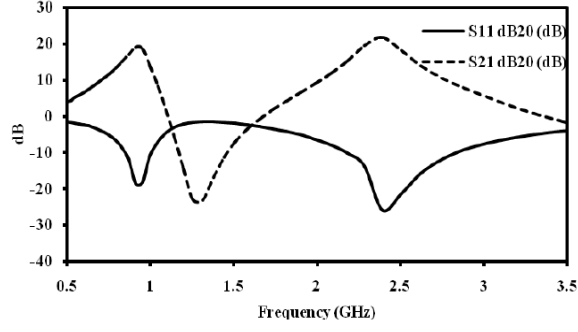
Şekil 1.5: Tamamıyla eş zamanlı çalışan çift bandlı DGY yapısı

Eş zamanlı uygunlama teorisinin hem giriş hemde çıkış uygunlanma devresinde kullanıldığı için, yapı ismindeki tamamıyla eş zamanlı ifadesi kullanılmıştır. Giriş, çıkış uygunlama devreleri Şekil 1.6'da verilmiştir (Datta ve diğ. 2010).



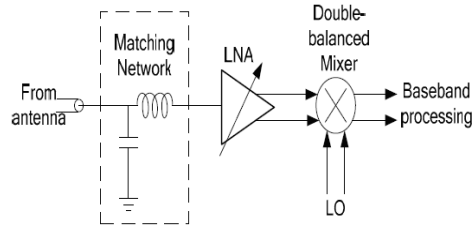
Şekil 1.6: (a) Giriş uygunlama devresi (b) Çıkış uygunlama devresi

İyi bir devre performansı için, transistör genişliği ve kutuplama akımı optimize edilmelidir. Giriş transistörü M3'ün boyutu, transkonduktans ve akım tüketimine olan ihtiyaca bağlıdır. M4 transistörü giriş ve çıkış arasındaki yalıtımı ve DGY'nin gürültü performansını iyileştirmek için optimize edilmiştir. Yükselticiye ait simülasyon sonuçları Şekil 1.7'de verilmiştir (Datta ve diğ. 2010).

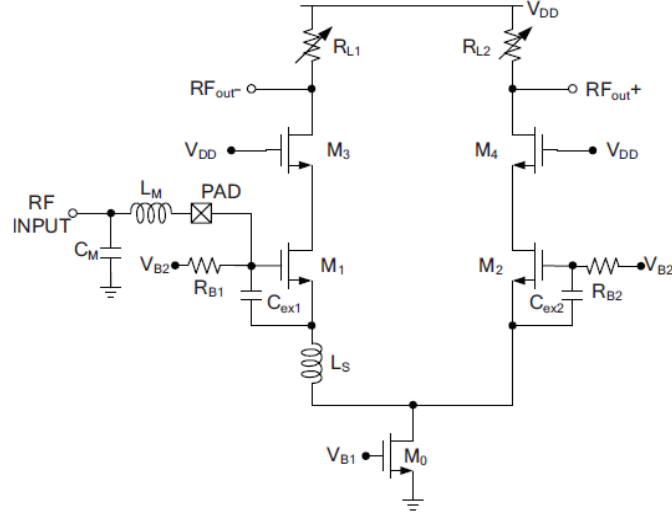


Şekil 1.7: DGY'ye ait S_{11} ve S_{21} parametreleri

Küresel Navigasyon Uydu Sistemlerinin (KNUS) alıcıları için aktif balun yapısına sahip çift bandlı LNA tasarlanmıştır. KNUS alıcısının blok diyagramı ve devre yapısı sırasıyla Şekil 1.8 ve Şekil 1.9' da verilmiştir (Wu ve diğ. 2010).



Şekil 1.8: KNUS alıcısının blok diyagramı

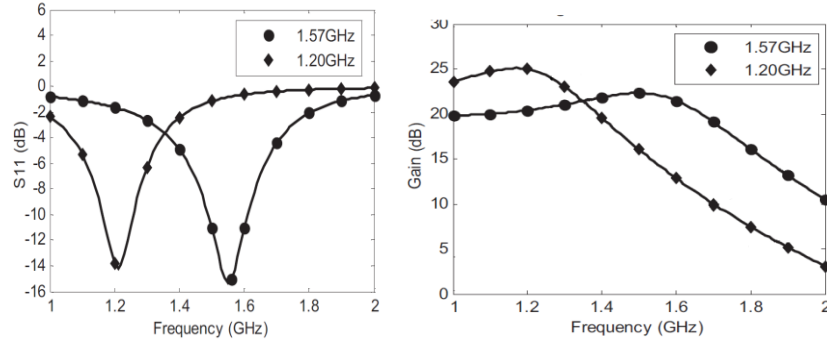


Şekil 1.9: Tasarlanan DGY yapısı

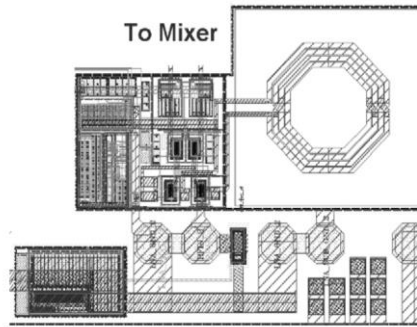
Şekil 1.9'da gösterilen DGY yapısında indüktif olarak dejenere edilmiş ortak kaynak topolojisi kullanılmıştır. Girişte uygulanan elektrostatik deşarj koruması ile daha güvenilir bir çalışma sağlanmıştır. Dejenere indüktörü L_s giriş empedansının reel kısmını oluştururken, L_M ve C_M empedans uygunlamasını tamamlar. Kuyruk akım kaynağı M_0 tek girişli devre girişini, fark alıcı devrenin bulunduğu devre çıkışına bağlar. Bunun nedeni ise;

1. Fark alan devre yapısı, SoC sistemlerindeki ortak mod girişimi ve taban malzemesi gürültüsüne karşı dirençlidir.
2. Mikser çıkışındaki yerel osilastör beslemesinin etkisi çıkışta fark alan çift dengeli devre yapısına sahip fark alan DGY aracılığıyla giderilebilir.
3. Bu devre yapısının devreye ait gürültü faktörünü doğrudan azaltıcı etkiye sahip olmasıdır.

Devreye ait simüle edilmiş S parametreleri ve yerleşim planı sırasıyla Şekil 1.10 ve Şekil 1.11'deki gibidir.

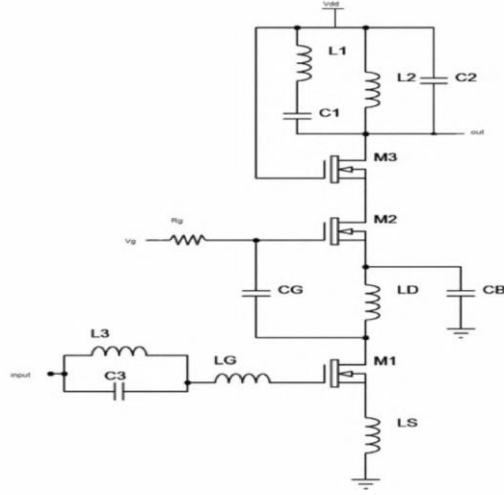


Şekil 1.10: Simüle edilen S₁₁ ve Kazanç eğrisi



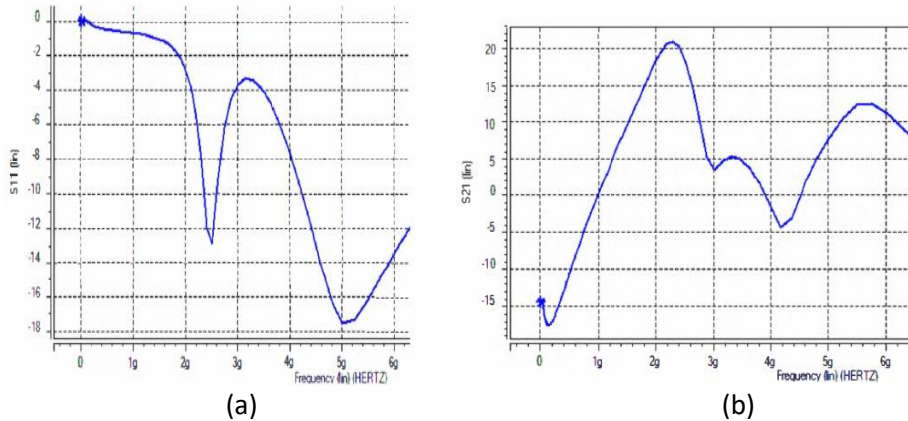
Şekil 1.11: Devrenin yerleşim planı

Kargaran ve diğ. tarafından akımın yeniden kullanılma metodu ile sürekli DGY tasarımı yapılmıştır. Önerilen devre yapısı Şekil 1.12'de gösterilmiştir (Kargaran ve diğ. 2010).



Şekil 1.12: Kargaran ve diğ. tarafından önerilen çift bandlı DGY yapısı

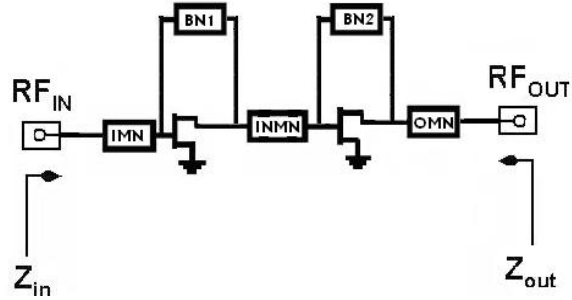
Akımı yeniden kullanma konfigürasyonu iki kademeli kaskat yükseltici olarak düşünülebilir. Bu yükselticinin ilk kademesi ortak kaynak konfigürasyonuna (M_1), ve ikinci kademe ise kaskat yükselticidir (M_2 ve M_3). Burda M_3 kaskat konfigürasyonunun ortak kapı kademesidir. Miller etkisinin ortadan kaldırır ve giriş ile çıkış arasında daha iyi bir yalıtım sağlar. M_1 tarafından yükseltelen sinyal, C_g kondansatörü ile M_2 'nin gateine kadar kuplajlanır, bu arada M_2 source ucu C_b tarafından bypass edilmiştir. Devre kutuplama akımının yeniden kullanılması ile güç tasarrufu yapar. Buna ek olarak, akımı tekrardan kullanan yükseltici, iki kademeli kaskat yükseltici gibi davranır. İkinci kademenin gürültü faktörüne M_2 ve M_3 transistöleri katkı sağlar ve L_d indüktörü ve R_g direnci ilk kademenin tarafından azaltılabilir. L_1 , L_2 , C_1 ve C_2 tarafından üretilen gürültü, birinci ve ikinci kademenin kazançları tarafından iki kat azaltılmış olur. Bu tasarım tekniği, sadece yüksek kazanç değil aynı zamanda da düşük gürültü elde edilmiş olur. Bu devreye ait ölçüm sonuçları Şekil 1.13'de verilmiştir (Kargaran ve diğ. 2009).



Şekil 1.13: Önerilen devrenin simülasyon sonuçları (a) S_{11} (b) S_{21}

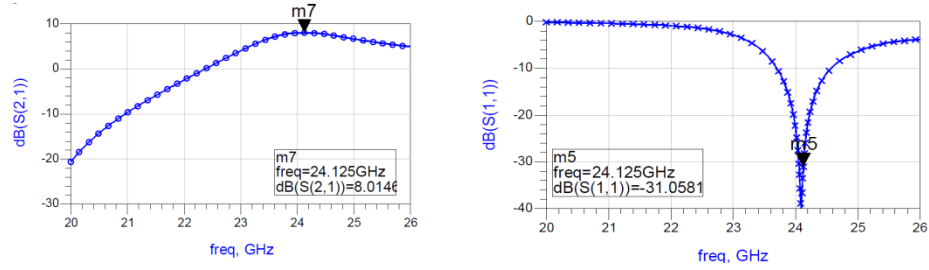
Challal ve diğ. tarafından mikroşerit hat teknolojisi kullanılarak K Bandı için iki kademeli DGY tasarımı yapılmıştır. Yapılan bu tasarımda DGY, RF sinyalin

antenden alındığı ilk kademedir. Burada sinyalin en az gürültü faktörü ile olabildiğince şiddetini artırma amacı güdülmektedir. Bu devre Şekil 1.14 ile verilmiştir (Challal ve diğ. 2011).

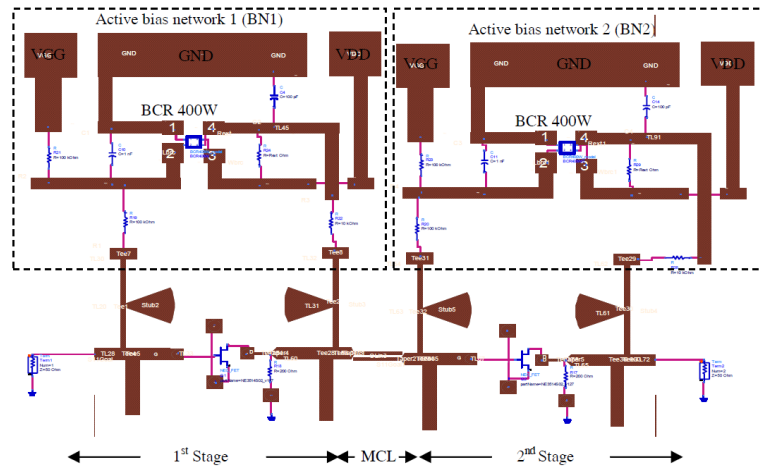


Şekil 1.14: İki kademeli yükseltici tasarımı

DGY tasarımında iki kademeli kaskat tasarım tekniği kullanılmıştır. Yükselticinin ilk kademesi gürültüyü egale ederken, ikinci kademesi ise istenen kazancı arzu edilen gürültü faktörü ile birlikte elde edilmesini sağlar. İki kademeli DGY tasarımı giriş(IMN) , ara kademe(IMNM) ve çıkış(OMN) uygulama devreleri üzerine kurulmuştur. BN1 ve BN2 sırasıyla birinci ve ikinci kutuplama devrelerini temsil etmektedir. Bu devreye ait simülasyon sonuçları ve devrenin yerleşim planı sırasıyla Şekil 1.15 ve 1.16'da verilmiştir.

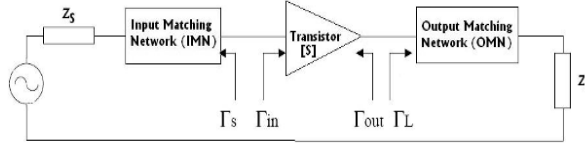


Şekil 1.15: Challal ve diğ. tarafından önerilen devrenin S_{21} ve S_{11} parametrelerinin simülasyon sonuçları

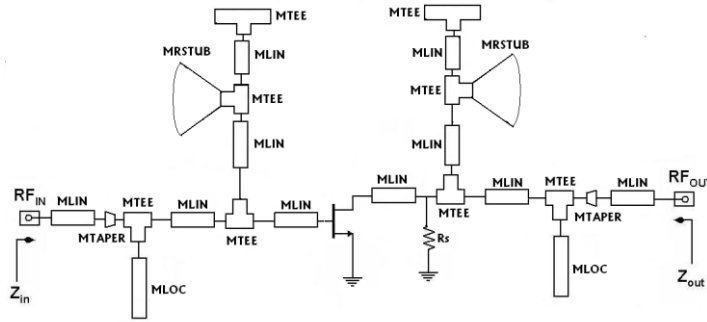


Şekil 1.16: Challal ve diğ. tarafından önerilen devrenin yerleşim planı

Challal ve diğ. tarafından yapılan başka bir çalışmada ise dar band ve geniş band uygulamaları için mikroşerit yapılar kullanılarak DGY tasarımı yapılmıştır. İki kapılı mikrodalga yükseltici blok diyagramı ve önerilen devrenin yapısı sırasıyla Şekil 1.17 ve Şekil 1.18'de verilmiştir (Challal ve diğ. 2008).



Şekil 1.17: İki kapılı mikrodalga yükseltici blok diyagramı



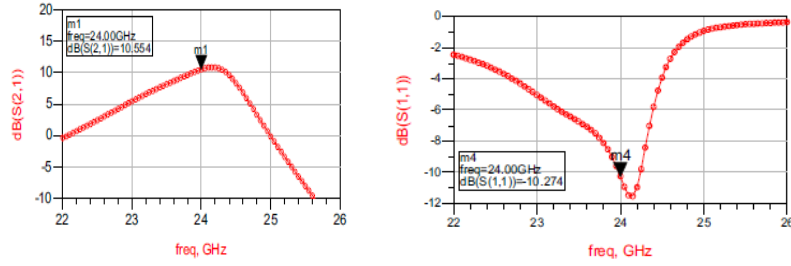
Şekil 1.18: Challal ve diğ. tarafından önerilen devre yapısı

Bu tasarımda PHEMT NE3514S02 transistörü 24GHz'de arzu edilen sonuçlar için 2.5 V gerilim ve 13.80mA drain akımı ile kutuplanmıştır. Bu tasarımda yükselticinin istenen frekanslarda istikrarlı çalışması için aşağıdaki pasif geri besleme devrelerinden yararlanılmıştır:

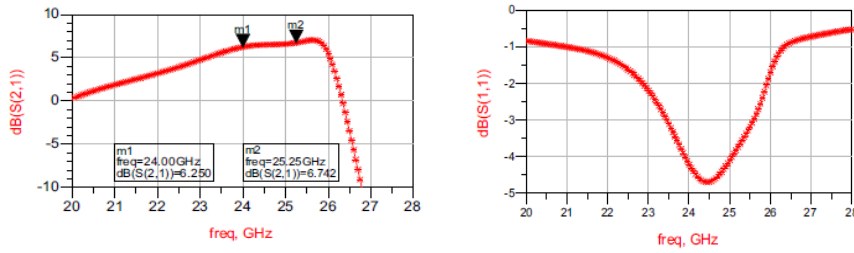
- 1) Giriş transistor yoluna seri ya da paralel yerleştirilen direnç (giriş rezistif yüklemesi)
- 2) Çıkış transistor yoluna seri ya da paralel yerleştirilen direnç (çıkış rezistif yüklemesi)
- 3) Drain-Gate arasına yerleştirilen direnç-kondansatör (RC) geribesleme devresi
- 4) Basit source geri besleme indüktörü

Kazanç, çıkış uygunlama devresi kullanılarak artırılabilir. Şekil 1.18 ile verilen optimize edilmiş DGY'de kullanılan MLIN, MTAPER, MTEE, ÖLOC, MRSTUB terimleri sırası ile mikroşerit hat, konik mikroşerit hat, T jonksiyonu, açık devre sonlandırılmış yan hat ve açısız yan hat bileşenini ifade etmektedir. Bu tasarımda ilk olarak mikroşerit DGY gerekli çalışma şartları için 24 GHz'de dar band çalışması için optimize edilmiştir, ikinci DGY ise aktif PHEMT kullanarak geniş band için optimize edilmiştir. Giriş uygunlama devresi ve çıkış uygunlama devresi DGY yükseltici performansını etkileyen kritik parçalardır. Bu yüzden giriş uygunlama devresi ve çıkış uygunlama devresinin elemanları geniş band DGY için

modifiye edilmiştir. Dar band ve geniş band uygulaması için elde edilen simülasyon sonuçları sırasıyla Şekil 1.19 ve Şekil 1.20’de verilmiştir (Challal ve diğ. 2008).

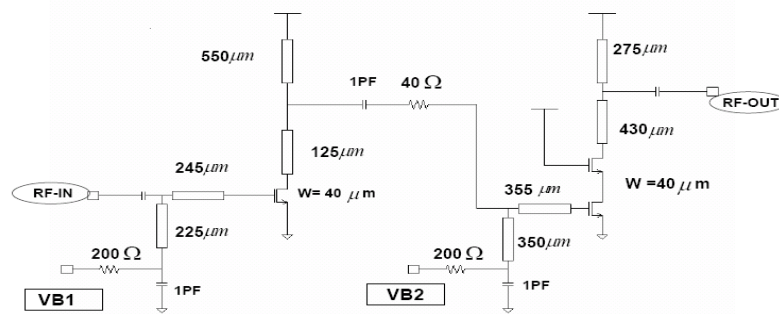


Şekil 1.19: Dar band için simülasyon sonuçları



Şekil 1.20: Geniş band için simülasyon sonuçları

Adabi ve diğ. tarafından CMOS transistörler kullanılarak gerçekleştirilen 30GHz'de çalışan DGY tasarımı yapılmıştır. Günümüzde kullanılan CMOS transistörlerdeki gelişmeler ile çalışma frekans bandı sahası 100 GHz'lere kadar mümkün olmaktadır. Bunun dışında DGY tasarımında CMOS transistörler kullanmanın bazı önemli dezavantajları da vardır. Transistörlerin arzu edilen band aralığında daha az elde edilebilir kazançla sahip olması modelleme ve uygulama hatalarına neden olmaktadır. Dahası iletken alt tabakaların devreye eklediği parazitik kayıplar, aktif ve pasif cihaz modellemesinide zorlaştırmaktadır. Metal tabakalar, alt tabakalara göre incedir ve iletken alt tabakaya yakın bir yerde bulunmaktadır. Bu yüzden alt tabaka yakınlığı kapasitifkujplajı artırır ve pasif cihazların kendi kendine olan rezonans frekansını düşürür. Önerilen devre yapısı Şekil 1.21’de verilmiştir (Adabi ve diğ. 2007).

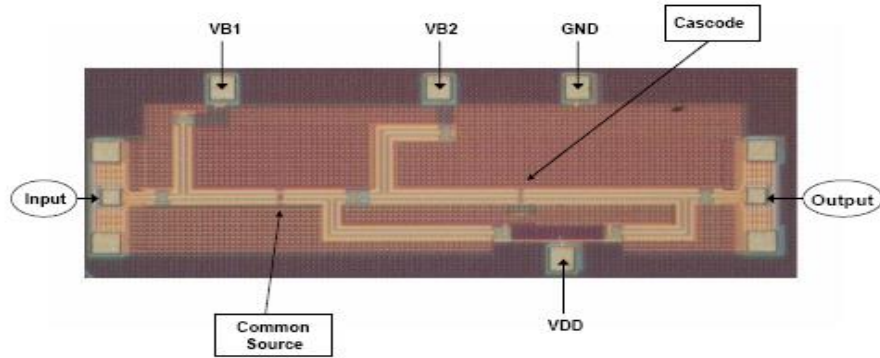


Şekil 1.21: Düşük gürültülü yükselticinin devre yapısı

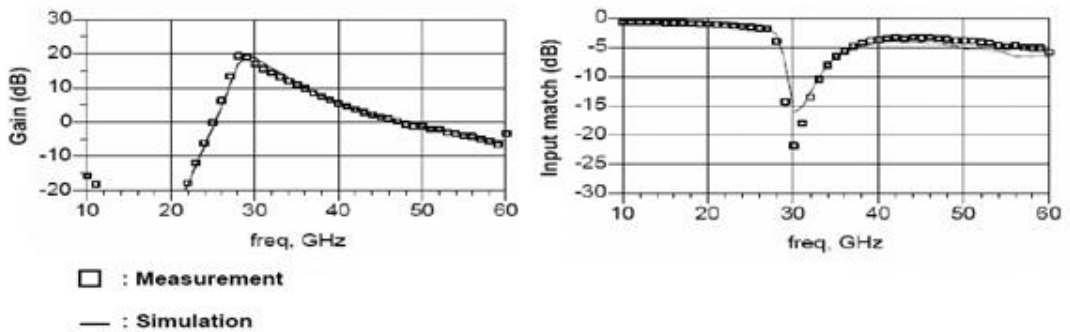
Kaskot cihazlar belirgin olarak daha zayıf gürültü performansına sahiptir bu yüzden yükselticinin ilk kademesi için uygun değildir. Bu sorunun üstesinden gelmek için kullanılan bir yaklaşım, jonksiyonkapasitansın rezonansa getirmektir (Sandunleanu ve diğ. 2006), (Afshar ve Niknejad 2006). Kullanılabilecek başka bir alternatif bir yaklaşımda ise ilk kademe için tek kademeli bir yükseltici kullanmak ve kaskot cihazın devreye eklediği gürültüyü tamamen ortadan kaldırmaktır.

Aktif cihazlar, kapasitörlerin açık düşük frekanslarda ve alt tabaka ile parazitik kayıpların baskın olduğu yüksek frekanslarda koşulsuz kararlıdır. Mm dalga frekanslarında ortak source bağlantılı transistörün sahip olduğu zayıf geri yalıtımdan dolayı, ilk kademede kararlılık sorunları meydana gelmiştir. Bunu çözmek için iki kademe arasına 40Ω 'luk uyumlama direnci konulmuştur.

Yeterli kazanç ve yalıtım seviyesini elde etmek için yükselticinin ikinci kademesinde kaskot bağlantılı transistör kullanılmıştır. Devrenin giriş, çıkış ve arakademe uyumlama devrelerinin gerçekleştirilmesi için Şekil 1.22'de gösterilen CPW yapıları kullanılmıştır. Önerilen devre yapısına ait simülasyon ve ölçüm sonuçları ise Şekil 1.23'de verilmiştir (Adabi ve diğ. 2007).



Şekil 1.22: Giriş, çıkış ve arakademe uyumlama devreleri için kullanılan CPW yapıları



Şekil 1.23: Adabi ve diğ. tarafından önerilen yapıya ait simülasyon ve ölçüm sonuçları

2. MİKRODALGA YÜKSELTİCİ TASARIMI

2.1 Mikrodalga Devre Analizi

Bu bölümde düşük-frekans devre analizinde kullanılan yöntemlerin, RF ve mikrodalga devrelerini karakterize etmek için kullanacağız. Dağıtılmış devre yapısı, fiziksel uzunlukların elektriksel dalga boyları cinsinden ifade edilebildiği yüksek frekanslarda önemli hale gelir. Ayrıca gerilim ve akımları gelen, yansıyan ve iletilen dalgalar cinsinden görebilmek oldukça yararlı bir özelliktir.

Empedans ve admitans matrislerini keyfi N-portlu mikrodalga devresinin girişlerinden toplam gerilim ve akımları tanımlamak için kullanabiliriz. N- portlu devrenin gelen ve yansıyan dalgalar cinsinden karakterize edilmesinde kullanılan başka bir yöntem ise saçılma matrisidir. Son olarak mikrodalga devrelerin karakterize edilmesinde kullanılan başka bir yöntem olan ABCD(iletim) matrisidir. Bu üç yöntem sırasıyla incelenicektir (Pozar 2012).

2.1.1 Empedans ve Admitans Matrisleri

Şekil 2.1'deki gibi keyfi N- portlu mikrodalga devresinin her bir portunda bulunan V_n^+ ve V_n^- sırasıyla gelen ve yansıyan gerilimleri, I_n^+ ve I_n^- sırasıyla gelen ve yansıyan akımları ifade etmektedir. Ayrıca her portta, akım ve gerilimlere faz referans noktası sağlamak için terminal düzlemi tanımlanmıştır. N. porttaki toplam akımlar ve gerilimler aşağıdaki gibi tanımlanır:

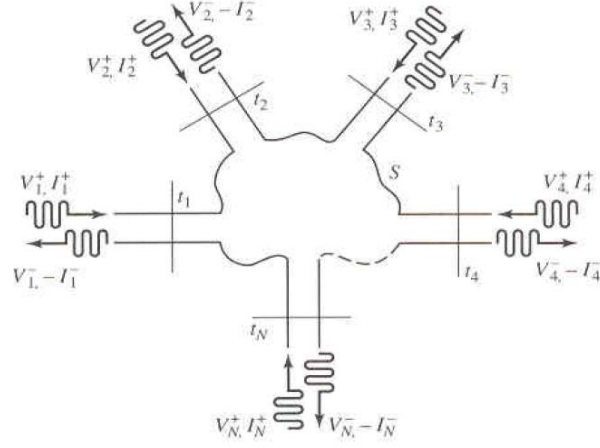
$$V_n = V_n^+ e^{-j\beta z} + V_n^- e^{-j\beta z} \quad (2.1 a)$$

$$I_n = I_n^+ e^{-j\beta z} + I_n^- e^{-j\beta z} \quad (2.1b)$$

Terminal düzleminin $z = 0$ 'a karşılık gelmesi durumunda ise yukarıdaki formüller şu şekilde yazılabilir:

$$V_n = V_n^+ + V_n^- \quad (2.2a)$$

$$I_n = I_n^+ + I_n^- \quad (2.2b)$$



Şekil 2.1: Keyfi n portlu mikrodalga devresi

Mikrodalga devrenin empedans matrisi bu gerilimler ve akımlar arasında bağlantı kurar:

$$\begin{bmatrix} V_1 \\ V_2 \\ \vdots \\ V_N \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} & \dots & Z_{1N} \\ Z_{21} & \dots & \dots & \vdots \\ \vdots & \dots & \dots & \vdots \\ Z_{N1} & \dots & \dots & Z_{NN} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \\ \vdots \\ I_N \end{bmatrix}$$

$$[V] = [Z][I] \quad (2.3)$$

Benzer şekilde admitans matrisini [Y] tanımlayabiliriz:

$$\begin{bmatrix} I_1 \\ I_2 \\ \vdots \\ I_N \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} & \dots & Y_{1N} \\ Y_{21} & \dots & \dots & \vdots \\ \vdots & \dots & \dots & \vdots \\ Y_{N1} & \dots & \dots & Y_{NN} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ \vdots \\ V_N \end{bmatrix}$$

$$[I] = [Y][V] \quad (2.4)$$

Empedans ve admitans matrisleri birbirlerinin tersi olarak tanımlanır.

$$[Y] = [Z]^{-1} \quad (2.5)$$

[Z] ve [Y] matrisleri toplam port gerilimi ve akımıyla ilişkilidir. Denklem 2.3 yardımıyla verilen matris elemanı Z_{ij} port gerilimi ve akımı cinsinden aşağıdaki gibi ifade edilir.

$$Z_{ij} = \frac{V_i}{I_j} \quad (2.6)$$

(2.6) eşitliği empedans matrisinin i, j 'inci elemanının port i 'deki açık devre geriliminin j portunun akımına (j portu dışındaki tüm diğer portları açık devre edildiğinde, yani $k \neq 0$ için $I_k = 0$) oranı ile elde edileceğini göstermektedir. Bu yüzden Z_{ii} diğer tüm portlar açık devre yapıldığında port i 'den görülen giriş empedansıdır ve Z_{ij} ise diğer tüm portlar açık devre yapıldığında i ile j portları arasındaki transfer empedansıdır. Bu yüzden $[Z]$ genellikle devrenin açık devre empedans matrisi olarak da isimlendirilir.

Benzer olarak (2.4) eşitliğinden yararlanarak admitans matrisinin ij 'inci elemanı aşağıdaki gibi bulunabilir.

$$Y_{ij} = \frac{I_i}{V_j} \quad (2.7)$$

Y_{ij} ise port i 'deki açık devre akımının, j portunun gerilimine (j portu dışındaki diğer portlar kısa devre edildiğinde, yani $k \neq 0$ için $V_k = 0$) oranlanması ile elde edilir. Bu yüzden $[Y]$ matrisi kısa devre admitans matrisi olarak bilinir.

Genelde $[Z]$ ya da $[Y]$ matrisinin her elemanı karmaşık bir değere sahip olabilir. N - portlu bir devrenin, empedans ve admitans matrisleri $N \times N$ boyutundadır, bu yüzden keyfi N - portlu devrede $2N^2$ bağımsız değişken vardır. Pratikte birçok devre iki taraflı, kayıpsız ya da hem iki taraflı hem de kayıpsız özelliktedir. Eğer devre iki taraflı ise (ferrit, plazma, aktif cihaz gibi iki taraflı olmayan ortam ya da eleman içermiyorsa) empedans ve admitans matrisleri simetrik olur ($Z_{ij} = Z_{ji}$ ve $Y_{ij} = Y_{ji}$). Eğer devre kayıpsız ise güç tüketimi olmayacaktır, bu yüzden Z_{ij} ve Y_{ij} elemanları saf imajiner değerlere sahip olurlar. Bahsedilen her iki özel durumda N - portlu devrenin sahip olabileceği bağımsız değişken sayısını azaltmayı sağlar.

Kayıpsız devreler için empedans ve admitans matris elemanlarının saf imajiner özellikleri kolaylıkla elde edilebilir. Devre kayıpsız ise, devreye iletilen net reel güç sıfır olmalıdır. Yani $\text{Re}\{P_{avg}\} = 0$.

$$\begin{aligned} P_{avg} &= \frac{1}{2} [V]^t [I]^* = \frac{1}{2} ([Z][I])^t I^* = \frac{1}{2} [I]^t [Z][I]^* \\ &= \frac{1}{2} (I_1 Z_{11} I_1^* + I_1 Z_{12} I_2^* + I_2 Z_{21} I_1^* + \dots) \\ &= \frac{1}{2} \sum_{n=1}^N \sum_{m=1}^N I_m Z_{mn} I_n^* \end{aligned} \quad (2.8)$$

(2.8) eşitliğindeki I_n port akımları bağımsız oldukları için, I_m dışındaki diğer akımları sıfır olarak alınabilir. (2.8)'in reel kısmı sıfıra eşitlendiğinde;

$$Re\{I_m Z_{mn} I_n^*\} = |I_m|^2 Re\{Z_{mn}\} = 0 \quad (2.9)$$

I_m ve I_n dışındaki tüm port akımlarını sıfır olarak kabul ettiğimizde (2.8)

$$Re\{(I_n I_m^* + I_m I_n^*) Z_{mn}\} = 0 \quad (2.10)$$

İki taraflı devre için $Z_{mn} = Z_{nm}$ olur. Fakat saf imajiner değerdeki $(I_n I_m^* + I_m I_n^*)$ terimi genelde sıfıra eşit olmaz. Bu yüzden ortalama güç ifadesinin reel kısmı seçilen herhangi bir m ve n değer için sıfıra eşit olmak zorundadır.

2.1.2 Saçılma Matrisi

N portlu devreler için empedans ve admitans matrisi gibi, saçılma matrisi de devrenin karakterize edilebilmesini sağlar. Empedans ve admitans matrisleri portlardaki toplam gerilimler ve akımlar ile alakalı iken, saçılma matrisi portlara gelen ve portlardan yansıyan gerilim dalgaları ile ilgilidir. Saçılma matrisi toplam gerilimleri ve akımları ölçmenin zor olduğu yüksek frekanslarda kullanışlıdır. Bazı bileşen ve devreler için saçılma matrisinin elemanları devre analiz teknikleri ile hesaplanabilir. Bunun dışında, saçılma parametreleri devre analizörü kullanılarak doğrudan da ölçülebilir. Devrenin saçılma parametreleri bilindiğinde, diğer matris türlerine dönüştürülebilir.

Şekil 2.1'deki gibi N -portlu bir devreyi ele aldığımızda, V_n^+ n portuna gelen gerilim dalgasının genliğini, V_n^- ise n portundan yansıyan gerilim dalgasının genliğini ifade etmektedir. Saçılma ya da $[S]$ matrisi bu gelen ve yansıyan gerilim dalgaları arasındaki ilişki olarak tanımlanır.

$$\begin{bmatrix} V_1^- \\ V_2^- \\ \vdots \\ V_N^- \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & \dots & S_{1N} \\ S_{21} & \dots & \dots & \vdots \\ \vdots & \dots & \dots & \vdots \\ S_{N1} & \dots & \dots & S_{NN} \end{bmatrix} \begin{bmatrix} V_1^+ \\ V_2^+ \\ \vdots \\ V_N^+ \end{bmatrix}$$

ya da

$$[V^-] = [S][V^+] \quad (2.11)$$

$[S]$ matrisinin herhangi bir elemanı aşağıdaki gibi bulunabilir

$$S_{ij} = \frac{V_i^-}{V_j^+} \quad (2.12)$$

(2.12) eşitliği sözel ifadeyle, S_{ij} elemanının j portuna gelen gerilim dalgasının genliği ile i portundan yansıyan gerilim dalgasının genliğine oranlanmasıyla elde edilebileceğini anlatmaktadır. J portu hariç diğer tüm portlardaki gelen dalgalar sıfır yapılıır, buda bağlantı noktalarındaki yansımaların önüne geçmek için tüm portların uygunlanmış yüklerle sonlandırılmasını gerektirir. Bu yüzden S_{ii} diğer tüm portlar uygunlanmış yüklerle sonlandırıldıklarında, i portundan görülen yansıma katsayısıdır. S_{ij} ise diğer tüm portlar uygunlanmış yüklerle sonlandırıldığında port j 'den port i 'ye olan iletim katsayısıdır.

[S] matrisini [Z] ve [Y] matrislerinden elde ederken işlemleri basitleştirme amacıyla, tüm portların karakteristik empedanslarının birbirine eşit olduğu ve $Z_o=1$ kabul edersek n. porttaki toplam akım ve gerilim:

$$V_n = V_n^+ + V_n^- \quad (2.13a)$$

$$I_n = I_n^+ + I_n^- = V_n^+ - V_n^- \quad (2.13b)$$

(2.3) ve (2.13) eşitliklerindeki [Z] matrisinin tanımlarından:

$$[Z][I] = [Z][V^+] - [Z][V^-] = [V] = [V^+] + [V^-] \quad (2.14a)$$

(2.14a) ifadesi düzenlendiğinde

$$([Z] + [U])[V^-] = ([Z] - [U])[V^+] \quad (2.14b)$$

(2.14b)'de kullanılan [U] birim matrisi olarak adlandırılır ve 2.15 eşitliği ile tanımlanır.

$$[U] = \begin{bmatrix} 1 & 0 & \dots & \dots & \dots & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & \ddots & 0 & 0 & 0 \\ \vdots & 0 & 0 & \ddots & 0 & \vdots \\ \vdots & \vdots & 0 & 0 & \ddots & \vdots \\ 0 & 0 & \dots & \dots & \dots & 1 \end{bmatrix} \quad (2.15)$$

(2.11) ve (2.14) eşitlikleri birleştirildiğinde saçılma matrisi empedans matrisi cinsinden elde edilmiş olur.

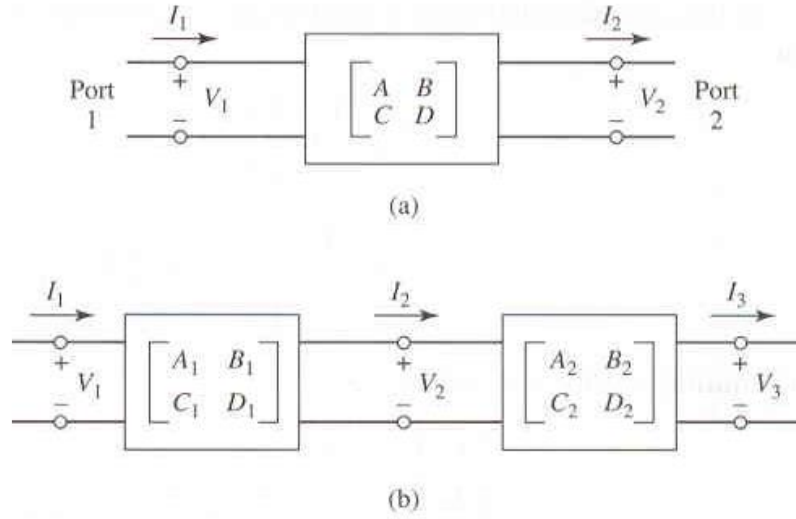
$$[S] = ([Z] + [U])^{-1}([Z] - [U]) \quad (2.16)$$

[Z] matrisini [S] matrisinden elde etmek için (2.17) kullanılır.

$$[Z] = ([U] - [S])^{-1}([U] + [S]) \quad (2.17)$$

2.1.3 ABCD(İletim) Matrisi

Z, Y, ve S parametreleri keyfi port sayısına sahip mikrodalga devrelerini karakterize etmek için kullanılır, fakat pratikte birçok mikrodalga devresi iki ya da daha fazla sayıda seri bağlanmış iki kapılı devre barındırır. Bu durumda her iki kapılı devre için 2x2 boyutunda ABCD(iletim) matrisi tanımlanabilir.



Şekil 2.2: (a) İki kapılı devre (b) İki kapılı devrelerin seri bağlantısı

ABCD matrisi Şekil2.2.a 'da gösterilen iki kapılı devre için toplam gerilimler ve akımlar cinsinden aşağıdaki gibi tanımlanır:

$$\begin{aligned} V_1 &= AV_2 + BI_2 \\ I_1 &= CV_2 + DI_2 \end{aligned}$$

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \quad (2.18)$$

Daha önce yapılan akım yönü tanımlamasından farklı olarak Şekil 2.2.a'daki I_2 porttan çıkan akım olarak tanımlanmıştır. Şekil 2.2.b'deki gibi iki kapılı devreler seri bağlandığında port 2 'den çıkan I_2 akımı bir sonraki devreye giren akım olur. (2.18) eşitliğinin sol tarafı port 1 'deki akım ve gerilimi, sağ tarafı ise port 2' deki akım ve gerilimi temsil eder. Şekil 2.2.b'deki gibi iki kapılı devrelerin seri bağlanması durumunda:

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A_1 & B_1 \\ C_1 & D_1 \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \quad (2.19a)$$

$$\begin{bmatrix} V_2 \\ I_2 \end{bmatrix} = \begin{bmatrix} A_2 & B_2 \\ C_2 & D_2 \end{bmatrix} \begin{bmatrix} V_3 \\ I_3 \end{bmatrix} \quad (2.19b)$$

(2.19a) ve (2.19b) eşitlikleri birleştirildiğinde seri olarak bağlanmış iki kapılı iki devrenin ABCD matrisi (2.20) ile ifade edilir.

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A_1 & B_1 \\ C_1 & D_1 \end{bmatrix} \begin{bmatrix} A_2 & B_2 \\ C_2 & D_2 \end{bmatrix} \begin{bmatrix} V_3 \\ I_3 \end{bmatrix} \quad (2.20)$$

Verilen bir devrenin ABCD parametreleri Z, Y, ya da S parametrelerinden elde edilebilir. Empedans matrisi ile ABCD matrisi arasındaki uyumu sağlamak için I_2 akımının işareti değiştirilmelidir. Bu düzenleme yapıldığında:

$$\begin{aligned} V_1 &= I_1 Z_{11} - I_2 Z_{12} \\ V_2 &= I_1 Z_{21} - I_2 Z_{22} \end{aligned} \quad (2.21)$$

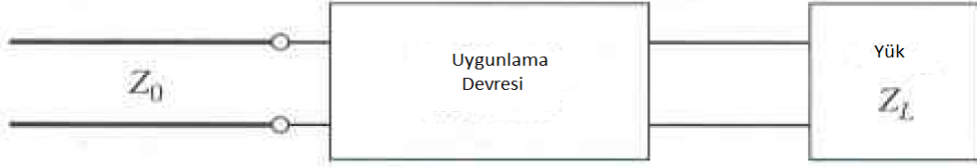
(2.18) ve (2.21) eşitlikleri birleştirildiğinde A, B, C, ve D katsayıları:

$$\begin{aligned} A &= \left. \frac{V_1}{V_2} \right|_{I_2=0} = \frac{I_1 Z_{11}}{I_1 Z_{21}} = \frac{Z_{11}}{Z_{21}} \\ B &= \left. \frac{V_1}{I_2} \right|_{V_2=0} = \left. \frac{I_1 Z_{11} - I_2 Z_{12}}{I_2} \right|_{V_2=0} = Z_{11} \left. \frac{I_1}{I_2} \right|_{V_2=0} - Z_{12} \\ &= Z_{11} \frac{Z_{22}}{Z_{21}} - Z_{12} = \frac{Z_{11} Z_{22} - Z_{12} Z_{21}}{Z_{21}} \\ C &= \left. \frac{I_1}{V_2} \right|_{I_2=0} = \frac{I_1}{I_1 Z_{21}} = \frac{1}{Z_{21}} \\ D &= \left. \frac{I_1}{I_2} \right|_{V_2=0} = \frac{I_2 Z_{22} / Z_{21}}{I_2} \end{aligned} \quad (2.22)$$

Eğer devre iki taraflı ise $Z_{21}=Z_{12}$ olur ve (2.22) eşitliği kullanılarak $AD - BC = 1$ olduğu görülür.

2.1.4 Empedans Uygunlama

Empedans uygunlamasının temel prensibi Şekil 2.3'de gösterildiği gibi yük empedansı ile iletim hattı arasına empedans uygunlama devresi koymaktır. Uygunlama devresi idealde kayıpsızdır ve genellikle empedans uygunlama devresine bakıldığında, besleme hattının karakteristik empedansı olan Z_o görülmesi amaçlanır.

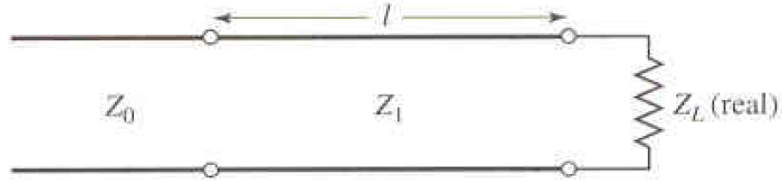


Şekil 2.3: Keyfi yük empedansı ile iletim hattı arasındaki kayıpsız uygunlama devresi

Yük empedansı Z_L pozitif reel kısma sahip olduğu sürece her zaman bir uygunlama devresi bulunabilir. Pratik uygulamalarda yoğun olarak kullanılan empedans uygunlama teknikleri ise çeyrek dalga boyu dönüştürücü, toplu eleman uygunlaması ve yan hat kullanılarak yapılan empedans uygunlamasıdır.

2.1.4.1 Çeyrek Dalga Boyu Dönüştürücüsü:

Çeyrek dalga boyu transformatör iletim hattına bağlanan reel yük empedansının uygunlanması için kullanılan basit ve kullanışlı bir uygunlama yöntemidir. Eğer dar bant empedans uygunlaması gerekliyse, tek kademeli dönüştürücü yeterli olur. Çeyrek dalga boyu dönüştürücüsü sadece reel kısmı olan yüklere uygulanabilmesine rağmen, karmaşık yük empedansın olduğu durumlarda dönüştürücü ile empedans ile yük arasında kullanılacak uygun uzunluktaki iletim hattı parçası ile karmaşık yük reel empedansa dönüştürülebilir.



Şekil 2.4: Çeyrek dalga boyu dönüştürücüsü. $l = \lambda/4, f_o$ tasarım frekansı için

Şekil 2.4'de gösterilen devrenin uygunlama bölümünün karakteristik empedansı Z_1 (2.23) eşitliğinin yardımıyla hesaplanır.

$$Z_1 = \sqrt{Z_0 Z_L} \quad (2.23)$$

(2.23)'deki Z_L reel yük empedansıdır. Dizayn frekansında, f_o , uygunlama kısmının elektriksel uzunluğu $\lambda_o/4$ 'tür, fakat diğer frekanslarda elektriksel uzunluk farklı olur ve bu nedenden dolayı kusursuz uygunlama işlemi gerçekleşemez. Uygunlama kısmından içeri doğru bakıldığında görülen giriş empedansı

$$Z_{in} = Z_1 \frac{Z_L + jZ_1 t}{Z_1 + jZ_L t} \quad (2.24)$$

Tasarım merkez frekansı f_o 'da $t = \tan \beta l$ ve $\beta l = \theta = \pi/2$ 'dir. Dönüştürücünün girişinden görülen yansıma katsayısı

$$\Gamma_{in} = \frac{Z_{in} - Z_o}{Z_{in} + Z_o} = \frac{Z_1(Z_L - Z_o) + jt(Z_1^2 - Z_o Z_L)}{Z_1(Z_L + Z_o) + jt(Z_1^2 + Z_o Z_L)} \quad (2.25)$$

$Z_1^2 = Z_o Z_L$ olarak seçilirse (2.25) aşağıdaki gibi sadeleşir:

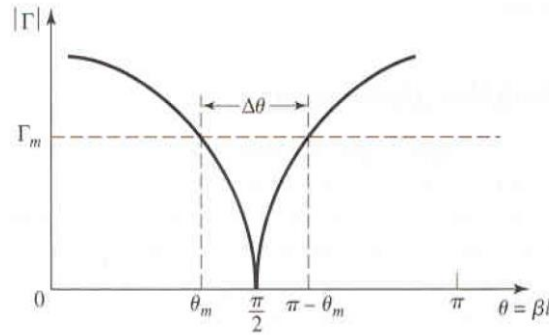
$$\Gamma = \frac{Z_L - Z_o}{Z_L + Z_o + j2t\sqrt{Z_o Z_L}} \quad (2.26)$$

Yansıma katsayısının genliği:

$$\begin{aligned} |\Gamma| &= \frac{|Z_L - Z_o|}{\sqrt{(Z_L + Z_o)^2 + 4t^2 Z_o Z_L}} \\ &= \frac{1}{\sqrt{[(Z_L + Z_o)^2 + 4t^2 Z_o Z_L]/(Z_L - Z_o)^2}} \\ &= \frac{1}{\sqrt{1 + \frac{4Z_o Z_L}{(Z_L - Z_o)^2} + 4t^2 Z_o Z_L/(Z_L - Z_o)^2}} \\ &= \frac{1}{\sqrt{1 + [4Z_o Z_L/(Z_L - Z_o)^2] \sec^2 \theta}} \end{aligned} \quad (2.27)$$

Frekansın tasarım frekansı f_o 'a yakın olduğu varsayımı altında $l \cong \lambda_o/4$ ve $\theta \cong \pi/2$ olur. Bu durumda (2.27) eşitliği sadeleşerek (2.28) eşitliği elde edilir.

$$|\Gamma| \cong \frac{|Z_L - Z_o|}{2\sqrt{Z_L Z_o}} |\cos \theta| \quad (2.28)$$



Şekil 2.5: Yansıma katsayısı genliğinin yaklaşık davranışı

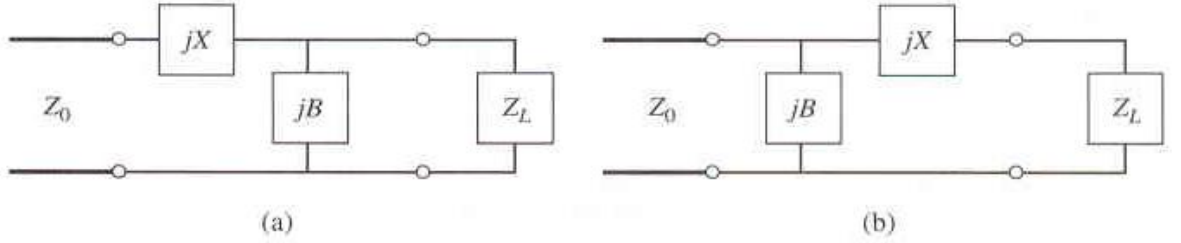
Yansıma katsayısının tolere edilebilecek maksimum genlik değerini belirlersek, uygulama dönüştürücüsünün bant genişliğini aşağıdaki gibi tanımlayabiliriz:

$$\Delta\theta = 2\left(\frac{\pi}{2} - \theta_m\right) \quad (2.29)$$

2.1.4.2 L Şeklinde Yapı Kullanarak Uygunlama:

Diğer bir empedans uygunlama devresi ise L şeklinde olan iki tane reaktif elemanın kullanılarak uygunlama işleminin yapıldığı devrelerdir. Bu teknik genellikle düşük frekanslı devre tasarımında kullanılır ve yük empedansının reel olmasını gerektirmediği için çeyrek dalga boyu dönüştürücüye göre avantaja sahiptir.

L şeklinde yapı kullanılarak yapılan uygunlama devrelerinde Şekil 2.6'da gösterildiği gibi iki muhtemel yapılandırma vardır. Eğer normalize edilmiş yük empedansı $z_L = Z_L/Z_0$, Smith abağında $1 + jx$ çemberi içinde kalıyorsa Şekil 2.6a'daki yapı kullanılması daha uygundur. Eğer normalize yük empedansı $1 + jx$ çemberi dışında kalıyorsa Şekil 2.6b'deki yapı kullanılmalıdır. Smith abağında $1 + jx$ eğrisi $r = 1$ değeri için direnç çemberidir.

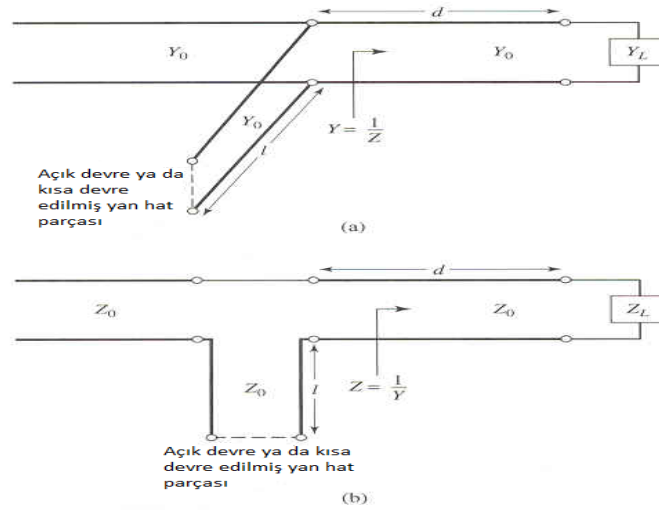


Şekil 2.6: L şeklindeki uygunlama devreleri

Şekil 2.6'daki her iki yapıda kullanılan reaktif elemanlar yük empedansına bağlı olarak indüktif ya da kapasitif olabilir. Eğer çalışma frekansı düşük ve/veya devre boyutu elektriksel olarak küçük ise toplu eleman indüktansları ya da kapasitansları kullanılabilir. Fakat yüksek frekanslarda bu toplu eleman yöntemlerini uygulamak zordur, bu yüzden uygunlama yaparken yan hatları kullanımı tercih edilmelidir.

2.1.4.3 Yan Hat Kullanarak Uygunlama:

Şekil 2.7'de gösterildiği gibi yükten belli bir mesafede iletim hattına seri ya da paralel yan hatların bağlandığı ve toplu eleman yapılarına ihtiyaç duymayan uygunlama yöntemidir. Tek yan hat genellikle transistörlerle yapılan yükselticilerde ya da osilatör devrelerinde kullanılır.



Şekil 2.7: Tek yan hat ile yapılan uygunlama devreleri (a) Paralel yan hat (b) Seri yan hat

Tek yan hattın kullanıldığı uygunlama devrelerinde, d yük ile yan hattın bağlandığı nokta arasındaki mesafe ve yan hat tarafından sağlanan paralel süseptans (ya da seri reaktans) ayarlanabilir parametrelerdir. Bu iki bağımsız değişken keyfi yük empedansını herhangi bir besleme hattına uygunlamak için kullanılır (yük empedansının pozitif reel kısma sahip olduğu varsayılmıştır). Paralel yan hat durumu için, temel fikir paralel yan hattın bağlanacağı d mesafesinden yüke doğru bakıldığında görülen admitansın $Y_0 + jB$ formunda olduğu kabul edilir. Bu durumda yan hattın süseptansı uygunlama koşulu için $-jB$ olarak seçilmelidir. Seri yan hat kullanıldığında, seri hattın bağlanacağı d mesafesinden yüke bakıldığında görülen empedansın $Z_0 + jX$ formunda olduğu kabul edilir ve uygunlama için seri yan hat reaktansının $-jX$ olarak seçilmesi gerekir.

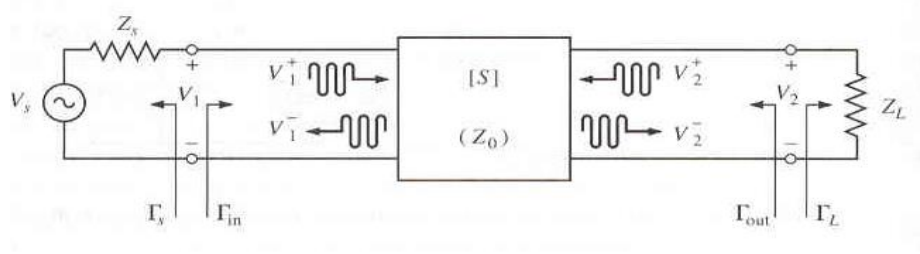
2.2 İki Kapılı Devrelerde Güç Kazancı

2.2.1 İki Kapılı Devrelerde Güç Kazancının Tanımı

Şekil 2.8 kaynak ve yük empedanslarına bağlı, $[S]$ saçılma matrisine sahip keyfi iki portlu bir devreyi göstermektedir. İki kapılı devrelerin ve yansıma sabitlerinin S parametresi cinsinden üç tip güç kazancı ifadesi tanımlamak mümkündür. Bunlar:

- *Güç Kazancı* ($G, P_L/P_{in}$): Z_L yükünde harcanan gücün, iki kapılı devrenin girişine iletilen güce oranı olarak tanımlanır. Bazı aktif devreler Z_s 'ye bağlı olmasına rağmen, bu kazanç Z_s 'den bağımsızdır.

- *Elde Edilebilir Güç* ($G_A, P_{avn}/P_{avs}$): İki kapılı devreden elde edilebilecek gücün, kaynaktan elde edilebilecek güce oranı olarak tanımlanır ve Z_s kaynak empedansına bağlıdır.
- *Dönüştürülen Güç Kazancı* ($G_T, P_L/P_{avs}$): Yüke iletilen gücün, kaynaktan elde edilebilecek olan güce oranıdır. Z_s ve Z_L empedanslarının her ikisine birden bağlıdır.



Şekil 2.8: Yük ve kaynak empedansına bağlı iki kapılı devre

Bu güç tanımlamaları yükün ve kaynağın iki kapılı devreye uygunlanma biçimlerine göre değişiklik gösterir; eğer giriş ve çıkışın her ikisi birden uygunlandığında, kazanç en yüksek değerine sahip olur. Yani $G = G_A = G_T$ olur.

Tepe değerleri tüm gerilimler için kabul edilirse, devreye iletilen ortalama güç aşağıdaki gibi elde edilir:

$$\begin{aligned}
 P_{in} &= \frac{1}{2Z_o} |V_1^+|^2 (1 - |\Gamma_{in}|^2) \\
 &= \frac{|V_s|^2}{8Z_o} \frac{|1 - \Gamma_s|^2}{|1 - \Gamma_s \Gamma_{in}|^2} (1 - |\Gamma_{in}|^2)
 \end{aligned} \tag{2.30}$$

Yüke iletilen güç

$$P_L = \frac{|V_2^-|^2}{2Z_o} (1 - |\Gamma_L|^2) \tag{2.31}$$

Güç kazancı

$$G = \frac{P_L}{P_{in}} = \frac{|S_{21}|^2 (1 - |\Gamma_L|^2)}{(1 - |\Gamma_{in}|^2) |1 - S_{22} \Gamma_L|^2} \tag{2.32}$$

Kaynaktan elde edilebilecek güç, P_{avs} , devreye iletilebilecek maksimum güçtür. Bu durum devrenin girişinin ve çıkışının uygun empedanslarla sonlandırılmasıyla elde edilebilir.

$$P_{avs} = \frac{|V_s|^2}{8Z_o} \frac{|1 - \Gamma_s|^2}{|1 - |\Gamma_s|^2|} \tag{2.33}$$

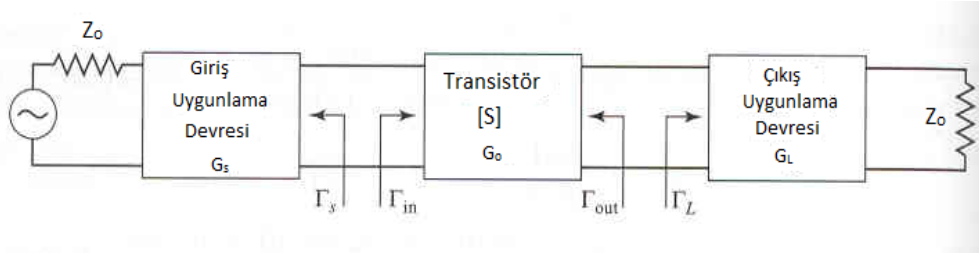
Benzer şekilde devreden elde edilebilecek maksimum güç, P_{avn} , yüke maksimum gücün iletilmesi olarak tanımlanır.

$$P_{avn} = \frac{|V_s|^2 |S_{21}|^2 (1 - |\Gamma_{out}|^2) |1 - \Gamma_s|^2}{8Z_o |1 - S_{22}\Gamma_{out}^*|^2 |1 - \Gamma_s\Gamma_{in}|^2} \Big|_{\Gamma_L = \Gamma_{out}^*} \quad (2.34)$$

Yukarıdaki denklemlerde P_{avs} ve P_{avn} kaynak gerilimi, V_s , cinsinden ifade edilmiştir, yani giriş ya da yük empedansından bağımsızdır. Elde edilebilen güç kazancı ve dönüştürülen güç kazancı ifadeleri sırasıyla (2.35) ve (2.36) ifadeleri ile verilmiştir.

$$G_A = \frac{P_{avn}}{P_{avs}} = \frac{|S_{21}|^2 (1 - |\Gamma_s|^2)}{|1 - S_{11}\Gamma_s|^2 (1 - |\Gamma_{out}|^2)} \quad (2.35)$$

$$G_T = \frac{P_L}{P_{avs}} = \frac{|S_{21}|^2 (1 - |\Gamma_s|^2) (1 - |\Gamma_L|^2)}{|1 - \Gamma_s\Gamma_{in}|^2 |1 - S_{22}\Gamma_L|^2} \quad (2.36)$$



Şekil 2.9: Transistörlü yükseltici devresinin genel yapısı

Transistörlü tek kademeli mikrodalga yükselticisi Şekil 2.9'daki devre kullanılarak modellenebilir. Dönüştürülen güç kazancı, kaynak ve yük uyumsuzluklarını hesaba kattığından dolayı yükseltici tasarımındaki en kullanışlı kazanç tanımıdır. Şekil 2.9'daki devre için giriş uygunlama devresi, transistörün kendisi ve çıkış uygunlama devresinin her biri için birbirlerinden bağımsız kazanç ifadelerini aşağıdaki gibi tanımlayabiliriz.

$$G_o = |S_{21}|^2 \quad (2.37a)$$

$$G_s = \frac{1 - |\Gamma_s|^2}{|1 - \Gamma_{in}\Gamma_s|^2} \quad (2.37b)$$

$$G_L = \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2} \quad (2.37c)$$

Toplam dönüştürülen güç kazancı $G_T = G_s G_o G_L$ olarak elde edilir. Transistörün, giriş ve çıkışında empedans uygunlama devreleri kullanılarak Z_s ve Z_L empedanslarına uygun hale gelmesinden dolayı G_s ve G_L etkin kazançları elde edilmiştir.

2.3 Kararlılık

Şekil 2.22'deki devrede giriş ya da çıkış port empedansı negatif reel kısma sahip ise ($|\Gamma_{in}| > 1$ ya da $|\Gamma_{out}| > 1$) devrenin osilasyona girme ihtimali vardır. Γ_{in} ve Γ_{out} , kaynak ve yük uygunlama devrelerine bağlı olduğu için, yükselticinin kararlılığı uygunlama devresi ile gösterilen Γ_S ve Γ_L değerlerine bağlıdır. Bu nedenle iki çeşit kararlılık tanımlanabilir:

- *Mutlak Kararlılık:* Devre $|\Gamma_{in}| < 1$ ve $|\Gamma_{out}| < 1$ koşullarını tüm pasif kaynak ve yük empedansları için sağladığı sürece mutlak kararlılık şartını sağlamış olur.
- *Bağıl Kararlılık:* Devre $|\Gamma_{in}| < 1$ ve $|\Gamma_{out}| < 1$ koşullarını tüm pasif kaynak ve yük empedansları için sağlayamıyorsa bu devreye bağlı kararlı devre denir.

Giriş ve çıkış uygunlama devreleri frekansa bağımlı olduklarından, devrenin kararlılık koşulunda frekansa bağlıdır. Bu yüzden yükselticinin tasarım frekansında kararlı, diğer frekanslarda kararsız olması mümkündür.

2.3.1 Kararlılık Daireleri:

Mutlak kararlılık için Γ_S ve Γ_L sabitleri (2.38a) ve (2.38b)'de verilen koşulları sağlamalıdır.

$$|\Gamma_{in}| = \left| S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \right| < 1 \quad (2.38a)$$

$$|\Gamma_{out}| = \left| S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S} \right| < 1 \quad (2.38b)$$

Eğer cihaz tek taraflı ise ($S_{12} = 0$), yukarıdaki koşullar mutlak kararlılık için yeterli olan $|S_{11}| < 1$ ve $|S_{22}| < 1$ haline gelir. Aksi takdirde, (2.38) eşitliği ile belirtilen eşitsizlikler yükselticinin kararlı olacağı Γ_S ve Γ_L değer aralığını belirlemek için kullanılır. Bu değer aralığı Smith abağı kullanılarak belirlenebilir ve (2.38) ifadesinin çözümleri giriş ve çıkış kararlılık dairelerine dönüşür. Kararlılık daireleri Γ_S ve Γ_L 'nin değerlerine göre abak üstünde kararlı ve potansiyel kararsız bölgeleri tanımlar. Pasif uygunlama devreleri ve yükler için $|\Gamma_S| < 1$ ve $|\Gamma_L| < 1$ olduğundan Γ_S ve Γ_L Smith abağı üzerindedir.

Karmaşık Γ düzleminde $|\Gamma - C| = R$ formundaki denklem C(karmaşık sayı) merkezli ve R(reel sayı) yarıçapına sahip daireyi temsil eder. Yük kararlılığı ve

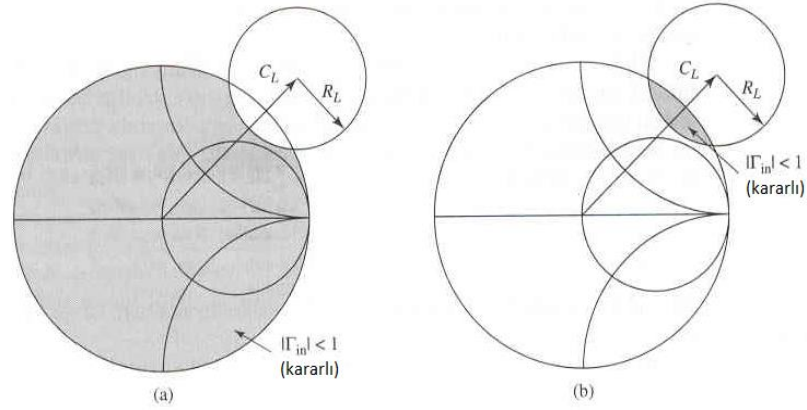
kaynak kararlılığını belirleyen dairelerin merkez ve yarıçapları (2.39) ve (2.40) ifadeleri ile verilmiştir. Bu denklemlerde kullanılan Δ saçılma matrisinin determinantıdır ve $\Delta = S_{11}S_{22} - S_{12}S_{21}$ şeklinde tanımlanır.

$$C_L = \frac{(S_{22} - \Delta S_{11}^*)^*}{|S_{22}|^2 - |\Delta|^2} \text{ (merkez)} \quad (2.39a)$$

$$R_L = \left| \frac{S_{12}S_{21}}{|S_{22}|^2 - |\Delta|^2} \right| \text{ (yarıçap)} \quad (2.39b)$$

$$C_S = \frac{(S_{11} - \Delta S_{22}^*)^*}{|S_{11}|^2 - |\Delta|^2} \text{ (merkez)} \quad (2.40a)$$

$$R_S = \left| \frac{S_{12}S_{21}}{|S_{11}|^2 - |\Delta|^2} \right| \text{ (yarıçap)} \quad (2.40b)$$



Şekil 2.10: Bağlı Kararlı Cihaz İçin Çıkış Kararlılık Daireleri (a) $|S_{11}| < 1$ (b) $|S_{11}| > 1$

$|S_{11}| < 1$ ve $|S_{11}| > 1$ için Γ_L düzleminde kararlılık daireleri Şekil 2.10'daki gibidir. $Z_L = Z_o$ seçildiğinde, $\Gamma_L = 0$ olur ve (2.38a) ifadesi kullanılarak $|\Gamma_{in}| = |S_{11}|$ elde edilir. $|S_{11}| < 1$ ise $|\Gamma_{in}| < 1$ olur ve bu koşullar altında $\Gamma_L = 0$ olduğu nokta kararlı bölge olarak belirlenir. Yani $\Gamma_L = 0$ olduğu Smith abağının merkezi kararlı bölgedir, bu yüzden $|\Gamma_L| < 1$ için Smith abağındaki kararlılık çemberinin dış bölgesi Γ_L 'nin kararlı olduğu aralığı tanımlar. Bu bölge Şekil 2.10a'daki taralı bölgedir. Alternatif olarak $Z_L = Z_o$ seçildiğinde $|S_{11}| > 1$ ise, $\Gamma_L = 0$ için $|\Gamma_{in}| > 1$ elde edilir ve Smith abağının merkezi kararsız bölge olur. Bu durumda kararlı bölge, Şekil 2.10b'de gösterildiği gibi Smith abağı ile kararlılık dairesinin kesiştiği alandır.

Eğer devre bağlı kararlı ise, kararlılık daireleri Smith abağının tamamen dışında ya da Smith abağını tamamen çevrelemesi gerekir. Bu durumları matematiksel olarak aşağıdaki gibi tanımlayabiliriz:

$$||C_L| - R_L| > 1, |S_{11}| < 1 \text{ için} \quad (2.41a)$$

$$||C_S| - R_S| > 1, |S_{22}| < 1 \text{ için} \quad (2.41b)$$

2.3.2 Mutlak Kararlılığın Kontrolü

Kararlılık daireleri Γ_S ve Γ_L için yükselticinin bağlı kararlı olduğu bölgeleri tespit için kullanılır, fakat mutlak kararlılığın belirlenmesi için daha kolay yöntemler uygulanabilir. Bunlardan biri cihazın *Rollet Şartlarına* uyduğunda mutlak kararlı olduğu $K - \Delta$ testidir. Cihazın *Rollet Şartlarına* uygun olması için (2.42) ve (2.43) ile belirtilen şartları sağlaması gerekir.

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} > 1 \quad (2.42)$$

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| < 1 \quad (2.43)$$

Yukarıdaki iki koşul kolaylıkla hesaplanabilir ve mutlak kararlılık yeterli ve gerek şartlardır. Cihazın S parametreleri $K - \Delta$ kontrol metodunu sağlamıyorsa cihaz mutlak kararlı değildir ve kararlılık daireleri cihazın bağlı kararlı olduğu Γ_S ve Γ_L değerlerini belirlemek için kullanılabilir.

$K - \Delta$ testi mutlak kararlılık matematiksel olarak kesin sonuçlar vermesine rağmen, iki yada daha fazla ayrık parametreler sahip devrelerin göreceli kararlılıklarının karşılaştırılmasında kullanılamaz. Bu durum için cihazın S parametrelerini kullanan ve tek bir değişkene(μ) bağlı olan yöntem kullanılır [9].

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - \Delta S_{11}^*| + |S_{12}S_{21}|} > 1 \quad (2.44)$$

$\mu > 1$ olduğunda cihaz mutlak kararlıdır. Ek olarak, daha büyük μ değerleri daha iyi kararlılık sağlar.

2.4 Tek Kademeli Transistörlü Yükseltici Tasarımı

Yükseltici tasarımındaki ilk adım cihazın kararlılığını sağlamaktır. Yükselticinin kararlılığı $K - \Delta$ testi ya da μ testi ile cihazın mutlak kararlılığı kontrol edilebilir, eğer cihaz bağlı kararlı ise kararlılık çemberleri çizilerek cihazın kararlı

olduğu bölge belirlenmelidir. Sonraki adım cihazın giriş ve çıkış uygunlama devresi kısımlarının arzu edilen kazanç ya da gürültü figürüne göre tasarlanmasıdır. Verilen BJT için G_o kazancı ayarlandıktan sonra, yükselticinin toplam kazancı uygunlama kısımlarının kazancı G_s ve G_L , ile kontrol edilir. En yüksek kazanç bu bölmelerin yük ve kaynak ile tam uygunlanması durumunda elde edilir.

2.4.1 En Yüksek Kazanç İçin Tasarım

Şekil 2.9 referans alındığında, giriş uygunlama devresinden transistöre aktarılan en yüksek güç giriş empedansının transistöre ile karşılıklı olarak uygunlanması halinde gerçekleşir.

$$\Gamma_{in} = \Gamma_s^* \quad (2.45a)$$

Benzer şekilde transistörden çıkış uygunlama devresine aktarılacak en yüksek güç aşağıdaki koşula bağlıdır.

$$\Gamma_{out} = \Gamma_L^* \quad (2.45b)$$

Uygunlama devrelerinin kayıpsız olduğu varsayımıyla, bu şartlar toplam kazancı en yüksek değerine ulaştıracaktır. (2.36) ifadesi kullanılarak, bu en yüksek kazanç ifadesinin matematiksel formu aşağıdaki gibidir:

$$G_{T_{max}} = \frac{1}{1 - |\Gamma_s|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2} \quad (2.46)$$

İki taraflı transistörlerin kullanıldığı genel durumda, Γ_{in} yansımaya katsayısına Γ_{out} 'un etkisi vardır. Bu yüzden, giriş ve çıkış kısımları eş zamanlı olarak uygunlanmalıdır. (2.46) ifadesinde bulunan Γ_s ve Γ_L yansımaya katsayılarının çözümü aşağıdaki gibidir.

$$\Gamma_s = \frac{B_1 \pm \sqrt{B_1^2 - 4|C_1|^2}}{2C_1} \quad (2.47a)$$

$$\Gamma_L = \frac{B_2 \pm \sqrt{B_2^2 - 4|C_2|^2}}{2C_2} \quad (2.47b)$$

B_1, B_2, C_1 ve C_2 katsayıları aşağıdaki gibi tanımlanır:

$$\begin{aligned} B_1 &= 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2 \\ B_2 &= 1 + |S_{22}|^2 - |S_{11}|^2 - |\Delta|^2 \\ C_1 &= S_{11} - \Delta S_{22}^* \\ C_2 &= S_{22} - \Delta S_{11}^* \end{aligned} \quad (2.48)$$

Yukarıdaki denklemler $K > 1$ koşulunun sağlanması halinde geçerlidir. Bu yüzden mutlak kararlı cihazlar maksimum kazanç için her zaman uygulanabilir, bağıl kararlı cihazlar ise $K > 1$ ve $|\Delta| < 1$ olması durumunda maksimum kazanç için uygulanabilirler. Sonuçlar tek taraflı transistörler için daha basit bir formdadır. $S_{12} = 0$ olduğu için, $\Gamma_S = S_{11}^*$ ve $\Gamma_L = S_{22}^*$ olur. Bu durumda (2.46) ifadesi sadeleşerek (2.49) ifadesine dönüşür.

$$G_{TU_{max}} = \frac{1}{1 - |S_{11}|^2} |S_{21}|^2 \frac{1}{1 - |S_{22}|^2} \quad (2.49)$$

2.4.2 Kararlı En Yüksek Kazanç

(2.46) ile ifade edilen en yüksek kazanç kaynak ve yükün transistöre uygulanması durumunda elde edilir. Eğer cihaz mutlak kararlı ise $K > 1$ olur ve (2.46) ifadesinden elde edilen en yüksek güç kazancı aşağıdaki gibi sadeleştirilebilir ve bu en yüksek kazanç *uygunlanmış kazanç* olarak da bilinir.

$$G_{T_{max}} = \frac{|S_{21}|}{|S_{12}|} \left(K - \sqrt{K^2 - 1} \right) \quad (2.50)$$

En yüksek kazanç cihazın sadece mutlak kararlı olduğu durumda anlamlı bir sonuç ifade etmez, çünkü kaynak ve yük empedansları her zaman $K > 1$ koşulunu sağlamaz. Bu durumda $K=1$ olduğu durumda tanımlanan en yüksek kararlı kazanç tanımını kullanılmalıdır.

$$G_{msg} = \frac{|S_{21}|}{|S_{12}|} \quad (2.51)$$

2.4.3 Sabit Kazanç Daireleri ve Arzu Edilen Kazanç İçin Tasarım

Birçok durumda bant genişliğini arttırmak, belirli bir değerdeki yükseltici kazancını elde etmek ya da cihaz çeşitliliklerini en aza indirebilmek için elde edilebilir en yüksek kazançtan daha az kazançla sahip yükseltici tasarımı yapmak tercih edilebilir. Bunu giriş ve çıkış uygunlama devrelerini daha az kazançla sahip olacak şekilde tasarımını yaparak sağlayabiliriz; diğer bir deyişle devrede kontrollü bir şekilde empedans uyumsuzluğu yaratarak bunu toplam kazancı azaltmak için kullanabiliriz.

Birçok uygulamada $|S_{12}|$ ihmal edilebilecek kadar küçük değerli olduğundan, cihaz tek taraflı olarak kabul edilir ve bu varsayım tasarım adımlarını büyük oranda basitleştirir. İletilen güç kazancında $|S_{12}|$ 'nin değerinin sıfır alınmasıyla meydana gelecek hata G_T/G_{TU} oranı ile ifade edilir ve (2.52) ile belirtilen aralıktadır. Bu tanımlamada kullanılan U tek taraflı modelin başarısı olarak isimlendirilir ve (2.53) ile matematiksel formda ifade edilmiştir.

$$\frac{1}{(1+U)^2} < \frac{G_T}{G_{TU}} < \frac{1}{(1-U)^2} \quad (2.52)$$

$$U = \frac{|S_{11}||S_{12}||S_{21}||S_{22}|}{(1-|S_{11}|^2)(1-|S_{22}|^2)} \quad (2.53)$$

Elde edilen kazanç $\Gamma_S = S_{11}^*$ ve $\Gamma_L = S_{22}^*$ koşulları sağlandığında en yüksek kazancına ulaşır. Bu durumda elde edilen en yüksek kazanç değerleri, normalize edilmiş kazanç faktörleri, $0 \leq g_S \leq 1$ ve $0 \leq g_L \leq 1$, ve sabit kazanç dairelerinin merkezleri aşağıdaki gibidir.

$$G_{S_{\max}} = \frac{1}{1-|S_{11}|^2} \quad (2.54a)$$

$$G_{L_{\max}} = \frac{1}{1-|S_{22}|^2} \quad (2.54b)$$

$$g_S = \frac{G_S}{G_{S_{\max}}} = \frac{1-|\Gamma_S|^2}{|1-S_{11}\Gamma_S|^2} (1-|S_{11}|^2) \quad (2.55a)$$

$$g_L = \frac{G_L}{G_{L_{\max}}} = \frac{1-|\Gamma_L|^2}{|1-S_{22}\Gamma_L|^2} (1-|S_{22}|^2) \quad (2.55b)$$

$$C_S = \frac{g_S S_{11}^*}{1-(1-g_S)|S_{11}|^2} \quad (2.56a)$$

$$R_S = \frac{\sqrt{1 - g_S}(1 - |S_{11}|^2)}{1 - (1 - g_S)|S_{11}|^2} \quad (2.56b)$$

$$G_L = \frac{g_L S_{22}^*}{1 - (1 - g_L)|S_{22}|^2} \quad (2.57a)$$

$$R_L = \frac{\sqrt{1 - g_L}(1 - |S_{22}|^2)}{1 - (1 - g_L)|S_{22}|^2} \quad (2.57b)$$

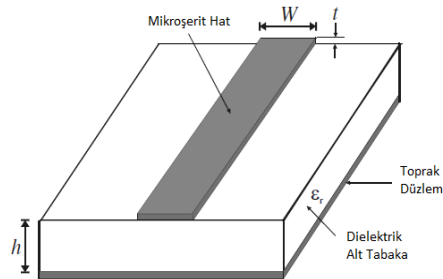
Her bir daire ailesinin merkezi S_{11}^* ya da S_{22}^* açısındaki doğru üzerindedir. g_S ya da g_L 'nin değeri bire eşit olduğunda(en yüksek kazanç), R_S yada R_L yarıçapı sıfır olur ve çemberlerin merkezleri S_{11}^* ya da S_{22}^* noktaları olur. Ayrıca 0dB kazanç daireleri her zaman Smith abağının merkezinden geçer. Bu sonuçlar giriş ve çıkış bölmelerine ait sabit kazanç dairelerini çizmek için kullanılabilir. Sonraki adımda Γ_S ve Γ_L sabitleri arzu edilen kazancı sağlamak için bu daireler üzerindeki herhangi bir nokta seçilir. Γ_S ve Γ_L sabitlerinin seçimi keyfidir, fakat empedans uyumsuzluğunu en aza indirmek ve dolayısıyla bant genişliğini arttırmak için Smith abağının merkezine yakın olan noktaların seçilmelidir.

2.5 İletim Hatları ve Bileşenleri

2.5.1 Mikroşerit Hatlar

2.5.1.1 Mikroşerit Yapısı

Genel mikroşerit yapısı Şekil 2.11'de gösterildiği gibidir. İletim hattı (mikroşerit hat), ϵ_r bağıl dielektrik sabiti ve h kalınlığındaki dielektrik alt tabaka üzerinde bulunan, W genişliğine ve t kalınlığına sahip parçadır. Dielektrik tabakanın alt kısmı ise toprak düzlemi olarak isimlendirilmiştir.



Şekil 2.11: Genel mikroşerit yapısı

2.5.1.2 Mikroşeritlerdeki Dalgalar

Mikroşeritteki alanlar iki ortam (üstünde hava ve altında dielektrik alt tabaka) tarafından sınırlanmıştır, bu yüzden yapı homojen değildir. Bu homojen olmayan yapısı nedeniyle, mikroşerit saf TEM dalgalarının (sadece enine bileşene sahip) iletimine izin vermez. TEM dalgalarının yayılma hızı permitivite ϵ ve permabilite μ olarak isimlendirilen malzemenin özelliklerine bağlıdır. Fakat kılavuzlanmış dalga ortamı ile (dielektrik alt tabaka ve hava), mikroşerit hattaki dalgalar elektrik ve manyetik alanların dikey bileşenlerine de sahip olacaktır ve bu dalgaların yayılma hızı sadece malzeme özelliklerine değil, ayrıca mikroşeritin fiziksel boyutlarına da bağlıdır.

2.5.1.3 Quasi-TEM Yaklaşımı

Mikroşerit hattın dominant modundaki dikey alan bileşenleri, yatay alan bileşenlerine göre daha küçük olduğunda, bu bileşenler ihmal edilebilir. Bu durumda dominant mod TEM modu gibi davranır, bu yüzden TEM iletim hattı teorisi mikroşerit hat içinde uygulanabilir duruma gelir. Bu durum quasi-TEM yaklaşımı olarak isimlendirilir ve mikroşerit için geçerli olan çalışma frekans aralığındaki çoğu frekans için bu yaklaşım geçerlidir.

2.5.1.4 Etkin Dielektrik Sabiti ve Karakteristik Empedans

Quasi-TEM yaklaşımında homojen olmayan dielektrik hava ortamı yerini, etkin dielektrik permitiviteye sahip homojen olan dielektrik malzemeye bırakır. Mikroşeritlerin iletim karakteristikleri efektif dielektrik sabit ϵ_r ve karakteristik empedans Z_c ile tanımlanır. Quasi-statik analizde dalganın temel yayılım modu saf TEM modu olarak kabul edilmiştir. Mikroşeritlerin karakteristik özelliklerinin belirlendiği formüllerde C_a birim uzunluk başına düşen kapasiteyi, C_d ise hava tarafından değiştirilen birim uzunluk başına düşen kapasiteyi ve c elektromanyetik dalgaların boşluktaki hızını ifade eder.

$$\epsilon_r = \frac{C_a}{C_d} \quad (2.58)$$

$$Z_c = \frac{1}{c\sqrt{C_a C_d}} \quad (2.59)$$

Çok ince iletkenler için (örneğin $t \rightarrow 0$) aşağıdaki kapalı formları verilmiş ifadeler daha doğru sonuçlara ulaşmamızı sağlar.

$W/h \leq 1$ için:

$$\epsilon_{re} = \frac{\epsilon_{r+1}}{2} + \frac{\epsilon_r - 1}{2} \left[\left(1 + 12 \frac{h}{W} \right)^{-0.5} + 0.04 \left(1 - \frac{W}{h} \right)^2 \right] \quad (2.60a)$$

$$Z_c = \frac{\eta}{2\pi\sqrt{\epsilon_{re}}} \ln \left(\frac{8h}{W} + 0.25 \frac{W}{h} \right) \quad (2.60b)$$

$\eta = 120\pi$ 'dir ve boşluktaki dalga empedansı olarak adlandırılır.

$W/h \geq 1$ için:

$$\epsilon_{re} = \frac{\epsilon_{re} + 1}{2} + \frac{\epsilon_{re} - 1}{2} \left(1 + 12 \frac{h}{W} \right)^{-0.5} \quad (2.61a)$$

$$Z_c = \frac{\eta}{\sqrt{\epsilon_{re}}} \left[\frac{W}{h} + 1.393 + 0.677 \ln \left(\frac{W}{h} + 1.444 \right) \right]^{-1} \quad (2.61b)$$

2.5.1.5 Kılavuzlanmış Dalga Boyu, Yayılma Sabiti, Faz Hızı ve Elektriksel Uzunluk

Mikroşeritin etkin dielektrik sabiti hesaplandığında, quasi-TEM modundaki mikroşeritin kılavuzlanmış dalga boyu (2.62a) ifadesi ile hesaplanır.

$$\lambda_g = \frac{\lambda_o}{\sqrt{\epsilon_{re}}} \quad (2.62a)$$

λ_o , f çalışma frekansındaki boşluk dalga boyudur. Başka bir deyişle GHz mertebesinde verilen çalışma frekansı için kılavuzlanmış dalga boyu mm cinsinden aşağıdaki gibi ifade edilir:

$$\lambda_g = \frac{300}{f(\text{GHz})\sqrt{\epsilon_{re}}} \quad (2.62b)$$

Kılavuzlanmış dalga boyuyla ilgili yayılma sabiti β ve faz hızı v_p sırasıyla (2.63) ve (2.64) ifadeleri ile hesaplanır.

$$\beta = \frac{2\pi}{\lambda_g} \quad (2.63)$$

$$v_p = \frac{\omega}{\beta} = \frac{c}{\sqrt{\epsilon_{re}}} \quad (2.64)$$

Verilen l uzunluğundaki mikroşerit için θ elektriksel uzunluğu (2.65) ifadesi ile hesaplanır.

$$\theta = \beta l \quad (2.65)$$

2.5.1.6 W/h Sentezi

W/h oranı için Z_c ve ϵ_r parametrelerine bağlı olan yaklaşık ifadeler Wheeler ve Hammerstad tarafından geliştirilmiştir.

W/h ≤ 2 için

$$\frac{W}{h} = \frac{8 \exp(A)}{\exp(2A) - 2}$$

$$A = \frac{Z_c}{60} \left[\frac{\epsilon_r + 1}{2} \right] + \frac{\epsilon_r - 1}{\epsilon_r + 1} \left[0.23 + \frac{0.11}{\epsilon_r} \right] \quad (2.66)$$

W/h ≥ 2 için

$$\frac{W}{h} = \frac{2}{\pi} \left[(B - 1) - \ln(2B - 1) + \frac{\epsilon_r - 1}{2\epsilon_r} \right]$$

$$B = \frac{60\pi^2}{Z_c \sqrt{\epsilon_r}} \quad (2.67)$$

2.5.1.7 Şerit Kalınlığının Etkisi

Mikroşerit hatlar iletken ince filmler ile gerçekleştirildiğinde, t kalınlığı genellikle çok küçüktür ve bunun etkisi genellikle ihmal edilir. Yine de şerit kalınlığının karakteristik empedans ve etkin dielektrik sabiti üzerinde etkileri vardır.

$W/h \leq 1$ için

$$Z_c(t) = \frac{\eta}{2\pi\sqrt{\epsilon_{re}}} \ln \left[\frac{8}{W_e(t)/h} + 0.25 \frac{W_e(t)}{h} \right] \quad (2.68a)$$

$W/h \geq 1$ için

$$Z_c(t) = \frac{\eta}{\sqrt{\epsilon_{re}}} \left[\frac{W_e(t)}{h} + 1.393 + 0.667 \ln \left(\frac{W_e(t)}{h} + 1.444 \right) \right]^{-1} \quad (2.68b)$$

$$\frac{W_e(t)}{h} = \begin{cases} \frac{W}{h} + \frac{1.25}{\pi} \frac{t}{h} \left(1 + \ln \frac{4\pi W}{t} \right) & (W/h \leq 0.5\pi) \\ \frac{W}{h} + \frac{1.25}{\pi} \frac{t}{h} \left(1 + \ln \frac{2h}{t} \right) & (W/h \geq 0.5\pi) \end{cases} \quad (2.69a)$$

$$\epsilon_{re}(t) = \epsilon_{re} - \frac{\epsilon_{re} - 1}{4.6} \frac{t/h}{\sqrt{W/h}} \quad (2.69b)$$

Yukarıdaki ifadelerde $t=0$ için ϵ_{re} etkin dielektrik sabitidir ve bu ifadeler şerit kalınlığının karakteristik empedans ve etkin dielektrik sabiti üzerinde önemsenmeyecek kadar az etkisi olduğunu göstermektedir. Fakat şerit kalınlığı mikroşerit hattaki iletim kayıplarında önemli hale gelmektedir.

2.5.1.8 Mikroşeritte Dağılma

Genel olarak mikroşeritlerde dağılma vardır, yani mikroşeritlerdeki faz hızı sabit değildir ve frekansın bir fonksiyonu olarak ifade edilir. Bu dağılma kendi frekansa bağımlı etkin dielektrik sabitine göre değişir ve frekans bağımlı etkin dielektrik sabiti $\epsilon_{re}(f)$ olarak isimlendirilir. Dağılmanın etkisini dikkate alabilmek için aşağıdaki formüller kullanılır.

$$\epsilon_{re}(f) = \epsilon_r - \frac{\epsilon_r - \epsilon_{re}}{1 + \left(\frac{f}{f_{50}} \right)^m} \quad (2.70)$$

$$f_{50} = \frac{f_{TM_0}}{0.75 + (0.75 - 0.332\varepsilon_r^{-1.73})W/h} \quad (2.71a)$$

$$f_{TM_0} = \frac{c}{2\pi h \sqrt{\varepsilon_r - \varepsilon_{re}}} \tan^{-1} \left(\varepsilon_r \sqrt{\frac{\varepsilon_{re} - 1}{\varepsilon_r - \varepsilon_{re}}} \right) \quad (2.71b)$$

$$m = m_o m_c \leq 2.32 \quad (2.72a)$$

$$m_o = 1 + \frac{1}{1 + \sqrt{W/h}} + 0.32 \left(\frac{1}{1 + \sqrt{\frac{W}{h}}} \right)^3 \quad (2.72b)$$

$$m_c = \begin{cases} 1 + \frac{1.4}{1 + \frac{W}{h}} \left[0.15 - 0.235 \exp\left(-\frac{0.45f}{f_{50}}\right) \right] & W/h < 0.7 \\ 1 & W/h \geq 0.7 \end{cases} \quad (2.72c)$$

$$\leq 0.7$$

$m_o m_c$ çarpımının değeri 2.32 den büyük olduğunda m 'in değeri 2.32 olarak seçilir. Yayılma modeli $\varepsilon_{re}(f)$ 'in frekansla birlikte arttığını ve frekans sonsuza yaklaşırken $\varepsilon_{re}(f)$ değerinin ε_{re} 'ye yaklaşır. Dağılma etkisinin karakteristik empedans üzerine etkisi (2.73) ile açıklanabilir.

$$Z_c(f) = \frac{Z_c(\varepsilon_{re}(f) - 1)}{\varepsilon_{re} - 1} \sqrt{\frac{\varepsilon_{re}}{\varepsilon_{re}(f)}} \quad (2.73)$$

Z_c karakteristik empedansın quasi-statik değeridir.

2.5.1.9 Mikroşerit Kayıplar

Mikroşeritteki kayıplar iletim kayıplarını, dielektrik kayıplarını ve ışıma kayıpları olarak sınıflandırılabilir. Kayıplı iletim hattında yayılma sabiti karmaşık değerlidir ve $\gamma = \alpha + j\beta$ ile ifade edilir. Bu ifadenin reel kısmı olan α birim uzunluktaki zayıflama sabitidir ve birimi neperdir. İletim kayıpları tarafından meydana getirilen zayıflama (2.74) ile bulunur.

$$\alpha_c = \frac{8.686R_s}{Z_c W} \quad (2.74)$$

Burada Z_c , W genişliğindeki mikroşeritin karakteristik empedansıdır ve R_s ohm cinsinden yüzey direncini temsil eder. Bir iletken için:

$$R_s = \sqrt{\frac{\omega\mu_0}{2\sigma}} \quad (2.75)$$

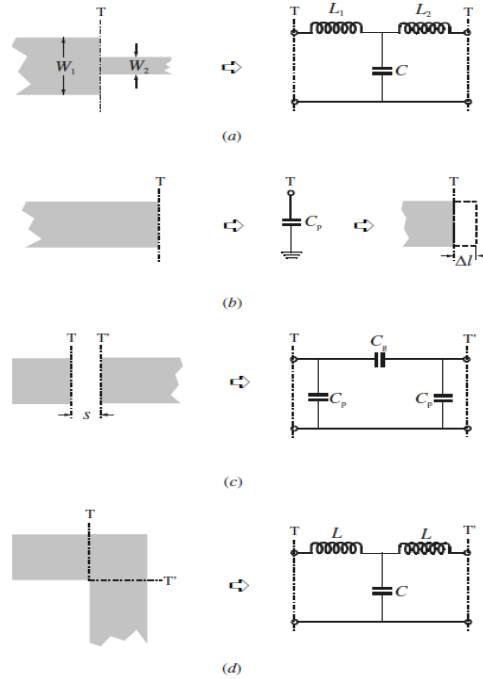
Yukarıdaki denklemde σ iletkenliği, μ_0 boşluğun permabilitesini ve ω açısal frekansı temsil etmektedir. Mikroşeritlerde dielektrik kayıplar tarafından meydana gelen zayıflama (2.76) ile hesaplanır. Bu denklemde ($\tan\delta$) dielektrik alt tabakanın kayıp tanjantını belirtir.

$$\alpha_d = 8.686\pi \left(\frac{\epsilon_{re} - 1}{\epsilon_r - 1} \right) \frac{\epsilon_r \tan\delta}{\epsilon_{re} \lambda_g} \text{dB/birimuzunluk} \quad (2.76)$$

2.5.2 Süreksizlikler ve Bileşenler

2.5.2.1 Mikroşerit Süreksizlikler

Mikroşerit süreksizlikler genellikle basamaklar, açık sonlandırmalar, köşeler ve boşlukların bulunduğu filtre tasarımlarında meydana gelmektedir. Şekil 2.12 bu yapıları ve eşdeğer devre modellerini göstermektedir.



Şekil 2.12: Mikroşerit süreksizlikler: (a) basamak (b) açık son (c) boşluk (d) köşe yapı.

2.5.2.2 Basamak Yapı

Simetrik basamak için, Şekil 2.12a'da verilen eşdeğer devre modelinde kapasitans ve indüktanslar yaklaşık olarak aşağıdaki formüllerle[19] hesaplanır.

$$C = 0.00137h \frac{\sqrt{\epsilon_{re1}}}{Z_{c1}} \left(1 - \frac{W_2}{W_1} \right) \left(\frac{\epsilon_{re1} + 0.3}{\epsilon_{re1} - 0.258} \right) \left(\frac{\frac{W_1}{h} + 0.264}{\frac{W_1}{h} + 0.8} \right) (pF) \quad (2.77)$$

$$L_1 = \frac{L_{w1}}{L_{w1} + L_{w2}} L, \quad L_2 = \frac{L_{w2}}{L_{w1} + L_{w2}} L \quad (2.78)$$

$$L_{wi} = Z_{ct} \sqrt{\epsilon_{rei}} / c$$

$$L = 0.000987h \left(1 - \frac{Z_{c1}}{Z_{c2}} \sqrt{\frac{\epsilon_{re1}}{\epsilon_{re2}}} \right)^2$$

L_{wi} i = 1 ve 2 değeri için sırasıyla W_1 ve W_2 uzunluklarına sahip hat parçaları için birim uzunluktaki indüktansları vermektedir. Z_{ci} ve ϵ_{rei} , W_i genişliğine ve ışığın boşluktaki hızına bağlı olan karakteristik empedans ve etkin dielektrik sabitini ifade etmektedir ve h ise mikrometre cinsinden dielektrik alt tabakanın kalınlığıdır.

2.5.2.3 Açık Sonlandırmalar

W genişliğinde mikroşerit açık sonlandırılmalı hatlarda, alanlar aniden durmaz ve kıyı alan etkisiyle yavaş bir şekilde yayılamaya devam eder. Bu etki Şekil 2.12b'de gösterildiği gibi eşdeğer paralel bir kondansatör ya da eşdeğer uzunluktaki iletim hattıyla modellenebilir. Bu iki eşdeğer parametre arasındaki ilişki (2.79) eşitliği [20] ile ve $\Delta l/h$ 'ın kapalı form ifadesi (2.80) [21] ile verilmiştir.

$$\Delta l = \frac{cZ_c C_p}{\sqrt{\epsilon_{re}}} \quad (2.79)$$

$$\Delta l/h = \frac{\xi_1 \xi_3 \xi_5}{\xi_4} \quad (2.80)$$

Yukarıdaki formülde:

$$\begin{aligned}\xi_1 &= 0.434907 \frac{\varepsilon_{re}^{0.81} + 0.26(W/h)^{0.8544} + 0.236}{\varepsilon_{re}^{0.81} - 0.189(W/h)^{0.8544} + 0.87} \\ \xi_2 &= 1 + \frac{(W/h)^{0.371}}{2.35\varepsilon_r + 1} \\ \xi_3 &= 1 + \frac{0.5274 \tan^{-1}[0.084(W/h)^{1.9413/\xi_2}]}{\varepsilon_{re}^{0.9236}} \\ \xi_4 &= 1 + 0.037 \tan^{-1} \left[0.067 \left(\frac{W}{h} \right)^{1.456} \right] \{6 \\ &\quad - 5 \exp[0.361(1 - \varepsilon_r)]\} \\ \xi_5 &= 1 - 0.218 \exp(-7.5W/h)\end{aligned}$$

2.5.2.4 Boşluklar

Mikroşerit boşluk Şekil2.12c'deki gösterilen eşdeğer devre ile modellenenir. Seri ve paralel kondansatör değerleri [19] ile belirlenir.

$$C_p = 0.5C_e \quad (2.123a) \quad (2.81a)$$

$$C_g = 0.5C_o - 0.25C_e \quad (2.81b)$$

Yukarıdaki formüllerde

$$\frac{C_o}{W} (pF/m) = \left(\frac{\varepsilon_r}{9.6} \right)^{0.8} \left(\frac{s}{W} \right)^{m_o} \exp(k_o)$$

$$\frac{C_e}{W} (pF/m) = 12 \left(\frac{\varepsilon_r}{9.6} \right)^{0.9} \left(\frac{s}{W} \right)^{m_e} \exp(k_e)$$

$$0.1 \leq s/W \leq 0.3 \text{ için } \begin{cases} m_o = \frac{W}{h} [0.619 \log(W/h) - 0.3853] \\ k_o = 4.26 - 1.453 \log(W/h) \end{cases}$$

$$0.1 \leq s/W \leq 0.3 \text{ için } \begin{cases} m_e = 0.8675 \\ k_e = 2.043 \left(\frac{W}{h} \right)^{0.12} \end{cases}$$

$$0.3 \leq s/W \leq 1.0 \text{ için } \begin{cases} m_e = \frac{1.565}{(W/h)^{0.16}} - 1 \\ k_e = 1.97 - \frac{0.03}{W/h} \end{cases}$$

2.5.2.5 Köşe Yapıları

Şekil 2.25d’de gösterildiği gibi mikroşeritlerin sağ dönüşlü köşe yapıları eşdeğer T devresi ile modellenenir. Bu modeldeki parametreler aşağıdaki formüllerle hesaplanır [19].

$$\frac{C}{W} (pF/m) = \begin{cases} \frac{(14\varepsilon_r + 12.5)W/h - (1.83\varepsilon_r - 2.25)}{\sqrt{W/h}} & W/h < 1 \text{ için} \\ (9.5\varepsilon_r + 1.25)W/h + 5.2\varepsilon_r + 7.0 & W/h \geq 1 \text{ için} \end{cases} \quad (2.82a)$$

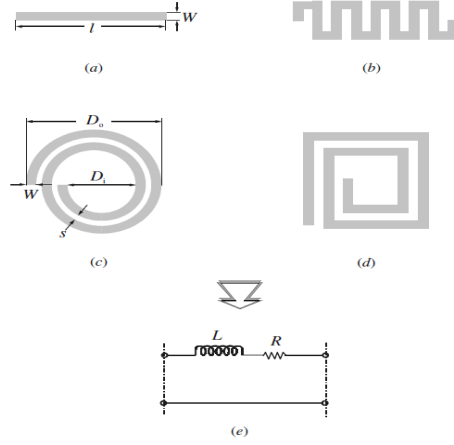
$$\frac{L}{h} (nH/m) = 100 \left[4 \sqrt{\frac{W}{h}} - 4.21 \right] \quad (2.82b)$$

2.5.3 Mikroşerit Bileşenler

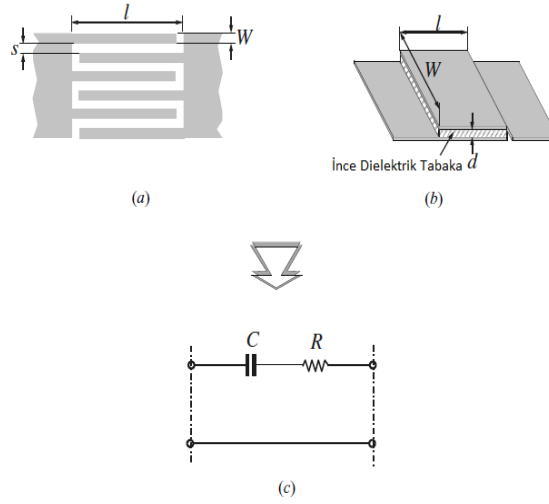
Genellikle mikroşerit filtre tasarımında karşılaşılan mikroşerit bileşenler toplu bobin ve kondansatör ile quasi-toplu elemanlarından(kısa devre edilmiş hat parçaları ve yan hatlar) oluşur. Bu bileşenler seçilirken filtrenin tipi, fabrikasyon tekniği, çalışma frekansı, kabul edilebilir kayıp ya da Q faktörü göz önüne alınır.

2.5.3.1 Toplu Kondansatör ve Bobinler

Bazı mikrodalga toplu kondansatör ve bobinleri ile ideal devre gösterimleri Şekil 2.13 ve Şekil 2.14’de verilmiştir. Bu bileşenler küçük boyutlu, düşük maliyetli ve geniş bant karakteristiği gibi avantajlara sahip olmasının yanında, dağıtılmış devre elemanlarına göre daha düşük Q faktörü ve güç işleme gibi dezavantajları vardır. Önemli ölçüde boyutlarının küçülebilmesinden dolayı toplu elemanlar genellikle mikrodalga entegre devrelerinin(MMIC) gerçekleştirilmesinde kullanılır.



Şekil 2.13: Toplu bobin elemanları: (a) yüksek empedans hattı (b) kıvrımlı hat (c) dairesel spiral (d) kare spiral (e) ideal devre gösterimleri



Şekil 2.14: Toplu eleman kondansatörleri: (a) parmak arası kondansatör (b) metal-iletken-metal kondansatör (c) ideal devre gösterimleri

2.5.3.1.1 Bobin Tasarımı

Bobin tasarımında W, t ve l sırasıyla genişlik, kalınlık ve iletken uzunluğunu temsil eder. Şekil 2.13’de gösterilen yüksek empedans ve düz hat kısımları genellikle $3nH$ ’ye kadar olan tasarımlar için, spiral bobinlerin(dairesel ya da karesel) kullanıldığı tasarımlar ise $10nH$ ’ye kadar bobin değerlerini elde etmek için kullanılır. Tasarımda spiral olması durumunda n spiral dönüş sayısını, s dönüşler arasındaki mesafeyi ve R_s iletkenin yüzey direncini temsil eder.

Düz-hat bobini için(l hat uzunluğunun birini μm ’dir):

$$L(nH) = 2 \times 10^{-4} l \left[\ln \left(\frac{l}{W+t} \right) + 1.193 + 0.2235 \frac{W+t}{l} \right] K_g \quad (2.83a)$$

$$R = \frac{R_s l}{2(W+t)} \left[1.4 + 0.217 \ln \left(\frac{W}{5t} \right) \right] \quad (2.83b)$$

Daire şeklindeki spiral bobin için (a katsayısının birini μm 'dir):

$$L(nH) = 0.03937 \frac{a^2 n^2}{8a + 11c} K_g \quad (2.84a)$$

$$a = \frac{D_o + D_i}{4} \quad c = \frac{D_o - D_i}{2} \quad (2.84b)$$

$$R = 1.5 \frac{\pi a n R_s}{W}$$

Bobin tasarım denkleminde K_g toprak düzleminin etkisini hesaba katmak için kullanılan düzeltme faktörüdür ve toprak düzleminin kenarlarında düzeltme faktöründen dolayı indüktans değeri azalma eğilimindedir. Birinci dereceden yaklaşımlar kullanılarak K_g değeri hesaplanmasında aşağıdaki formüller kullanılır ve bu denklemlerde W, h sırasıyla genişliği ve dielektrik alt tabakanın kalınlığını ifade eder.

$$K_g = 0.57 - 0.145 \ln \frac{W}{h} \quad (W/h > 0.05 \text{ için}) \quad (2.85)$$

2.5.3.1.2 Kondansatör Tasarımı

Şekil 2.14'de gösterilen parmak arası kondansatör 1 pF'dan küçük olan değerlerin tasarımına daha uygundur. Metal-yalıtkan-metal kondansatörü 30pF'a kadar olan daha yüksek değerleri elde etmek için kullanılır. Kapasite yoğunluğunun maksimum olması için parmak genişliği(W) ile boşluk(s) eşit seçilmelidir. Parmak arası kondansatörün değeri [22] ile belirlenir ve l 'nin birimi birini μm 'dir.

$$C(pF) = 3.937 \times 10^{-5} l (\epsilon_r + 1) [0.11(n - 3) + 0.252] \quad (2.86a)$$

Yukarıdaki formülde n parmak sayısını ve ϵ_r ise dielektrik tabakanın bağlı dielektrik sabitidir. İletim kayıplarına karşı gelen Q faktörü aşağıdaki gibi hesaplanır.

$$Q_c = \frac{1}{\omega C R}, R = \frac{4 R_s l}{3 W n} \quad (2.86b)$$

Dielektrik Q faktörü yaklaşık olarak $Q_d = 1/\tan\delta$ ifadesine eşittir ve $\tan\delta$ dielektrik kayıp tanjantıdır. Toplam Q faktörü aşağıdaki gibi hesaplanır:

$$\frac{1}{Q} = \frac{1}{Q_c} + \frac{1}{Q_d} \quad (2.87)$$

MIM kondansatörün değeri basit paralel levhalı kondansatörlerin değerine yakındır ve aşağıdaki gibi hesaplanır:

$$C = \frac{\varepsilon(Wxl)}{d} \quad (2.88a)$$

(Wxl) dielektrik ince film tabaka tarafından ayrılan metal kısmının alanıdır. İletim Q_c (2.88b) ifadesi gibi hesaplanır ve toplam Q benzer şekilde (2.87) ifadesinin yardımıyla hesaplanabilir.

$$Q_c = \frac{1}{\omega CR}, R = \frac{R_s l}{W} \quad (2.88b)$$

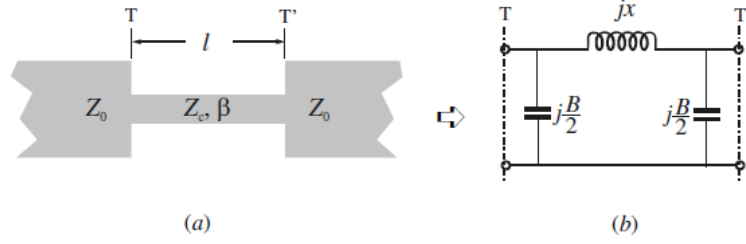
2.5.3.2 Quasi Toplu Elemanları

Fiziksel uzunlukları çalışma frekansındaki kılavuzlanmış dalga boyunun (λ_g) dörtte birinden küçük olan mikroşerit kısa hat ve yan hatları toplu elemanların mikrodalga gerçekleştirilmelerinde çoğunlukla kullanılan elemanlardır ve quasi toplu elemanları olarak isimlendirilirler.

2.5.3.2.1 Yüksek ve Düşük Empedans Kısa Hat Bölmeleri

Şekil 2.15'de yüksek empedanslı (Z_c) kayıpsız kısa hat parçası her iki ucundan da kendisine göre daha küçük empedanslı (Z_o) hatlarla sonlandırılmıştır ve bu yapı π eşdeğer devresi ile modellenir. Yayılma sabiti $\beta = 2\pi/\lambda_g$ olmak üzere devre parametreleri aşağıdaki gibidir.

$$x = Z_c \sin\left(\frac{2\pi}{\lambda_g} l\right), \frac{B}{2} \approx \frac{1}{Z_c} \left(\frac{\pi}{\lambda_g} l\right) \quad (2.89)$$

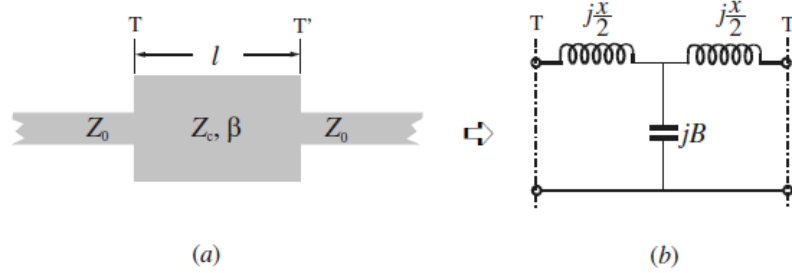


Şekil 2.15: Yüksek empedanslı kısa hat elemanı

$Z_c \gg Z_0$ olduğunda paralel süseptansların etkisi ihmal edilebilir. Bu yüzden kısa hat bölümü $L = Z_c l / v_p$ değerine sahip bobin etkisi gösterir. $v_p = \omega / \beta$ kısa hat bölümü boyunca yayılmanın faz hızı olarak tanımlanır.

Şekil 2.16' da düşük empedanslı (Z_c) kayıpsız kısa hat parçası her iki ucundan da kendisine göre daha büyük empedanslı (Z_0) hatlarla sonlandırılmıştır ve bu yapı T eşdeğer devresi ile modellenilebilir. Bu devrenin parametreleri aşağıdaki gibidir.

$$B = \frac{1}{Z_c} \sin\left(\frac{2\pi}{\lambda_g} l\right), \quad \frac{x}{2} = Z_c \tan\left(\frac{\pi}{\lambda_g} l\right) \quad (2.90)$$



Şekil 2.16: Düşük empedanslı kısa hat elemanı

Benzer şekilde $Z_c \ll Z_0$ olduğunda seri reaktansların etkileri ihmal edilebilir, ve kısa hat parçalı kısım $C = l / (Z_c v_p)$ değerindeki paralel kondansatör gibi davranır.

Bu kısa hat elemanlarının kalite faktörünü(Q) hesaplamak için kayıplar $\gamma = \alpha + j\beta$ biçimindeki karmaşık yayılma sabiti kullanılarak hesaplamalara katılır. Seri reaktansla ilgili toplam eşdeğer seri direnç yaklaşık olarak $R \approx Z_c \alpha l$ ve paralel süseptansla ilgili toplam eşdeğer paralel kondüktansın değeri $G \approx \alpha l / Z_c$ olur. $Q_z = x/R$ kayıplı reaktans elemanını ve $Q_y = B/G$ kayıplı süseptans elemanını temsil etmek üzere kısa hattın toplam kalite faktörü $(1/Q = 1/Q_z + 1/Q_y)$ (2.91) ifadesi ile ifade edilir. Burada β radyan cinsinden ve α neper cinsinden birim uzunluklardır.

$$Q = \frac{\beta}{2\alpha} \quad (2.91)$$

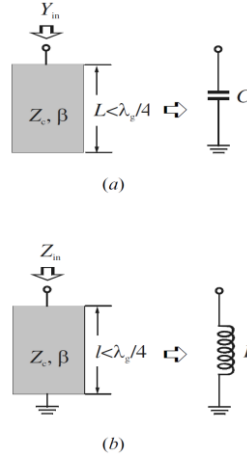
2.5.3.2.2 Açık ve Kısa Devre Yan Hatlar

Açık ve kısa devre yan hatların eşdeğer devreleri Şekil 2.17'de gösterildiği gibi paralel kondansatör ya da paralel bobin kullanılarak elde edilir. İletim hattı teorisine göre $Y_c = 1/Z_c$ karakteristik admitansına ve $\beta = 2\pi/\lambda_g$ yayılma sabitine sahip açık devre edilmiş iletim hattının giriş admitansı aşağıda verilmiştir.

$$Y_{in} = jY_c \tan\left(\frac{2\pi}{\lambda_g} l\right) \quad (2.92)$$

Yukarıdaki denklemde l yan hattın uzunluğudur. Eğer $l < \lambda_g/4$ ise bu giriş admitansı kapasitiftir. Eğer yan hat daha kısaysa yani $l < \lambda_g/8$ ise giriş admitansı yaklaşık olarak (2.93)ifadesiyle hesaplanır.

$$Y_{in} \approx jY_c \left(\frac{2\pi}{\lambda_g} l\right) = j\omega \left(\frac{Y_c l}{v_p}\right) \quad (2.93)$$



Şekil 2.17: Kısa devre yan hat elemanları

(2.93) ifadesindeki v_p yan hattaki yayılmanın faz hızıdır. Ayrıca (2.93) ifadesi kısa açık devre edilmiş yan hat $C = Y_c l/v_p$ değerli paralel kondansatöre eşit olduğunu göstermektedir.

Benzer bir şekilde kısa devre edilmiş iletim hattının giriş empedansı aşağıdaki gibi ifade edilir.

$$Z_{in} = jZ_c \tan\left(\frac{2\pi}{\lambda_g} l\right) \quad (2.94)$$

Bu giriş empedansı $l < \lambda_g/4$ için indüktif etki gösterir. Eğer $l < \lambda_g/8$ ise giriş empedansının yaklaşık değeri (2.95) ifadesiyle hesaplanır ve bu hat parçası $L = Z_c l/v_p$ değerine sahip toplu eleman bobini gibi davranır.

$$Z_{in} \approx jZ_c \left(\frac{2\pi}{\lambda_g} l \right) = j\omega \left(\frac{Z_c l}{v_p} \right) \quad (2.95)$$

3. Düşük Gürültülü Yükseltici Tasarımı

Kararlılık ve kazancın dışında, RF ya da mikrodalga yükseltici tasarımda dikkat edilmesi gereken diğer bir parametre ise gürültü figürüdür. Özellikle alıcı uygulamalarında gürültü figürünü en aza indirebilmek için ön yükseltme işlemi yapan düşük gürültülü bir yükselticinin kullanılması gerekir. Çünkü alıcının ilk kademesinin gürültü faktörü, devrenin toplam gürültü faktörünü baskın şekilde etkiler. Genellikle yükselticinin aynı anda en az gürültü figürüne ve en fazla kazançla sahip olması mümkün değildir, bu yüzden tasarım aşamasında bazı tavizlerin verilmesi gerekir. Gürültü figürü ile kazanç arasında yapılması gereken bu ödünleşim sabit kazanç daireleri ve sabit gürültü figürü daireleri kullanılarak sağlanabilir ve bu yaklaşım transistörlü yükseltici tasarımında kullanılır. İki kaplı yükselticinin gürültü figürü (3.1) ifadesi ile elde edilir.

$$F = F_{min} + \frac{R_N}{G_S} [Y_S - Y_{opt}]^2 \quad (3.1)$$

(3.1) ile ifade edilen denklemdeki tanımlamalar aşağıdaki gibidir:

$Y_S = G_S + jB_S =$ transistörden görülen kaynak admitansı.

$Y_{opt} =$ En az gürültü figürüne neden olan en iyi kaynak admitansı.

$F_{min} =$ Transistörün en az gürültü figürü ($Y_S = Y_{opt}$).

$R_N =$ Transistörün eşdeğer gürültü direnci.

$G_S =$ Kaynak admitansının reel kısmı.

Y_S ve Y_{opt} admitansları yerine, yansıma katsayıları olan Γ_S ve Γ_L sabitlerini kullanabiliriz. Bu durumda Y_S ve Y_{opt} aşağıdaki gibi ifade edilir.

$$Y_S = \frac{1}{Z_o} \frac{1 - \Gamma_S}{1 + \Gamma_S} \quad (3.2a)$$

$$Y_{opt} = \frac{1}{Z_o} \frac{1 - \Gamma_{opt}}{1 + \Gamma_{opt}} \quad (3.2b)$$

Γ_S Şekil 2.9'da tanımlanmış olan kaynak yansıma katsayısıdır. F_{min} , Γ_{opt} ve R_N değerleri tasarımda kullanılacak olan transistöre ait olan değerlerdir ve cihazın gürültü parametreleri olarak isimlendirilirler. Yukarıdaki tüm bu eşitlikler (3.1)'de yerine yazılmasıyla Γ_S ve Γ_{opt} cinsinden yükselticinin gürültü figürü (3.2) ile verilir.

Düzeltilmiş gürültü figürü, Γ_S düzleminde daireye karşılık düşer. Bu dairenin merkezini belirlemek için, ilk önce gürültü figürü parametresi (N) tanımlanmalıdır.

$$F = F_{min} + \frac{4R_N}{Z_o} \frac{|\Gamma_S - \Gamma_{opt}|^2}{(1 - |\Gamma_S|^2)|1 + \Gamma_{opt}|^2} \quad (3.3)$$

$$N = \frac{|\Gamma_S - \Gamma_{opt}|^2}{1 - |\Gamma_S|^2} = \frac{F - F_{min}}{4R_N/Z_o} |1 + \Gamma_{opt}|^2 \quad (3.4)$$

Gürültü figürü parametresi yardımıyla Γ_S düzlemindeki dairenin merkezi (C_F) ve bu dairenin yarıçapı (R_F) değerleri belirlenebilir.

$$C_F = \frac{\Gamma_{opt}}{N + 1} \quad (3.5)$$

$$R_F = \frac{\sqrt{N(N + 1 - |\Gamma_{opt}|^2)}}{N + 1} \quad (3.6)$$

3.1 Tek Bandlı DGY Tasarımı

Tek bandlı yükseltici tasarımı için yapılması gereken ilk işlem transistörün kararlılığını test etmektir. Bu işlemten sonra Γ_S ve Γ_L değerleri belirlendikten sonra Smith abağı yardımıyla giriş ve çıkış uygunlanma devreleri tasarlanabilir. Elimizdeki transistör için (2.37b) ifadesindeki G_0 değişmeyeceğinden dolayı, yükselticinin toplam kazancını G_S ve G_L ifadeleri kontrol eder. Sırasıyla kaynak ve yük empedansı transistör ile eşlenik uyumlandığında maksimum kazanç durumu ortaya çıkar.

(2.47) ifadesinin çözümü ancak karekökün içindeki büyüklüğün pozitif olması durumunda mümkündür ve bu durum $K > 1$ koşuluna denk gelmektedir. Bundan dolayı koşulsuz kararlı cihazlardan maksimum kazanç elde etmek için her zaman eşlenik uyumlandırılabilir. Potansiyel kararsız cihazlar da $K > 1$ ve $|\Delta| < 1$ koşullarını sağladığı zaman eşlenik olarak uyumlandırılabilir.

Uygunlama devrelerini Smith abağı ile belirlemek için şu işlemler yapılmalıdır:

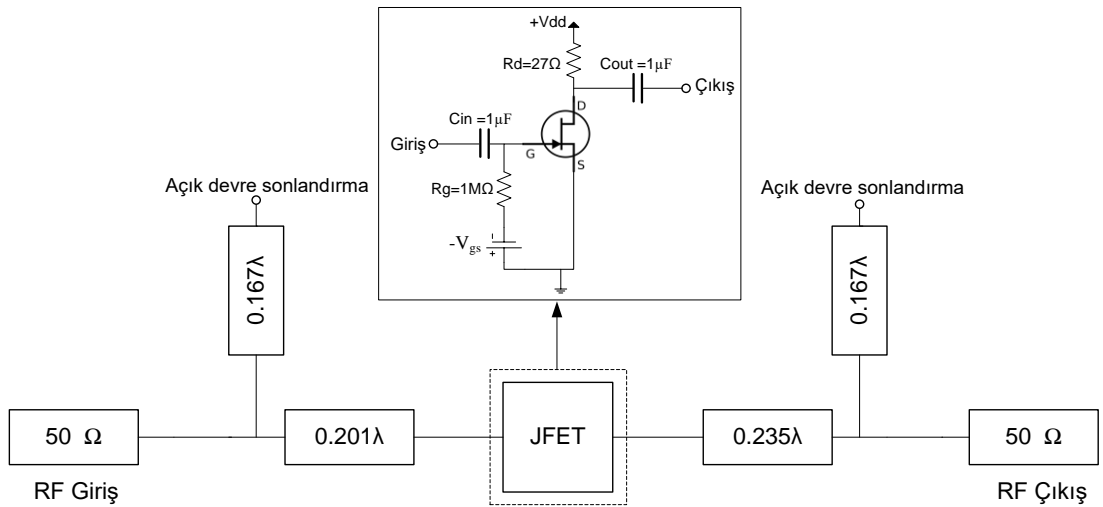
- Smith abağı üzerinde Γ_S işaretlenir.
- Bu yansıma katsayısına karşılık gelen Z_S empedansı, uygunlama devresine kaynak empedansı Z_0 yönünde bakıldığında görülen

empedans olur. Bu nedenle uygunlama devresi Z_0 empedansını Z_S empedansına dönüştürecektir.

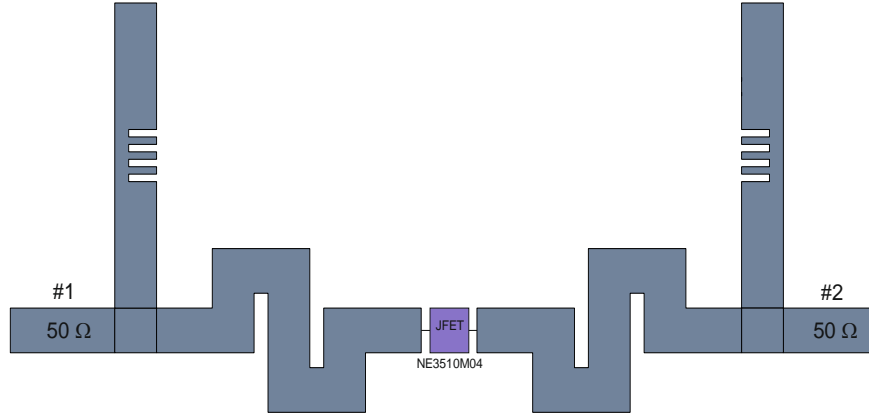
- Bu dönüştürme yöntemi için sonu paralel açık devre saplama ve sonrasında belirli bir uzunluğa sahip iletim hattından oluşan devre kullanılacaktır.
- Z_S empedansı y_S normalize admitansına çevrim yapıp Smith abağı üzerinde yüke doğru hareket ettiğimizde $1+jb$ çemberine geliriz. Hareket edilen dalga boyunu bize gerekli saplama admitansını vermektedir.
- Benzer işlemler çıkış uygunlama devresi için izlendiğinde hat uzunluğuve saplama uzunluğu bulunur.

3.1.1 UHF Bandı İçin DGY Tasarımı

UHF bandında (300MHz – 3GHz) çalışması istenen DGY tasarımı için yukarıdaki adımlar uygulandığında giriş uygunlama devresi için hat uzunluğu ve saplama uzunluğu sırasıyla 0.201λ ve 0.167λ bulunur. Bu adımlar çıkış uygunlama devresi için uygulandığında hat uzunluğu ve saplama uzunluğu sırasıyla 0.235λ ve 0.167λ bulunur. Uzunlukların bulunmasıyla ilgili Smith abakları EK-A'da verilmiştir. Bu devrenin eşdeğer modeli ve devre yapısı sırasıyla Şekil 3.1 ve Şekil 3.2 ile verilmiştir.

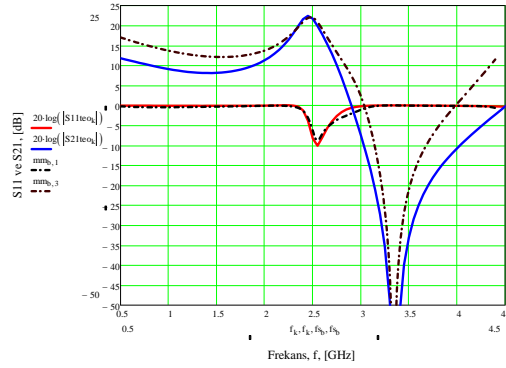


Şekil 3.1: UHF bandında çalışması için tasarlanan yükselticiye ait eşdeğer devre modeli

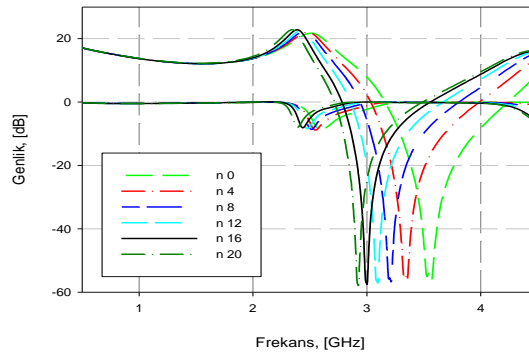


Şekil 3.2: UHF bandında çalışması için tasarlanan DGY yapısı

Devreye ait teorik analiz ve simülasyon sonuçlarının karşılaştırılması Şekil 3.3 ile verilmiştir. Ayrıca devrede yan hat saplaması üzerinde indüktif yüklemeye yapıldığında yükseltme bandının band kontrolünde mümkündür ve bu duruma ait simülasyon sonuçları Şekil 3.4 ile verilmiştir.



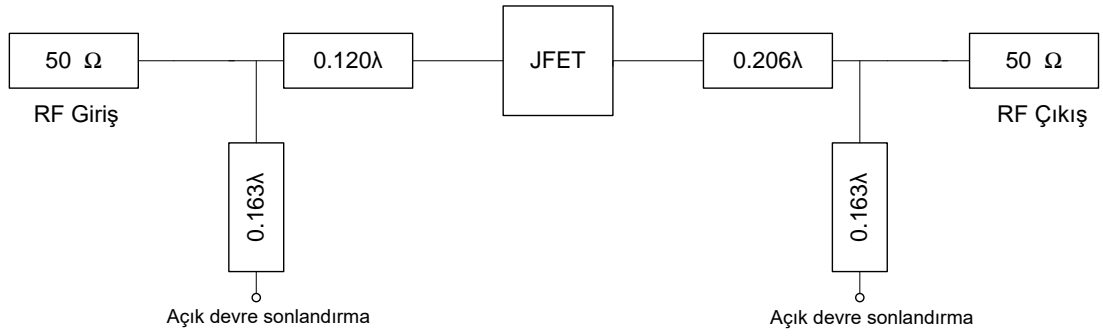
Şekil 3.3: Teorik analiz ve simülasyon sonuçlarının karşılaştırılması



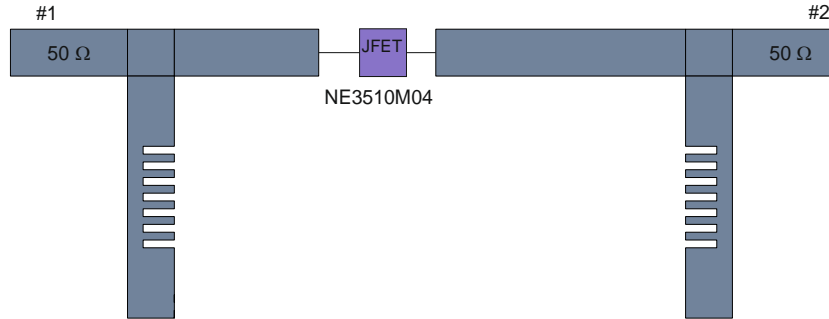
Şekil 3.4: İlgili yükseltme bandı kontrolüne ait simülasyon sonuçları

3.1.2 S Bandı İçin DGY Tasarımı

S bandında (2 GHz– 4GHz) çalışması istenen DGY tasarımı için yukarıdaki adımlar uygulandığında giriş uygunlama devresi için hat uzunluğu ve saplama uzunluğu sırasıyla 0.120λ ve 0.163λ bulunur. Bu adımlar çıkış uygunlama devresi için uygulandığında hat uzunluğu ve saplama uzunluğu sırasıyla 0.206λ ve 0.163λ bulunur. Uzunlukların bulunmasıyla ilgili Smith abakları EK-A'da verilmiştir. Bu devrenin eşdeğer modeli ve devre yapısı sırasıyla Şekil 3.5 ve Şekil 3.6 ile verilmiştir.

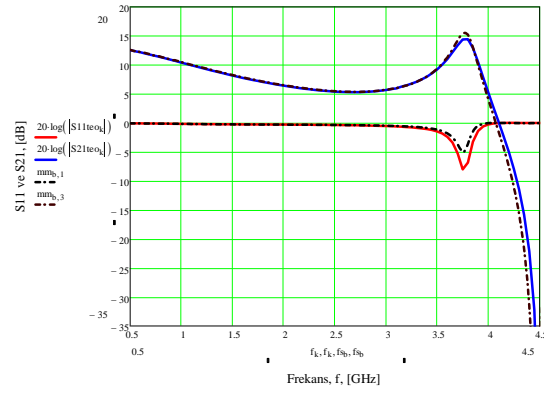


Şekil 3.5: S bandında çalışması için tasarlanan yükselticinin eşdeğer devre modeli

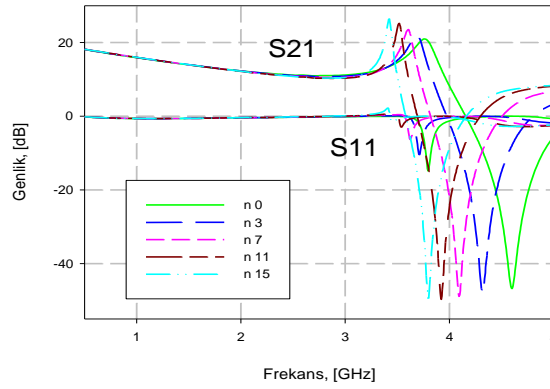


Şekil 3.6: S bandında çalışması için tasarlanan DGY yapısı

Devreye ait teorik analiz ve simülasyon sonuçlarının karşılaştırılması Şekil 3.7 ile verilmiştir. Ayrıca devrede yan hat saplaması üzerinde indüktif yüklemeye yapıldığında yükseltme bandının band kontrolüde mümkündür ve bu durum Şekil 3.8 ile gösterilmiştir.



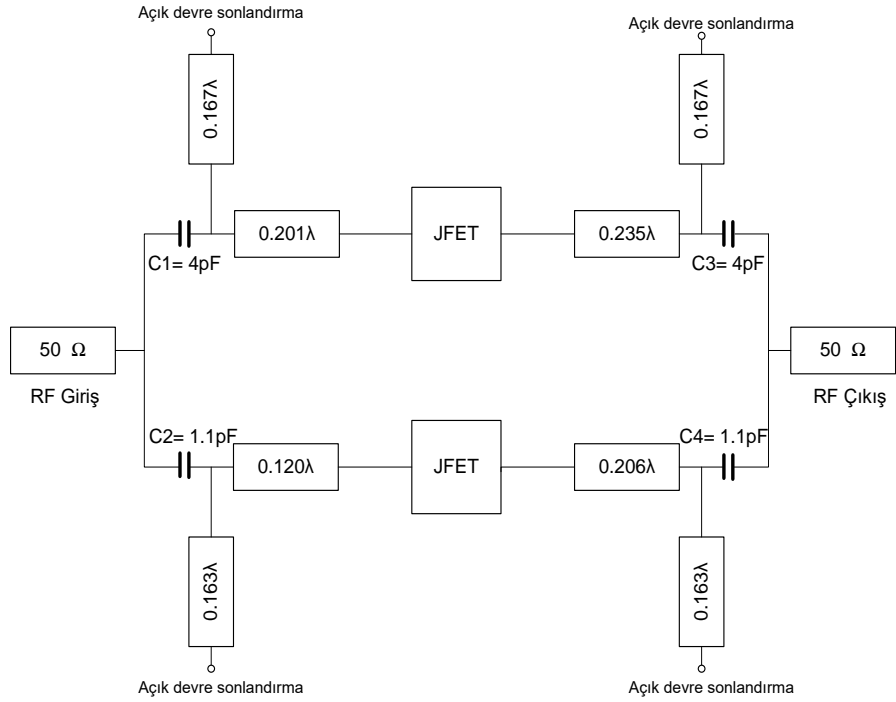
Şekil 3.7: Teorik analiz ve simülasyon sonuçlarının karşılaştırılması



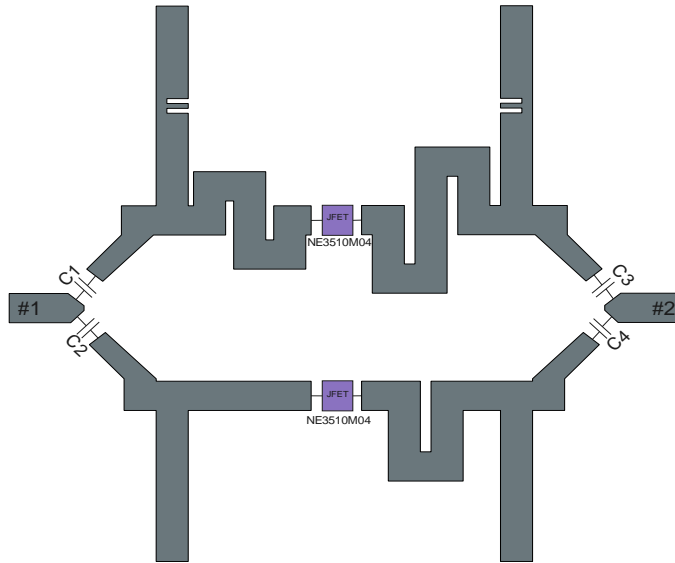
Şekil 3.8: İlgili yükseltme bandı kontrolüne ait simülasyon sonuçları

3.2 Çift Bandlı DGY Tasarımı

3.1.1. ve 3.1.2 tasarlanan devrelerin birleştirilmesi ile nihai çift bandlı yükseltici yapısı elde edilmiştir. Bu tasarıma ait eşdeğer devre modeli ve devre model sırasıyla Şekil 3.9 ve 3.10 ile verilmiştir.

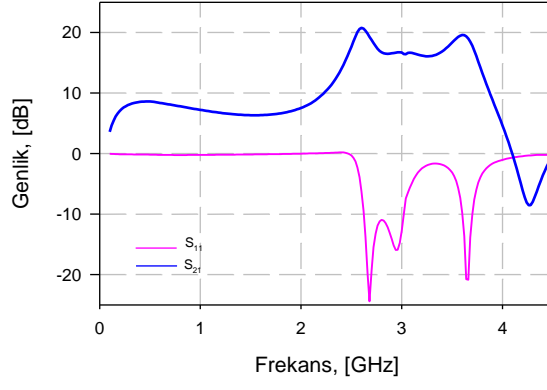


Şekil 3.9: Çift bandlı DGY'nin eşdeğer devre modeli

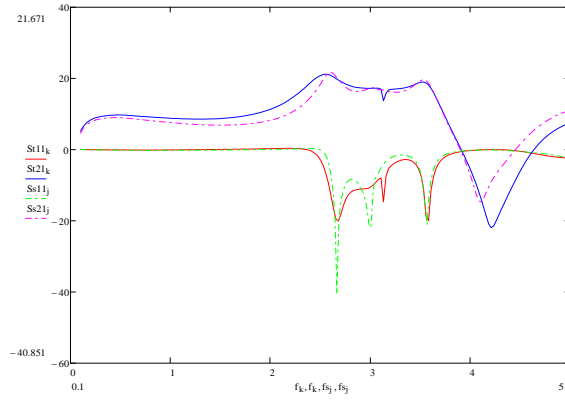


Şekil 3.10: Çift bandlı DGY yapısı

Devreye ait simülasyon sonuçları Şekil 3.11'de verilmiştir. Ayrıca bilgisayar destekli matematiksel analiz paket programı kullanılarak gerçekleştirilen teorik analiz ile simülasyon sonucunun karşılaştırılması Şekil 3.12'de verilmiştir.



Şekil 3.11: Tasarım yapılan çift band DGY'ye ait simülasyon sonucu

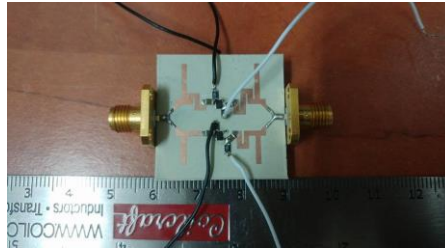


Şekil 3.12: Teorik analiz ve simülasyon sonuçlarının karşılaştırılması

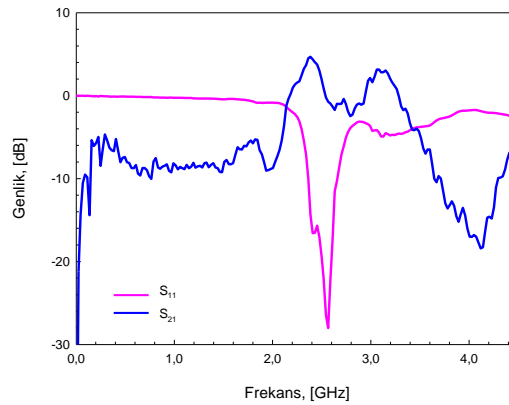
4. DENEYSEL ÇALIŞMALAR

Önceki bölümlerde tam dalga elektromanyetik simülasyon kullanılarak tek ve çok bantlı yükseltici tasarımları yapıldı. Bu bölümde ise UHF ve S bandında çalışması istenen çift bantlı DGY imal edilmektedir. İmal edilen çift bantlı DGY'de taban malzeme olarak bağıl dielektrik geçirgenliği 10.2, kalınlığı 1.27mm ve kayıp tanjantı ($\tan\delta$) 0.0023 olan RT/Duroid kullanılmaktadır. Giriş çıkış portları 50Ω 'dur. Saçılma parametrelerinin (S_{11} ve S_{21}) ölçümünde ise AGILENT E5071C network analizör kullanılmaktadır. Bu bölümde verilen simülasyonlarda kullanılan bakır iletkenler kayıplıdır.

İmal edilen çift bantlı DGY Şekil 4.1' de gösterilmektedir. Ayrıca imal edilen yükselticinin network analizör ile yapılan ölçüm sonucu Şekil 4.2'de gösterilmektedir. Yükseltici parametreleri: $l_1 = l_4 = 8.3\text{mm}$, $l_2 = 11.7\text{mm}$, $l_3 = 10\text{mm}$, $l_5 = l_8 = 5.8\text{mm}$, $l_6 = 4.4\text{mm}$, $l_7 = 7.4\text{mm}$, $C_1 = C_3 = 4\text{pF}$, $C_2 = C_4 = 1.1\text{pF}$ 'tir.



Şekil 4.1: İmal edilen çift bantlı yükseltici



Şekil 4.2: Network analizör ile yapılan ölçüm sonucu

5. SONUÇLAR VE ÖNERİLER

Bu tezde iki farklı tek bandlı yükselticinin tasarımı gerçekleştirilmiştir. Yükselticilere ait elektriksel uzunluklar Smith abağı kullanılarak hesaplanmıştır. Yükselticilere ait eşdeğer devre modellerini tanımlanarak bu modeller üzerinden iletim(S_{21}) ve yansıma(S_{11}) katsayılarının ifadeleri türetilmiştir. Bu ifadeler bilgisayar destekli matematiksel analiz programında yazılıp grafik çıktıları elde edilmiştir. Bu yükselticilere ait simülasyon sonuçları için tam dalga elektromanyetik simülatör kullanılmıştır. Elde edilen sonuçlar simülasyon sonuçları ile karşılaştırılmıştır. Bu karşılaştırma sonucunda simülasyon ve teorik sonuçların büyük ölçüde tutarlı olduğu görülmüştür. Tasarlanan tek bandlı yükselticiler üzerinde indüktif yüklemenin etkisi incelenmiş, bu işlem sonunda band kontrolünün sağlandığı görülmüştür. Daha sonra tasarımı yapılan tek bandlı yükseltici devreleri birleştirilerek çift bandlı yükseltici yapısı elde edilmiştir. Bu yapıya ait teorik ve simülasyon sonuçları karşılaştırıldığında sonuçların büyük ölçüde uyumlu olduğu görülmüştür. Tasarlanan ve imal edilen tüm yapılarda taban malzeme olarak bağli dielektrik geçirgenliği 10.2, kalınlığı 1.27mm ve kayıp tanjantı ($\tan\delta$) 0.0023 olan RT/Duroid kullanılmaktadır. Giriş çıkış portları 50Ω ' dur. Tasarlanan çift bandlı yükselticinin resmi Şekil 5.1'de verilmiştir.

Tasarlanan yükselticinin az hacim kaplaması ve düşük maliyete sahip olması önemli avantajlarındandır. Daha sonraki çalışmalarda yükseltme işleminin daha az kayıplı olarak yapılabilmesi için devrenin giriş ve çıkışında anahtarlama işlemi uygulanabilir.

6. KAYNAKLAR

Adabi, E., Heydari, B., Bohsali, M. and Niknejad, A. M., “30 GHz CMOS Low Noise Amplifier”, *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 625-628,(2007).

Afshar, B. and Niknejad, A. M., “X/KuBand CMOS LNA Design Techniques”, *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 389-392, (2006).

Balemarthy, D. and Paily, R., “ProcessVariationsandNoise Analysis on a Miller Capacitance tuned 1.8_2.4GHz Dual-Band Low Noise Amplifier”, *Advances in Computing, Control, &Telecommunication Technologies*, pp. 414-418 , (2009).

Challal, M., Azrar, A., Bentarzi H. and Janvier, D. V., “Microstrip design of low noise amplifier for application in narrowband and wideband”, *2nd International Conference on Signals, Circuits and Systems(SCS)*, pp. 1-4, (2008).

Dao, V. K., Choi, B. G. and Park, C. S., “A dual-band CMOS RF front-end for 2.4/5.2 GHz applications”, *IEEE Radio Wireless Symp.*, pp. 145-148, (2007).

Datta, S., Datta, K., Dutta, A. and Bhattacharyya, T. K., “A concurrent low-area dual band 0.9/2.4 GHz LNA in 0.13 μ m RF CMOS technology for multi-band wireless receiver”, *IEEE Asia Pacific Conference on Circuits and Systems*, pp. 280-283, (2010).

Hashemi, H. and Hajimiri, A., “Concurrent Multi-Band Low- Noise Amplifiers Theory, Design and Applications”, *IEEE Trans. on Microwave Theory and Techniques*, Vol. 50, No. 1, pp. 288-301, (2002).

Hove, C. and Faaborg, J., “0.35 μ m CMOS T/R Switch for 2.4 GHz Short Range Wireless Applications”, *Analog Integrated Circuits and Signal Processing*, vol. 38,pp. 35-42, (2004).

Kargaran, E. and Kargaran, H., “A Low Power Ultra-Wideband CMOS LNA With Inter StageTechnique”, *IEEE 19th European Conference on Circuit Theory and Design (ECCTD'09)*, pp. 878-881, (2009).

Kargaran, E. and Madadi, B., “Design of a novel dual-band concurrent CMOS LNA with current reuse topology”, *International Conference on Networking and Information Technology*, pp. 386-388, (2010).

Martins, M. A., Fernandes, J. R. and Silva, M. M., “Techniques for Dual-Band LNA Design using Cascode Switching and Inductor Magnetic Coupling”, *IEEE International Symposium on Circuits and Systems*, pp. 1449-1452, (2007).

Martins, M. A., Fernandes J. R. and Silva, M. M., “Multi- Band Combined LNA and Mixer”, *IEEE International Symposium on Circuits and Systems*, pp. 920-923, (2008).

Nozahi, M., Sinencio, E. and Entesari, K., “A CMOS Low-Noise Amplifier With Reconfigurable Input Matching Network”, *IEEE Transactions On Microwave Theory and Techniques*, Vol. 57, No. 5, pp. 1054-1062, (2009).

Pan, W., Long, B. and Ye, J., “Study and Design of the Dual-Band Low Noise Amplifier”, *International Conference on Material and Manufacturing Technology*, pp. 1-4, (2007).

Pozar, D. M., *Microwave Engineering*, United States of America: John Willey and Sons, 558-585, (2012).

Sanduleanu, M., Zhang, G. and Long, J. R., “31-34GHz Low Noise Amplifier with On-chip microstrip Lines and Inter stage Matching in 90- nm Baseline CMOS ”, *Proceedings of RFIC*, pp. 143-146, (2006).

Wang, Y., Huang, F. and Li, T., “Analysis and design of a fully integrated IMT-Advanced/UWB dual-band LNA”, *2010 International Symposium on Signals, Systems and Electronics*, pp. 1-4, (2010).

Wu, J., Jiang, P., Chen, D. and Zhou, J., “A dual-band LNA with active balun for GNSS receivers”, *IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, pp. 665-667, (2010).

Yoo, S. S. and Yoo, H. J., “A Compact Dualband LNA Using Self-matched Capacitor”, *IEEE International Workshop on Radio-Frequency Integration Technology*, pp. 227-230, (2007).

EKLER

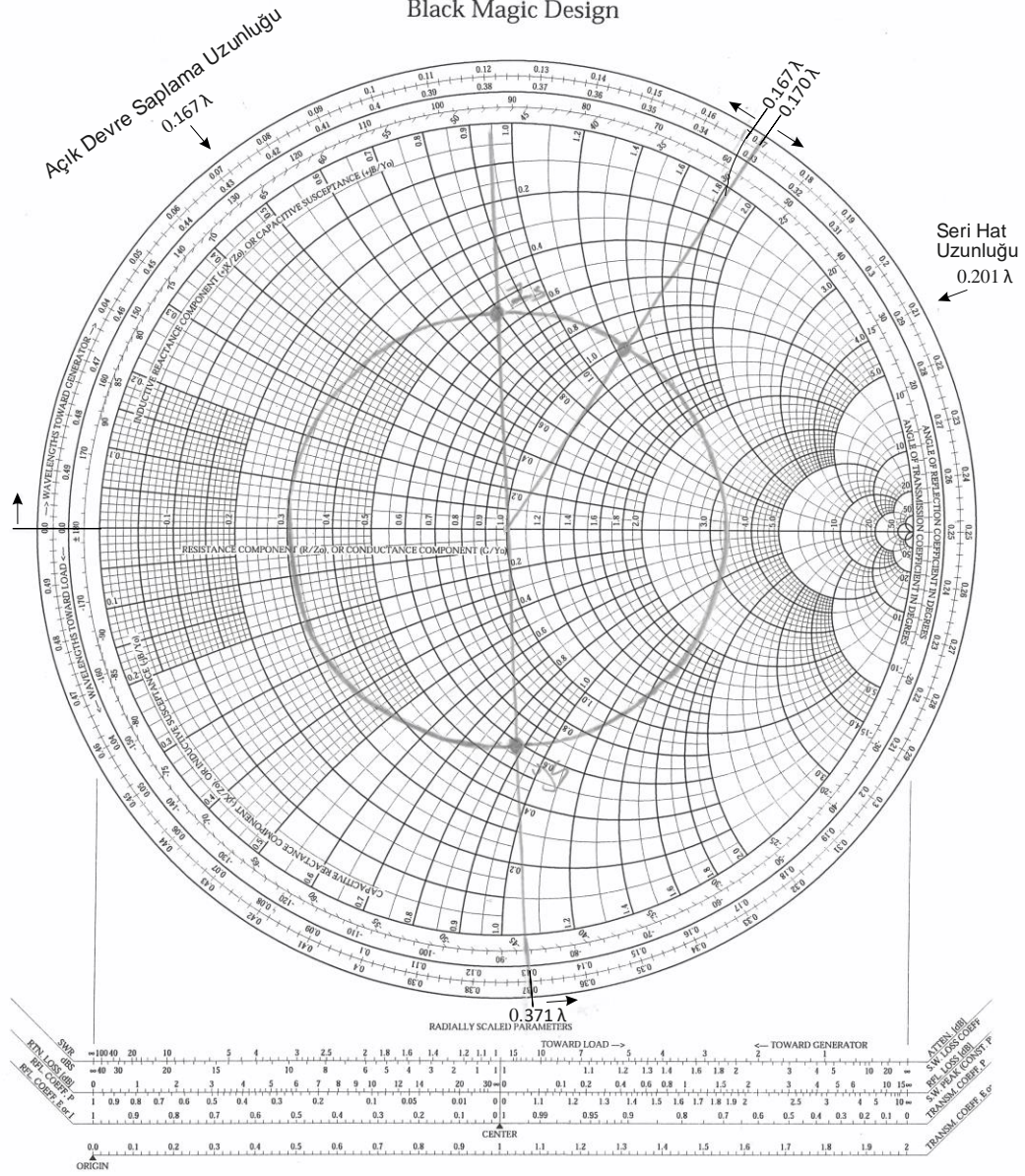
7. EKLER

EK A

UHF Bandı - Giriş Uygunlama Devresi

The Complete Smith Chart

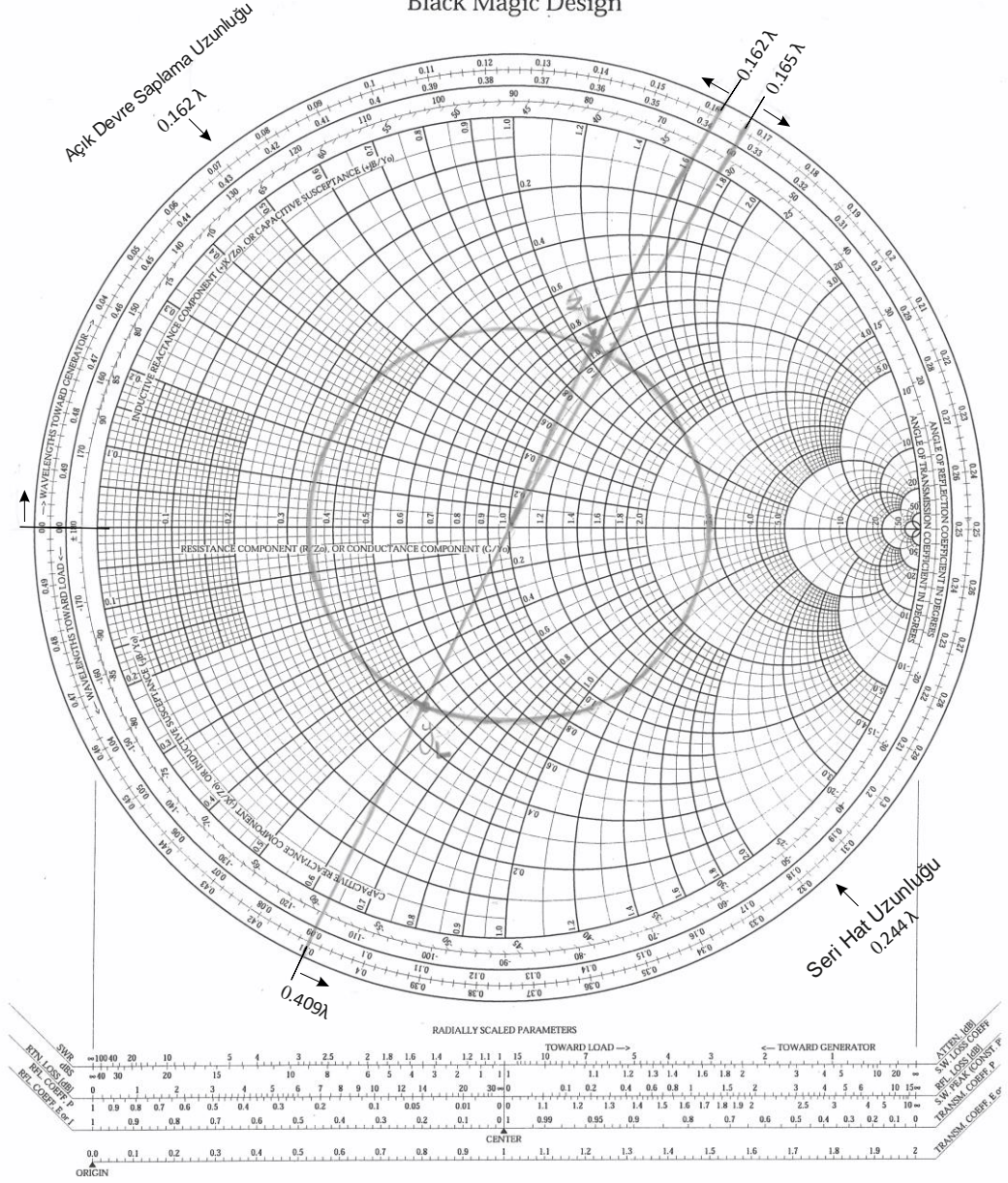
Black Magic Design



UHF Bandı - Çıkış Uygunlama Devresi

The Complete Smith Chart

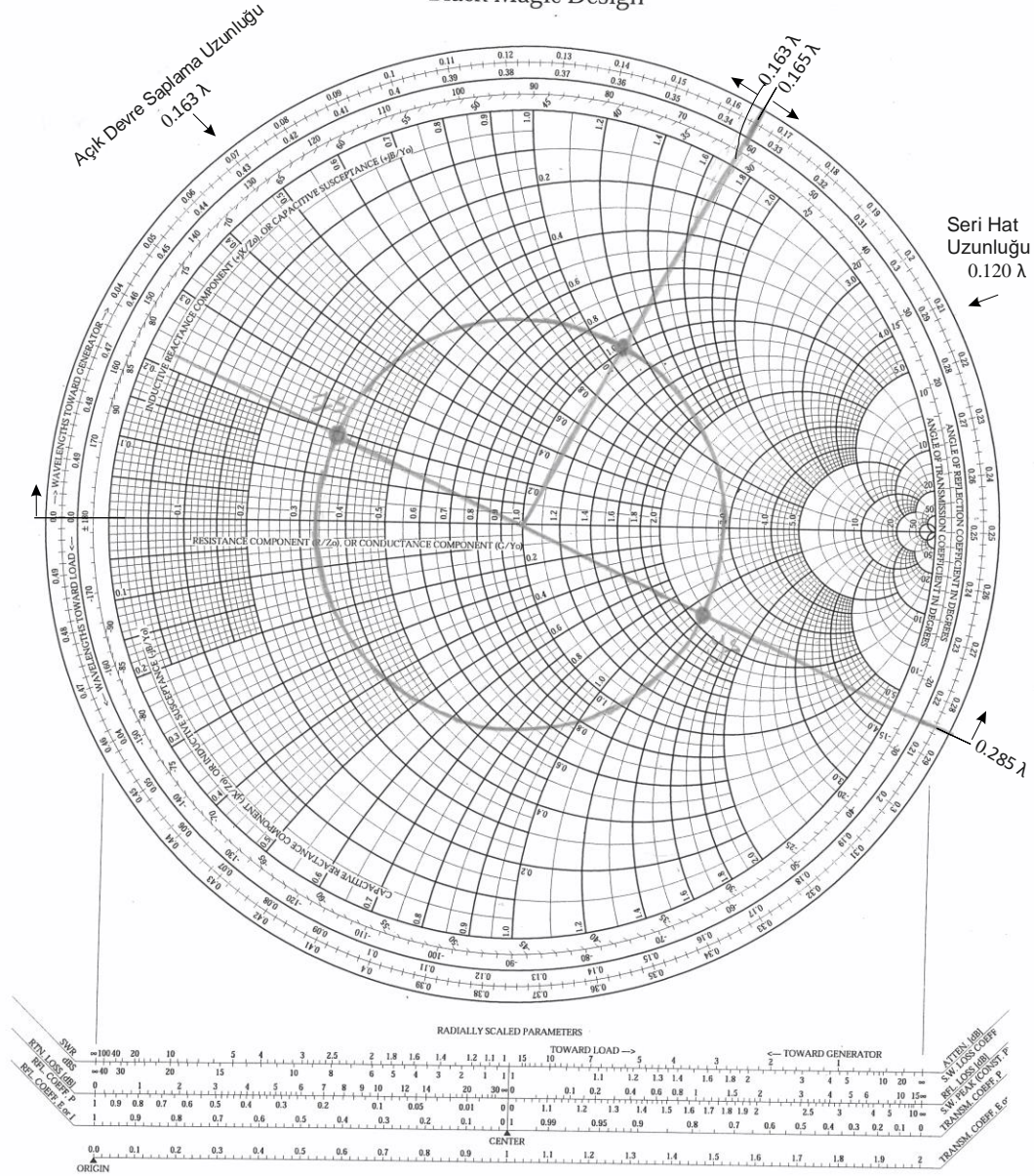
Black Magic Design



S Bandı - Giriş Uygunlama Devresi

The Complete Smith Chart

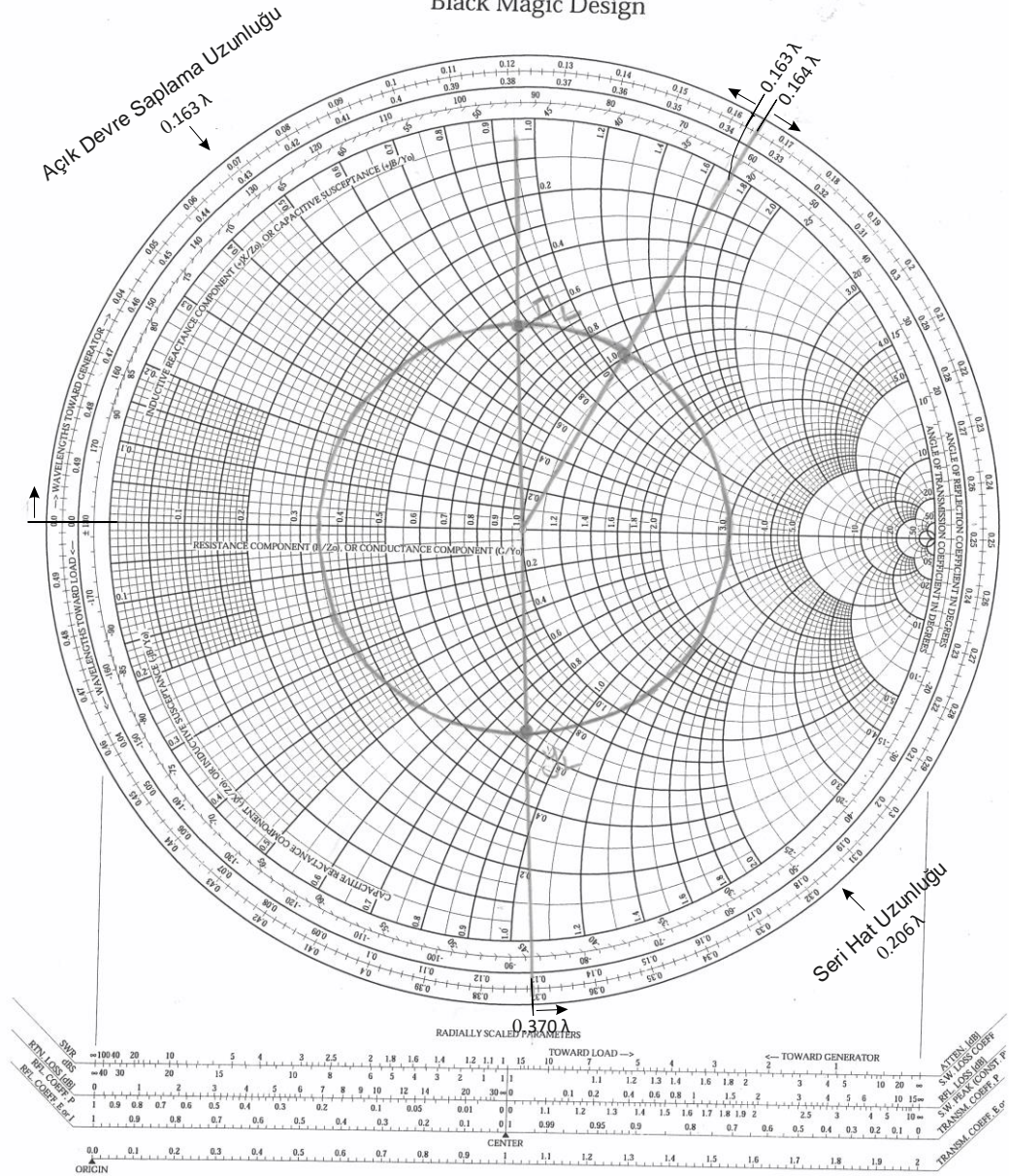
Black Magic Design



S Bandı - Giriş Uygunlama Devresi

The Complete Smith Chart

Black Magic Design



8. ÖZGEÇMİŞ

Adı Soyadı : Barış UYSAL
Doğum Yeri ve Tarihi : DENİZLİ / 23.08.1990
Lisans Üniversite : Pamukkale Üniversitesi, Elk. Elektronik Müh.
Elektronik posta : buysal091@posta.pau.edu.tr
İletişim Adresi : Kuşpınar Mah. No:22 PAMUKKALE/DENİZLİ