

**T.C.
PAMUKKALE ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**

**DDCC TABANLI ANALOG DEVRELERİN
TASARIMI VE BENZETİMİ**

DOKTORA TEZİ

AHMET ABACI

DENİZLİ, AĞUSTOS - 2020

T.C.
PAMUKKALE ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI



DDCC TABANLI ANALOG DEVRELERİN
TASARIMI VE BENZETİMİ

DOKTORA TEZİ

AHMET ABACI

DENİZLİ, AĞUSTOS - 2020

Bu tezin tasarımı, hazırlanması, yürütülmesi, arařtırmalarının yapılması ve bulgularının analizlerinde bilimsel etięe ve akademik kurallara özenle riayet edildiđini; bu alıřmanın dođrudan birincil ürünü olmayan bulguların, verilerin ve materyallerin bilimsel etięe uygun olarak kaynak gösterildiđini ve alıntı yapılan alıřmalara atfedildiđini beyan ederim.



Ahmet ABACI

ÖZET

DDCC TABANLI ANALOG DEVRELERİN TASARIMI VE BENZETİMİ
DOKTORA TEZİ
AHMET ABACI
PAMUKKALE ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

(TEZ DANIŞMANI: PROF. DR. ERKAN YÜCE)

DENİZLİ, AĞUSTOS - 2020

Bu tezde, diferansiyel fark akım taşıyıcı (DDCC) tabanlı iki yeni topraklanmış immitans fonksiyon simülatörü (IFS) devresi, sadece bir DDCC ve sadece topraklanmış pasif elemanlar kullanılarak tasarlanmıştır. Buna ek olarak, iki yeni yüzen IFS devresi, topraklanmış IFS tasarımlarından elde edilmiştir. Uygulama örneği olarak, akım modlu (CM), gerilim modlu (VM) bant geçiren (BP) süzgeç devreleri ve kuadratör osilatör (QO) devresi, topraklanmış IFS devresinden türetilmiştir. Ayrıca, VM BP süzgeç devresi için deney yapılmıştır.

DDCC tabanlı yeni bir topraklanmış endüktans simülatörü (SGI) tasarımı yapılmıştır. İkinci dereceden CM alçak geçiren (LP), yüksek geçiren (HP) ve BP süzgeç cevapları tasarlanan SGI devresinden elde edilmiştir.

Eksi tipli DDCC (DDCC-) tabanlı seri kayıplı, paralel kayıplı ve negatif kayıpsız yüzen endüktans simülatörü (SFI) devreleri tasarlanmıştır. Her bir SFI tasarımı, minimum sayıda pasif elemandan oluşmaktadır. SFI tasarımından türetilen ikinci dereceden CM ve VM LP süzgeç devreleri, dördüncü dereceden CM Butterworth LP, ikinci dereceden CM HP süzgeç ve RLC rezonatör devreleri uygulama olarak verilmiştir.

DDCC tabanlı iki yeni birinci dereceden tüm geçiren (AP) süzgeç devresi tasarlanmıştır. Tasarlanan her bir AP süzgeç devresi yüksek giriş empedansına ve bir ucu topraklı kondansatöre/ kondansatörlere sahiptir. Tasarlanan AP süzgeçlerinden türetilen iki QO devresi uygulama örnekleri olarak verilmiştir.

Tezdeki bütün benzetimler, SPICE programı aracılığıyla 0.13 μm IBM ve 0.18 μm TSMC CMOS teknoloji parametreleri kullanılarak gerçekleştirilmiştir. Ayrıca, devrelerin performansını göstermek için bazı deneysel çalışmalara da yer verilmiştir.

ANAHTAR KELİMELER: DDCC, analog devreler, süzgeçler, kuadratör osilatörler, immitans fonksiyon simülatörleri, endüktans simülatörleri.

ABSTRACT

DESIGN AND SIMULATION OF DDCC BASED ANALOG CIRCUITS

PH. D. THESIS

AHMET ABACI

PAMUKKALE UNIVERSITY INSTITUTE OF SCIENCE

ELECTRICAL AND ELECTRONICS ENGINEERING

(SUPERVISOR: PROF. DR. ERKAN YÜCE)

DENİZLİ, AUGUST 2020

In this thesis, two novel grounded immittance function simulators (IFSs) employing only grounded passive elements and one differential difference current conveyor (DDCC) are developed. Moreover, two new floating IFSs are obtained from the grounded ones. A current-mode (CM), a voltage-mode (VM) band-pass (BP) filters and a quadrature oscillator (QO) are derived from the grounded IFS. Besides, the VM filter experiment is performed.

A new simulated grounded inductor (SGI) circuit including a single DDCC is proposed. Second-order CM low-pass (LP), high-pass (HP) and BP filters are derived from the proposed SGI circuit.

Three new simulated floating inductor (SFI) circuits containing a single minus-type DDCC (DDCC-) are proposed. These SFIs are series lossy, parallel lossy and negative lossless ones. Each of the proposed SFIs is composed of a minimum number of passive elements. Second-order CM and VM LP filters, a fourth-order CM Butterworth LP, a second-order CM HP filters and an RLC resonant circuit are derived from the proposed SFIs.

Two new DDCC based first-order all-pass filters (AP) are proposed. Each of the proposed AP filters has the feature of high input impedance and grounded capacitor(s). As application examples, two QO circuits derived from the proposed AP filters are given.

All the simulations are achieved via SPICE program by using 0.13 μm IBM and 0.18 μm TSMC CMOS technology parameters. Some experimental results are given in order to show the performances.

KEYWORDS: DDCC, analog circuits, filters, quadrature oscillators, immittance function simulators, inductor simulators.

İÇİNDEKİLER

Sayfa

ÖZET.....	i
ABSTRACT	ii
İÇİNDEKİLER	iii
ŞEKİL LİSTESİ	v
TABLO LİSTESİ	ix
SEMBOL LİSTESİ	x
KISALTMALAR	xi
ÖNSÖZ.....	xii
1. GİRİŞ.....	1
1.1 İmmitans Fonksiyon Simülatörü	3
1.2 Endüktans Simülatörleri	6
1.3 Kuadratör Osilatörler	9
1.4 Birinci Dereceden Tüm Geçiren Süzgeçler	11
2. DİFERANSİYEL FARK AKIM TAŞIYICI.....	14
3. DDCC TABANLI İMMİTANS FONKSİYON SİMÜLATÖRÜ	
TASARIMI VE BENZETİMİ	20
3.1 Giriş	20
3.2 İmmitans Fonksiyon Simülatörü Tasarımı	20
3.3 Uygulama Örnekleri	24
3.4 Benzetim Sonuçları	27
3.4.1 Akım-Modlu Süzgeç	28
3.4.2 Gerilim-Modlu Bant Geçiren Süzgeç	32
3.4.3 Kuadratör Osilatör Uygulaması	35
3.5 Deneysel Test Sonucu	36
3.6 Bölüm Sonu Değerlendirmesi	38
4. DDCC TABANLI TOPRAKLANMIŞ ENDÜKTANS	
SİMÜLATÖRÜ TASARIMI VE BENZETİMİ	39
4.1 Giriş	39
4.2 Topraklanmış Endüktans Simülatörü Tasarımı	39
4.3 Topraklanmış Endüktans Tasarımı Uygulama Örnekleri.....	40
4.4 Benzetim Sonuçları	41
4.5 Bölüm Sonu Değerlendirmesi	46
5. DDCC- TABANLI YÜZEN ENDÜKTANS SİMÜLATÖRÜ	
TASARIMI VE BENZETİMİ	47
5.1 Giriş	47
5.2 Yüzen Endüktans Tasarımı	47
5.3 Uygulama Örnekleri	52
5.4 Parazit Empedans Etkisi	55
5.5 Benzetim Sonuçları	56
5.6 Deneysel Sonuçlar	65
5.7 Bölüm Sonu Değerlendirmesi	68
6. DDCC TABANLI BİRİNCİ DERECEDEDEN TÜM GEÇİREN	
SÜZGEÇ TASARIMI VE BENZETİMİ	70
6.1 Giriş	70
6.2 Birinci Dereceden Evirmeyen Tüm Geçiren Süzgeç Tasarımı	70

6.3	Birinci Dereceden Eviren Tüm Geçiren Süzgeç Tasarımı	72
6.4	Uygulama Örnekleri	73
6.5	Benzetim Sonuçları	76
6.5.1	Birinci Dereceden Evirmeyen Tüm Geçiren Süzgeç Tasarımının Benzetim Sonuçları	77
6.5.2	Birinci Dereceden Eviren Tüm Geçiren Süzgeç Tasarımının Benzetim Sonuçları	80
6.5.3	Kuadratör Osilatör Uygulama Örneklerinin Benzetim Sonuçları	83
6.6	Bölüm Sonu Değerlendirmesi	86
7.	SONUÇ VE ÖNERİLER	87
8.	KAYNAKLAR.....	94
9.	ÖZGEÇMİŞ.....	111

ŞEKİL LİSTESİ

Sayfa

Şekil 2.1: Yedi terminalli DDCC'nin elektriksel gösterimi.....	14
Şekil 2.2: Yedi terminalli DDCC bloğunun içyapısı (Chiu ve diğ. 1996).....	15
Şekil 2.3: DDCC'nin X , Z_1+ , Z_2+ , Z_- , Y_1 , Y_2 ve Y_3 terminallerine ait parazit empedansları.....	16
Şekil 2.4: Altı terminalli DDCC bloğunun elektriksel gösterimi.....	17
Şekil 2.5: Chiu ve diğ. (1996)'dan türetilen altı terminalli DDCC bloğunun içyapısı	17
Şekil 2.6: DDCC'nin X , Z_+ , Z_- , Y_1 , Y_2 ve Y_3 terminallerine ait parazit empedansları	18
Şekil 2.7: Beş terminalli DDCC-'nin elektriksel gösterimi	18
Şekil 2.8: Chiu ve diğ. (1996)'dan türetilen beş terminalli DDCC- bloğunun içyapısı.....	19
Şekil 2.9: DDCC-'nin X , Z_- , Y_1 , Y_2 ve Y_3 terminallerine ait parazit empedansları.....	19
Şekil 3.1: Topraklanmış immitans fonksiyon simülatörü tasarımı 1.....	21
Şekil 3.2: Topraklanmış immitans fonksiyon simülatörü tasarımı 2.....	21
Şekil 3.3: Yüzen immitans fonksiyon simülatörü tasarımı 1.....	22
Şekil 3.4: Yüzen immitans fonksiyon simülatörü tasarımı 2.....	23
Şekil 3.5: İkinci dereceden CM süzgeç tasarımı.....	24
Şekil 3.6: İkinci dereceden VM BP süzgeç tasarımı.....	26
Şekil 3.7: Kuadratör osilatör örneği.....	27
Şekil 3.8: CM süzgecin ideal ve ideal olmayan LP ve HP kazanç cevabı.....	29
Şekil 3.9: CM süzgecin ideal ve ideal olmayan BP kazanç cevabı.....	29
Şekil 3.10: CM süzgecin BP cevabı için bütün pasif elemanlarının değerinin %5 değiştirilmesiyle elde edilen 100 adımlı Monte Carlo analizi....	30
Şekil 3.11: CM BP süzgecin DC simetrik güç kaynağı değerlerinin değiştirilmesiyle elde edilen kazanç cevabı.....	30
Şekil 3.12: CM süzgecin sıcaklığının -50°C 'ten 100°C 'e değiştirilmesiyle elde edilen BP kazanç cevabı.....	30
Şekil 3.13: CM BP süzgecin girişine $50 \mu\text{A}$ tepe genliğinde, rezonans frekansında uygulanan sinüzoidal işaretin cevabı.....	31
Şekil 3.14: CM BP süzgecin FFT cevabı.....	31
Şekil 3.15: CM BP süzgeç için giriş ve çıkış gürültüleri.....	31
Şekil 3.16: CM süzgecin BP cevabı için çıkışından alınan THD değişimleri....	32
Şekil 3.17: VM süzgecin ideal ve ideal olmayan BP kazanç cevabı.....	32
Şekil 3.18: VM süzgecin BP kazanç cevabı için bütün pasif elemanlarının değerinin %5 değiştirilmesiyle elde edilen 100 adımlı Monte Carlo analizi.....	33
Şekil 3.19: VM BP süzgecin DC simetrik güç kaynağı değerlerinin değiştirilmesiyle elde edilen kazanç cevabı.....	33
Şekil 3.20: VM süzgecin sıcaklığının -50°C 'ten 100°C 'e değiştirilmesiyle elde edilen BP kazanç cevabı.....	34
Şekil 3.21: VM BP süzgecin girişine 50 mV tepe genliğinde, rezonans frekansında uygulanan sinüzoidal işaretin cevabı.....	34
Şekil 3.22: VM BP süzgecin FFT cevabı.....	34

Şekil 3.23: VM BP süzgeç için giriş ve çıkış gürültüleri.....	35
Şekil 3.24: VM süzgecin BP cevabı için çıkışından alınan THD değişimleri.....	35
Şekil 3.25: Kuadratör osilatör devresinin zaman ortamı cevabı.....	36
Şekil 3.26: Kuadratör osilatör devresinin Lissajous eğrisi.....	36
Şekil 3.27: AD844 ve dirençler kullanılarak gerçekleştirilen DDCC.....	37
Şekil 3.28: VM BP süzgeç için ideal, ideal olmayan ve deneysel test sonuçları.....	37
Şekil 4.1: Topraklanmış endüktans simülatörü tasarımı.....	40
Şekil 4.2: İkinci dereceden CM süzgeç uygulaması.....	41
Şekil 4.3: DDCC bloğunun gerilim kazançları V_X/V_{Y1} , V_X/V_{Y2} ve V_X/V_{Y3} 'in frekansa bağlı değişimleri.....	42
Şekil 4.4: DDCC bloğunun akım kazançları I_Z/I_X , I_Z/I_X 'in frekansa bağlı değişimleri.....	42
Şekil 4.5: Topraklanmış endüktans simülatörü tasarımının ideal ve ideal olmayan faz ve genliği.....	43
Şekil 4.6: 10 μ A tepe genliğinde, 1.87 MHz frekansında uygulanan sinüzoidal giriş akımına karşılık çıkış gerilim cevabı.....	44
Şekil 4.7: CM süzgecin ideal ve ideal olmayan LP ve HP kazanç cevapları.....	44
Şekil 4.8: CM süzgecin ideal ve ideal olmayan BP kazanç cevapları.....	44
Şekil 4.9: CM BP süzgecin genliğinin kapasite değerlerinin %10 değiştirilmesi ile elde edilen 100 adımlı Monte Carlo analizi.....	45
Şekil 4.10: CM BP süzgecin DC simetrik güç kaynağı değerlerinin değiştirilmesiyle elde edilen kazanç cevabı.....	45
Şekil 4.11: CM BP süzgecin sıcaklığının -50°C'ten 100°C'e değiştirilmesiyle elde edilen kazanç cevabı.....	45
Şekil 4.12: CM BP süzgeç için giriş ve çıkış gürültüleri.....	46
Şekil 4.13: CM BP süzgecin çıkışından alınan THD değişimleri.....	46
Şekil 5.1: Seri kayıplı yüzen endüktans simülatörü devresi tasarımı.....	48
Şekil 5.2: Paralel kayıplı yüzen endüktans simülatörü devresi tasarımı.....	48
Şekil 5.3: Negatif kayıpsız yüzen endüktans simülatörü devresi tasarımı.....	48
Şekil 5.4: Seri kayıplı yüzen endüktansın elektriksel sembolü.....	50
Şekil 5.5: Paralel kayıplı yüzen endüktansın elektriksel sembolü.....	50
Şekil 5.6: Negatif kayıpsız yüzen endüktansın elektriksel sembolü.....	50
Şekil 5.7: Seri kayıplı SFI devresinden türetilen akım modlu alçak geçiren süzgeç devresi.....	52
Şekil 5.8: Seri kayıplı SFI devresinden türetilen gerilim modlu alçak geçiren süzgeç devresi.....	53
Şekil 5.9: Dördüncü dereceden akım modlu Butterworth alçak geçiren süzgeç devresi.....	53
Şekil 5.10: Paralel kayıplı SFI devresinden türetilen akım modlu yüksek geçiren süzgeç devresi.....	54
Şekil 5.11: Paralel kayıplı SFI devresinden türetilen RLC rezonatör devresi.....	54
Şekil 5.12: Negatif kayıpsız SFI devresi tasarım uygulaması.....	55
Şekil 5.13: DDCC- bloğunun gerilim kazançları V_X/V_{Y1} , V_X/V_{Y2} ve V_X/V_{Y3} 'in frekansa bağlı değişimi.....	57
Şekil 5.14: DDCC- bloğunun akım kazancı I_Z/I_X 'in frekansa bağlı değişimi.....	57
Şekil 5.15: Tasarlanan seri kayıplı SFI devresinin AC analizi.....	58
Şekil 5.16: Tasarlanan seri kayıplı SFI devresinin zaman ortamı analizi.....	59
Şekil 5.17: Tasarımı yapılan seri kayıplı SFI devresi için 100 adımlı AC Monte Carlo analizi.....	59

Şekil 5.18: Tasarlanan seri kayıplı SFI devresi için besleme gerilimlerinin değişimiyle elde edilen AC analizi.....	59
Şekil 5.19: Tasarlanan seri kayıplı SFI devresi için sıcaklık değişimleriyle elde edilen AC analizi.....	60
Şekil 5.20: Tasarlanan paralel kayıplı SFI devresi için AC analizi.....	60
Şekil 5.21: Tasarlanan paralel kayıplı SFI devresi için zaman ortamı analizi.....	60
Şekil 5.22: Tasarlanan paralel kayıplı SFI devresi için 100 adımlı AC Monte Carlo analizi.....	61
Şekil 5.23: Tasarlanan paralel kayıplı SFI devresi için simetrik besleme gerilimlerinin değişimiyle elde edilen AC analizi.....	61
Şekil 5.24: Tasarlanan paralel kayıplı SFI devresi için sıcaklık değişimleriyle elde edilen AC analizi.....	61
Şekil 5.25: Tasarımı yapılan negatif kayıpsız SFI devresi için AC analizi.....	62
Şekil 5.26: Tasarımı yapılan negatif kayıpsız SFI devresi için zaman ortamı analizi.....	62
Şekil 5.27: Tasarlanan negatif kayıpsız SFI devresinin 100 adımlı AC Monte Carlo analizi.....	62
Şekil 5.28: Tasarlanan negatif SFI devresi için simetrik besleme gerilimlerinin değişimleriyle elde edilen AC analizi.....	63
Şekil 5.29: Tasarlanan negatif kayıpsız SFI devresi için sıcaklık değişimleriyle elde edilen AC analizi.....	63
Şekil 5.30: CM ve VM LP süzgeç devrelerinin kazanç cevapları.....	64
Şekil 5.31: Dördüncü dereceden CM Butterworth LP süzgeç devresinin kazanç cevapları.....	64
Şekil 5.32: CM HP süzgeç devresinin kazanç cevabı.....	64
Şekil 5.33: RLC rezonatör devresinin empedansının genliği.....	65
Şekil 5.34: Beş AD844 ve üç özdeş direnç ile gerçekleştirilen DDCC-.....	66
Şekil 5.35: Tasarlanan seri ve paralel kayıplı SFI devreleri için deney düzeneği.....	67
Şekil 5.36: Tasarlanan paralel kayıplı SFI devresi, iki AD844, iki direnç ve bir kapasitör ile gerçekleştirilen HP süzgeç devresi.....	67
Şekil 5.37: Tasarlanan seri kayıplı SFI devresinin giriş ve çıkış işaretleri.....	67
Şekil 5.38: Tasarlanan paralel kayıplı SFI devresinin giriş ve çıkış işaretleri.....	68
Şekil 5.39: HP süzgecin ideal, benzetim ve deneysel test sonuçları.....	68
Şekil 6.1: Birinci dereceden evirmeyen tüm geçiren süzgeç tasarımı.....	71
Şekil 6.2: Birinci dereceden eviren tüm geçiren süzgeç tasarımı.....	73
Şekil 6.3: Birinci dereceden evirmeyen tüm geçiren süzgeç tasarımından türetilmiş kuadratör osilatör uygulaması.....	74
Şekil 6.4: Birinci dereceden eviren tüm geçiren süzgeç tasarımından türetilmiş kuadratör osilatör uygulaması.....	75
Şekil 6.5: DDCC- bloğunun gerilim kazançları V_X/V_{Y1} , V_X/V_{Y2} ve V_X/V_{Y3} 'in frekansa bağlı değişimleri	76
Şekil 6.6: DDCC- bloğunun akım kazancı I_Z/I_X 'in frekansa bağlı değişimleri... ..	77
Şekil 6.7: Birinci dereceden evirmeyen AP süzgeç devresinin ideal ve benzetim, faz ve kazanç cevabı.....	78
Şekil 6.8: Birinci dereceden evirmeyen AP süzgecin girişine 100 mV tepe genliğinde, 4.97 MHz frekansında uygulanan sinüzoidal giriş gerilimine karşı cevabı.....	78
Şekil 6.9: Evirmeyen AP süzgecin FFT cevabı.....	78
Şekil 6.10: Evirmeyen AP süzgecin 100 adımlı AC Monte Carlo analizi.....	79

Şekil 6.11: Evirmeyen AP süzgecin AC Monte Carlo analizinde, faz cevabının 4.97 MHz kutup frekansında oluşan faz açılarının yüzdelik dağılımı.....	79
Şekil 6.12: Evirmeyen AP süzgeç için giriş ve çıkış gürültüleri.....	79
Şekil 6.13: Evirmeyen AP süzgeç için 4.97 MHz frekansında uygulanan sinüzoidal giriş gerilimine karşılık, çıkışından alınan THD değişimleri.....	80
Şekil 6.14: Birinci dereceden eviren AP süzgeç devresinin ideal ve benzetim, kazanç ve faz cevabı.....	81
Şekil 6.15: Eviren AP süzgecin girişine 100 mV tepe genliğinde, 4.97 MHz frekansında uygulanan sinüzoidal giriş gerilimine karşı cevabı.....	81
Şekil 6.16: Eviren AP süzgecin FFT cevabı.....	81
Şekil 6.17: Eviren AP süzgecin 100 adımlı AC Monte Carlo analizi.....	82
Şekil 6.18: Eviren AP süzgecin AC Monte Carlo analizinde, faz cevabının 4.97 MHz kutup frekansında oluşan faz açılarının yüzdelik dağılımı.....	82
Şekil 6.19: Eviren AP süzgeç için giriş ve çıkış gürültüleri	82
Şekil 6.20: Eviren AP süzgeç için 4.97 MHz frekansında uygulanan sinüzoidal giriş gerilimine karşılık, çıkışından alınan THD değişimleri.....	83
Şekil 6.21: Birinci dereceden evirmeyen tüm geçiren süzgeç tasarımından türetilmiş QO devresinin zaman ortamı cevabı.....	83
Şekil 6.22: Birinci dereceden evirmeyen tüm geçiren süzgeç tasarımından türetilmiş QO devresinin Lissajous eğrisi.....	84
Şekil 6.23: Birinci dereceden evirmeyen tüm geçiren süzgeç tasarımından türetilmiş QO devresinin FFT cevabı.....	84
Şekil 6.24: Birinci dereceden eviren tüm geçiren süzgeç tasarımından türetilmiş QO devresinin zaman ortamı cevabı.....	85
Şekil 6.25: Birinci dereceden eviren tüm geçiren süzgeç tasarımından türetilmiş QO devresinin Lissajous eğrisi	85
Şekil 6.26: Birinci dereceden eviren tüm geçiren süzgeç tasarımından türetilmiş QO devresinin FFT cevabı.....	85

TABLO LİSTESİ

Sayfa

Tablo 1.1: DDCC/ DVCC tabanlı kuadratör osilatör tasarımları karşılaştırması.....	11
Tablo 3.1: Şekil 2.2’de gösterilen yedi terminalli DDCC’nin MOS transistor boyutları.....	28
Tablo 4.1: Şekil 2.5’te gösterilen altı terminalli DDCC bloğunun MOS transistor boyutları.....	42
Tablo 5.1: Şekil 2.8’de gösterilen DDCC-’nin MOS transistor boyutları.....	56
Tablo 6.1: Şekil 2.8’de gösterilen DDCC- bloğunun MOS transistor boyutları.....	76
Tablo 7.1: Tasarlanan immitans fonksiyon simülatörünün daha önce literatürde yayınlanmış çalışmalarıyla karşılaştırılması.....	88
Tablo 7.2: Kayıpsız topraklanmış endüktans simülatörü tasarımları karşılaştırması.....	89
Tablo 7.3: Yüzen endüktans simülatörü tasarımları karşılaştırması.....	90
Tablo 7.4: DDCC/ DVCC tabanlı tüm geçiren süzgeç tasarımları karşılaştırması.....	92

SEMBOL LİSTESİ

A	: Amper
α	: Akım kazancı
β	: Gerilim kazancı
C	: Kapasitör
dB	: Desibel
ε	: İzleme hatası
F	: Farad
f	: Frekans
f_0	: Rezonans frekans
f_0	: Osilasyon frekansı
Hz	: Hertz
I	: Akım
IC	: Tümüleşik devre
L	: Bobin
L	: Kanal uzunluğu
η	: Akım kazancı
OC	: Osilasyon durumu
Q	: Kalite faktörü
R	: Direnç
s	: Saniye
V	: Volt
W	: Watt
Ω	: Ohm
γ	: Akım kazancı
ω_0	: Açısal rezonans frekansı
ω_0	: Açısal kutup frekansı

KISALTMALAR

AP	: Tüm geçiren
BP	: Bant geçiren
CA	: Akım yükselteç
CCI	: Birinci nesil akım taşıyıcı
CCII	: İkinci nesil akım taşıyıcı
CCIII	: Üçüncü nesil akım taşıyıcı
CCCCTA	: Akım kontrollü akım taşıyıcı geçişiletken yükselteç
CDBA	: Akım fark alıcı tamponlanmış yükselteç
CDCC	: Akım fark alıcı akım taşıyıcı
CDTA	: Akım fark alıcı geçişiletken yükselteç
CFTA	: Akım takipçi geçişiletken yükselteç
CFOA	: Akım geri beslemeli işlemsel yükselteç
CM	: Akım modlu
CMOS	: Tümleşik metal oksit yarıiletken
DCCII	: İkinci nesil diferansiyel akım taşıyıcı
DDA	: Diferansiyel fark kuvvetlendirici
DDCC	: Diferansiyel fark akım taşıyıcı
DVCC	: Diferansiyel gerilim akım taşıyıcı
DXCCII	: Dual-X ikinci nesil akım taşıyıcı
FDCCII	: Tam diferansiyel ikinci nesil akım taşıyıcı
FTFN	: Dört terminalli yüzen nülör
GVCCIII	: Değişken kazançlı üçüncü nesil akım taşıyıcı
ICCI	: Eviren ikinci nesil akım taşıyıcı
ICFOA	: Eviren akım geribeslemeli işlemsel yükselteç
IFS	: İmmütans fonksiyon simülatörü
HP	: Yüksek geçiren
LP	: Alçak geçiren
MCFOA	: Değiştirilmiş akım geribeslemeli işlemsel yükselteç
MICCI-	: Negatif-tip değiştirilmiş eviren birinci nesil akım taşıyıcı
MICCI-	: Negatif-tip değiştirilmiş eviren ikinci nesil akım taşıyıcı
MOS	: Metal oksit yarıiletken
NCFOA	: Yeni akım geribeslemeli işlemsel yükselteç
NMOS	: N tipi metal oksit yarıiletken
OA	: İşlemsel kuvvetlendirici
OTRA	: İşlemsel geçişdirenç yükselteç
PFTFN	: Pozitif dört terminalli yüzen nülör
PMOS	: P tipi metal oksit yarıiletken
SGI	: Topraklanmış endüktans simülatörü
SFI	: Yüzen endüktans simülatörü
SI	: Endüktans simülatörü
TF	: Transfer fonksiyonu
THD	: Toplam harmonik bozulma
VDCC	: Gerilim diferansiyel akım taşıyıcı
VDTA	: Gerilim fark alıcı geçişiletken yükselteç
VDBA	: Gerilim fark alıcı tamponlanmış yükselteç
VM	: Gerilim modlu
ZC-CFCCC	: Z-kopyalı akım takipçi akım kontrollü taşıyıcı

ÖNSÖZ

Doktora ve tez çalışmam süresince yardımlarını, değerli bilgilerini ve zamanını esirgemeyen; deneyimleriyle çalışmama destek ve yol gösterici olan tez danışmanım Sayın Prof. Dr. Erkan YÜCE'ye, çalışmam boyunca incelemeleri ve önerileriyle teze olumlu katkıları olan Tez İzleme Komitesi üyeleri Sayın Dr. Öğr. Üyesi Serdar TEZ, Sayın Dr. Öğr. Üyesi Fırat YÜCEL'e; tez jürisi üyeleri Sayın Doç. Dr. Halil ALPASLAN ve Sayın Doç. Dr. Abdullah YEŞİL'e teşekkür ederim.

1. GİRİŞ

Akım modlu (CM) aktif yapı bloğu olan diferansiyel fark akım taşıyıcı (DDCC), diferansiyel fark alıcı yükseltecin (DDA) ve ikinci nesil akım taşıyıcının (CCII) özelliklerine sahiptir (Chiu ve diğ. 1996). DDCC yapı bloğu, işlemsel yükselteç (OA) gibi gerilim modlu (VM) diğer aktif cihazlarla karşılaştırıldığında; DDCC yapı bloğu aritmetik işlem yapabilme, geniş dinamik çalışma aralığı ve daha geniş bant aralığı, daha iyi doğrusalılık, düşük güç tüketimi, vb. avantajlara sahiptir (Ferri ve Guerrini 2003, Toumazou ve diğ. 1993, Wilson 1990).

Birinci nesil akım taşıyıcı (CCI), ilk defa Smith ve Sedra (1968) tarafından sunulmuş; CCII ise ilk kez Sedra ve Smith (1970) tarafından geliştirilmiştir. Akım taşıyıcılar, işlemsel kuvvetlendiricilere göre daha iyi bir aktif eleman olduğunu göstermesine rağmen; 1980'li yılların başına kadar, kavramsal bir aktif eleman olarak kalmıştır. Tümlşik devre (IC) teknolojilerindeki yeniliklerden sonra akım taşıyıcılar (CC), IC olarak kolaylıkla gerçekleştirilmiştir. Yükselteç, analog süzgeç, osilatör ve sinyal işleme devreleri gibi çok çeşitli uygulamalarda, CCII kullanan devreler literatürde sunulmuştur (Sedra ve diğ. 1990, Wilson 1990, Liu ve diğ. 1993, Bhaskar ve Senani 1993).

CCII, aktif süzgeç ve osilatör gibi yüksek performans gerektiren devre uygulamalarında yaygın olarak kullanılan çok yönlü bir yapı bloğudur. Ancak, sadece bir yüksek giriş terminali bulunması, fark sinyali işlemesi gerektiren uygulamalarda dezavantaja neden olmaktadır (Sackinger ve Guggenbuhl 1987).

DDA aktif yapı bloğu, ilk kez Sackinger ve Guggenbuhl (1987) tarafından tasarlanmıştır. İyapısında MOS transistörler kullanılarak tasarlanan DDA'nın aritmetik işlem yapabilme, yüksek giriş empedansına ve CCII'ya göre az sayıda birleşene sahip olma özellikleri bulunmaktadır. Bu avantajlarından dolayı yükselteç, gerilim karşılaştırıcı, frekans seçici devre, rezonatör, ikinci dereceden süzgeç, dijital analog dönüştürücü gibi birçok uygulaması bulunmaktadır (Sackinger ve Guggenbuhl 1987, Chong ve diğ. 1989, Huang ve diğ. 1993, Huang ve Ismail 1994).

İlk kez Chiu ve diğ. (1996) tarafından geliştirilen DDCC, CCII ve DDA'nın avantajlarını birleştiren yeni bir aktif yapı bloğu olarak önerilmiştir. DDCC devresinin giriş katı DDA, çıkış katı ise CCII devrelerine benzerdir. Chiu ve diğ. (1996) tarafından, süzgeç ve osilatör gibi frekans seçici devrelerinde kullanılan DDCC tabanlı integral alıcı devre ve çarpma, kare alıcı, karekök alıcı gibi lineer olmayan yapı blokları geliştirilmiştir; DDCC'nin uygulanabilmesi için IC teknikleri sunulmuştur.

Bununla birlikte, tek bir tasarımda DDCC tabanlı devreler, DDA'nın yüksek giriş, düşük çıkış empedansına sahip olma, aritmetik işlem yapabilme ve az sayıda eleman içermeye özelliklerini; CCII'nin ise yüksek kazanç, doğruluk ve bantgenişliği özelliklerini içermektedir.

Bu özelliklerinden dolayı performansı daha yüksek, daha az alan kaplayan, IC tasarımları yapmayı kolaylaştıracak ve literatüre katkıda bulunacak DDCC tabanlı yeni analog devrelerin tasarımına ve benzetimine ihtiyaç vardır.

Bu tezde, daha az sayıda eleman kullanılarak tasarlanmış, geniş dinamik çalışma aralığına, daha iyi doğrusalığa ve düşük toplam harmonik bozulmaya (THD) sahip DDCC tabanlı immitans fonksiyonu simülatörleri, topraklanmış ve yüzen endüktans simülatörleri, birinci dereceden tüm geçiren süzgeç ve kuadratör osilatör devre tasarımları önerilmiştir.

Tez içerisinde sunulan DDCC tabanlı analog devrelerin ideal ve ideal olmayan analizleri gerçekleştirilmiştir. Tasarlanan bütün devrelerin ve uygulama örneklerinin benzetimleri SPICE programı aracılığıyla gerçekleştirilmiştir. Tasarlanan devrelerin içyapısında 0.13 μm IBM ve 0.18 μm TSMC CMOS teknoloji parametreleri kullanılmış; frekans ve zaman ortamında benzetimleri yapılarak doğruluğu kanıtlanmıştır. Ayrıca, bu tezde tasarlanan devrelerin doğruluğunu gösterebilmek için bazı deneyler uygulanmış, tasarımların performansını göstermek için deneysel test sonuçlarına yer verilmiştir.

1.1 İmmitans Fonksiyon Simülatörü

Aktif devre tasarım uygulamaları olan analog süzgeç, osilatör, faz kaydırma ve empedans eşleme devrelerinde, fiziksel endüktörlere ihtiyaç duyulmasına rağmen; fiziksel endüktörlerin karakteristiği, birçok elektronik uygulamasında ideal eleman davranışından uzak olduğundan, pasif bileşen olarak kullanılması istenmemektedir.

Buna ek olarak, fiziksel endüktörlerin direnç ve kapasitör gibi diğer pasif birleşenlerle karşılaştırıldığında daha geniş alan kaplaması, elektronik olarak ayarlanamaması, düşük kalite faktörüne (Q) sahip olması, manyetik alan yayması gibi nedenlerden dolayı, IC teknolojisinde kullanımını sınırlamıştır (Thanachayanont ve Payne 2000, Piwowska ve Sidlarewicz 2006).

Dolayısıyla IC devre tasarımında fiziksel endüktörlerin yerine endüktans simülatörü devreleri tercih edilmektedir. İmmitans fonksiyonu kavramı, bir sistemin ya da devrenin empedansını ve admitansını birleştiren bir kavramdır (Bode 1945).

DDCC/DVCC/DDA tabanlı çeşitli immitans fonksiyon simülatörü (IFS) topolojileri ilgili literatürde sunulmuştur (Incekaraoglu ve Cam 2005, Yuce 2006^a, Hamad ve Ibrahim 2017, Yuce ve Minaei 2009^a, Elwan ve Soliman 1997, Yuce 2010, Horng 2010^a, Abacı ve Yuce 2017, Ibrahim ve diğ. 2012, Yuce 2009^a, Yuce ve diğ. 2015, Soliman 2010, Minaei ve diğ. 2015).

Incekaraoglu ve Cam (2005) devresinde X terminaline seri bağlı bir kapasitör mevcuttur. Bu durum yüksek frekanslarda devrenin performansını sınırlamaktadır (Yuce ve Minaei 2008^b). Incekaraoglu ve Cam (2005), Yuce (2006^a), Horng (2010^a), Abacı ve Yuce (2017), Ibrahim ve diğ. (2012), Yuce (2009^a), Yuce ve diğ. (2015), Minaei ve diğ. (2015) tarafından sunulan devrelerde IC teknolojilerinde dezavantaja sahip olan yüzen direnç bulunmaktadır.

Ayrıca, Hamad ve Ibrahim (2017), Yuce ve Minaei (2009^a), Elwan ve Soliman (1997), Yuce (2010), Horng (2010^a), Yuce ve diğ. (2015), Soliman (2010), Minaei ve diğ. (2015) tarafından sunulan devre tasarımlarında birden fazla DDCC/DVCC/DDA kullanılmıştır.

Soliman (2010) tasarımında, yüzen kapasitör içermektedir. Yüzen kapasitör elde etmek, IC üretiminde topraklanmış kapasitör kullanımına göre daha zor olduğundan dezavantaja neden olmaktadır (Bhushan ve Newcomb 1967).

Bunların dışında, akım geri beslemeli işlemsel yükselteç (CFOA) (Yuce ve Minaei 2008^a, Alpaslan ve Yuce 2015, Yuce ve Minaei 2009^b, Toker ve diğ. 1999, Fabre 1992, Liu ve Hwang 1994, Yuce 2009^b, Kacar ve Kuntman 2011, Abuelma'atti 2012, Yuce ve Minaei 2017), işlemsel yükselteç (OA) (Ford ve Girling 1966, Antoniou 1967, Prescott 1966, Maundy ve Gift 2011, Singh ve Senani 1998), birinci nesil akım taşıyıcı (CCI) (Arslan ve diğ. 2012, Arslan ve diğ. 2003), ikinci nesil akım taşıyıcı (CCII) (Cicekoglu 2010, Cicekoglu ve diğ. 2001, Sedra ve Smith 1970, Cicekoglu 1998, Yuce 2008, Fabre ve Alami 1995, Senani 1978, Soliman 1978^a, Soliman 1978^b, Nandi 1977, Nandi 1978), üçüncü nesil akım taşıyıcı (CCIII) (Wang ve Lee 2000, Kuntman ve diğ. 2000), birim kazanç hücreleri (UGC) (Alpaslan ve Yuce 2012, Alpaslan ve Yuce 2013, Keskin ve Toker 2004, Alpaslan ve Yuce 2016, Alzaher 2015), dört terminalli yüzen nülör (FTFT) (Cam ve diğ. 2000, Wang ve Lee 1998, Kumar ve Senani 2010), işlemsel geçişdirenc yükselteç (OTRA) (Cam ve diğ. 2003, Cam ve diğ. 2004, Kilinc ve diğ. 2006, Pandey ve diğ. 2014, Pandey ve diğ. 2011), akım fark alıcı tamponlanmış yükselteç (CDBA) (Gulsoy ve Cicekoglu 2005, Pathak ve diğ. 2016, Toker ve diğ. 2000), akım fark alıcı akım taşıyıcı (CDCC) (Kacar ve diğ. 2015), tam diferansiyel ikinci nesil akım taşıyıcı (FDCCII) (Kacar 2010), gerilim diferansiyel akım taşıyıcı (VDCC) (Kacar ve diğ. 2014, Metin ve diğ. 2017), dual-X ikinci nesil akım taşıyıcı (DXCCII) (Metin 2011, Kacar ve Yesil 2010, Yesil ve Kacar 2014, Kacar ve diğ. 2010, Myderrizi ve diğ. 2011), ikinci nesil diferansiyel akım taşıyıcı (DCCII) (Metin ve diğ. 2014, Metin 2012), Z-copy akım kontrollü akım dönüştüren geçişiletken yükselteç (ZC-CCCITA) (Herencsar ve diğ. 2012), akım fark alıcı geçişiletken yükselteç (CDTA) (Prasad ve diğ. 2010), gerilim fark alıcı geçişiletken yükselteç (VDTA) (Srivastava ve diğ. 2017), akım takipçi geçişiletken yükselteç (CFTA) (Herencsar ve diğ. 2010), akım yükselteci (CA) (Psychalinos ve Spnaidou 2006), gerilim fark alıcı tamponlanmış yükselteç (VDBA) (Yesil ve diğ. 2014), Z-copy akım takipçi akım kontrollü taşıyıcı (ZC-CFCCC) (Singh ve diğ. 2018) ve ticari olarak mevcut olan IC:LTI228 (Siripongdee ve Jaikla 2017) gibi çok çeşitli aktif cihazlar ile tasarlanmış birçok IFS devreleri ilgili literatürde sunulmuştur.

Ayrıca, bazı topraklanmış IFS devreleri henüz yeni önerilmiş aktif cihazlar kullanmaktadır (Yesil ve diğ. 2017, Yesil ve diğ. 2018). Bazı topraklanmış IFS devreleri, değiştirilmiş akım taşıyıcılar (Yuce ve diğ. 2005, Yuce ve diğ. 2006^a, Yuce 2007) ya da değiştirilmiş akım takipçisi kullanmaktadır (Alpaslan ve Yuce 2017).

Ford ve Girling (1966), Antoniou (1967), Prescott (1966), Maundy ve Gift (2011), Singh ve Senani (1998) tarafından sunulan topraklanmış IFS tasarımları, yetiştirme hızı (slew rate) sınırlamasına neden olan OA aktif elemanı içermektedir (Ferri ve Guerrini 2003, Toumazou ve diğ. 1990).

Singh ve Senani (1998), Kacar ve diğ. (2014), Metin ve diğ. (2017), Herencsar ve diğ. (2012), Prasad ve diğ. (2010), Srivastava ve diğ. (2017), Herencsar ve diğ. (2010), Yesil ve diğ. (2014), Siripongdee ve Jaikla (2017) topraklanmış IFS tasarımları, yüksek frekans performansını sınırlayan işlemsel geçişiletken yükselteci (OTA) içermektedir (Fabre ve diğ. 1996).

Yuce ve Minaei (2009^b), Toker ve diğ. (1999), Fabre (1992), Yuce ve Minaei (2017), Antoniou (1967), Maundy ve Gift (2011), Singh ve Senani (1998), Cicekoglu (1998), Cicekoglu ve diğ. (2001), Sedra ve Smith (1970), Cicekoglu (2010), Yuce (2008), Fabre ve Alami (1995), Nandi (1978), Alpaslan ve Yuce (2012), Alpaslan ve Yuce (2013), Keskin ve Toker (2004), Alpaslan ve Yuce (2016), Alzaher (2015), Cam ve diğ. (2000), Cam ve diğ. (2004), Pandey ve diğ. (2011), Toker ve diğ. (2000), Prasad ve diğ. (2010), Herencsar ve diğ. (2010), Psychalinos ve Spanidou (2006), Yesil ve diğ. (2017), Yesil ve diğ. (2018)'da sunulan topraklanmış IFS tasarımları birden fazla aktif cihaz içermektedir.

Alpaslan ve Yuce (2015), Yuce ve Minaei (2009^b), Toker ve diğ. (1999), Fabre (1992), Liu ve Hwang (1994), Yuce (2009^b), Kacar ve Kuntman (2011), Abuelma'atti (2012), Yuce ve Minaei (2017), Ford ve Girling (1966), Antoniou (1967), Prescott (1966), Manundy ve Gift (2011), Fabre ve Alami (1995), Senani (1978), Soliman (1978^a), Soliman (1978^b), Nandi (1977), Nandi (1978), Alpaslan ve Yuce (2012), Alpaslan ve Yuce (2013), Keskin ve Toker (2004), Alpaslan ve Yuce (2016), Alzaher (2015), Arslan ve diğ. (2012), Arslan ve diğ. (2003), Wang ve Lee (2000), Kuntman ve diğ. (2000), Cam ve diğ. (2000), Wang ve Lee (1998), Kumar ve Senani (2010), Cam ve diğ. (2003), Cam ve diğ. (2004), Kilinc ve diğ. (2006),

Pandey ve diğ. (2014), Pandey ve diğ. (2011), Gulsoy ve Cicekoglu (2005), Pathak ve diğ. (2016), Kacar ve diğ. (2015), Metin ve diğ. (2017), Metin (2011), Kacar ve Yesil (2010), Yesil ve Kacar (2014), Kacar ve diğ. (2010), Myderrizi ve diğ. (2011), Metin ve diğ. (2014), Metin (2012), Yesil ve diğ. (2014), Siripongdee ve Jaikla (2017), Yesil ve diğ. (2017), Yesil ve diğ. (2018), Yuce ve diğ. (2005), Yuce ve diğ. (2006^a), Yuce (2007), Alpaslan ve Yuce (2017)'da sunulan tasarımlarda ise yüzen pasif eleman kullanılmaktadır.

Alzaher (2015)'te sunulan devre, belirtilen amacının aksine, pozitif kayıpsız topraklanmış endüktans simülatörünü sağlamamaktadır; sunulan devre, negatif kayıpsız topraklanmış endüktans simülatörü özelliği göstermektedir.

CM devrelerin, düşük giriş ve yüksek çıkış empedansına sahip olması istenmektedir. Eğer, CM devreleri bu özellikleri sağlamazsa; ek olarak CCII'lardan kolaylıkla elde edilen akım takipçileri (CFs) ilgili giriş ve çıkışlarında kullanılır. Ayrıca, çok düşük giriş empedansına sahip CCII tasarımı daha önce Arslan ve Morgul (2008)'de sunulmuştur.

Benzer şekilde, VM devrelerin ise yüksek giriş ve düşük çıkış empedansına sahip olmaları arzu edilmektedir. Eğer, VM devreler, bu özelliklere sahip değilse; ilave olarak ilgili giriş ve çıkışlarında gerilim takipçileri (VF) kullanılır.

1.2 Endüktans Simülatörleri

İmmittans fonksiyon simülatörü bölümünde bahsedilen nedenlerden dolayı, fiziksel endüktör yerine endüktans simülatörü devreleri, yüksek performanslı, aktif yapı bloklarının kullanıldığı IC teknoloji uygulamalarında tercih edilmektedir (Thanachayanont ve Payne 2000, Piwowarska ve Sidlarewicz 2006).

İlgili literatürde birçok DDCC/DVCC tabanlı endüktans simülatörü (SI) devresi sunulmuştur (Incekaraoglu ve Cam 2005, Yuce 2006^a, Abaci ve Yuce 2017, Hamad ve Ibrahim 2017, Pal 1989, Yuce ve Minaei 2009^a, Elwan ve Soliman 1997, Yuce 2010, Horng 2010^a, Yuce ve diğ. 2015, Soliman 2010, Abaci ve Yuce 2019, Yuce 2009^a, Ibrahim ve diğ. 2012).

DDCC/DVCC tabanlı SI devreleri, topraklanmış endüktans simülatörleri (SGIs) (Incekaraoglu ve Cam 2005, Yuce 2006^a, Abaci ve Yuce 2017, Hamad ve Ibrahim 2017, Abaci ve Yuce 2019, Ibrahim ve diğ. 2012) ve yüzen endüktans simülatörleri (SFIs) (Pal 1989, Yuce ve Minaei 2009^a, Elwan ve Soliman 1997, Yuce 2010, Hornig 2010^a, Yuce ve diğ. 2015, Soliman 2010, Abaci ve Yuce 2019, Yuce 2009^a, Ibrahim ve diğ. 2012) olmak üzere iki alt kategoriye ayrılabilir.

Abaci ve Yuce (2017), Hamad ve Ibrahim (2017), Ibrahim ve diğ. (2012) tarafından sunulan DDCC/ DVCC tabanlı devreler, kayıpsız SGI özelliği göstermektedir. Hamad ve Ibrahim (2017) devresi birden fazla DVCC'ye sahiptir. Ibrahim ve diğ. (2012), tasarımlarında bir DDCC ve topraklanmış kapasitör, 0.35µm CMOS teknolojik parametreleri kullanılarak gerçekleştirilmiştir. Abaci ve Yuce (2017) tarafından sunulan kayıpsız SGI tasarımı, bir DVCC bloğu, iki yüzen direnç ve bir topraklanmış kapasitöre sahiptir; 0.13µm IBM CMOS teknoloji parametreleri kullanılarak gerçekleştirilmiştir.

İlgili literatürde, çeşitli tek bir aktif yapı bloğu kullanan kayıpsız SGI devreleri sunulmuştur (Siripruchyanun 2008, Soliman 1978^b, Yuce ve diğ. 2005, Gulsoy ve Cicekoglu 2005, Yuce ve diğ. 2006^a, Yuce 2007, Yuce ve Minaei 2008^a, Yuce 2009^b, Alpaslan ve Yuce 2015, Kacar ve Yesil 2010, Myderrizi ve diğ. 2011, Metin 2011, Kumar ve Senani 2010, Metin 2012, Metin ve diğ. 2014, Arslan ve diğ. 2003, Arslan ve diğ. 2012, Kacar 2010, Kacar ve diğ. 2014, Phrasad ve Bhaskar 2012, Srivastava ve diğ. 2017, Yesil ve diğ. 2014).

Literatürde bulunan kayıpsız SGI devreleri, akım kontrollü akım taşıyıcı geçişiletken yükselteç (CCCCTA) (Siripruchyanun 2008), CCII (Soliman 1978^b), negatif-tip değiştirilmiş eviren ikinci nesil akım taşıyıcı (MICCII-) (Yuce ve diğ. 2005), CDDBA (Gulsoy ve Cicekoglu 2005), değişken kazançlı üçüncü nesil akım taşıyıcı (GVCCIII) (Yuce ve diğ. 2006^a), negatif-tip değiştirilmiş eviren birinci nesil akım taşıyıcı (MICCI-) (Yuce 2007), değiştirilmiş akım geribeslemeli işlemsel yükselteç (MCFOA) (Yuce ve Minaei 2008^a), yeni akım geribeslemeli işlemsel yükselteç (NCFOA) (Yuce 2009^b), eviren akım geribeslemeli işlemsel yükselteç (ICFOA) (Alpaslan ve Yuce 2015), DXCCII (Kacar ve Yesil 2010, Myderrizi ve diğ. 2011, Metin 2011), pozitif dört terminalli yüzen nülör (PFTFN) (Kumar ve Senani 2010), DCCII (Metin 2012, Metin ve diğ. 2014), CCI (Arslan ve diğ. 2003, Arslan ve

diğ. 2012), FDCCII (Kacar 2010), VDCC (Kacar ve diğ. 2014), VDTA (Phrasad ve Bhaskar 2012, Srivastava ve diğ. 2017), VDBA (Yesil ve diğ. 2014) gibi çeşitli aktif yapı bloklarından oluşmaktadır. Bu geliştirilen kayıpsız SGI devrelerinin sahip olduğu dezavantajlar şunlardır:

Soliman (1978^b), Yuçe ve diğ. (2005), Gulsoy ve Cicekoglu (2005), Yuçe ve diğ. (2006^a), Yuçe (2007), Yuçe (2009^b), Alpaslan ve Yuçe (2015), Kacar ve Yesil (2010), Myderrizi ve diğ. (2011), Metin (2011), Kumar ve Senani (2010), Metin ve diğ. (2014), Arslan ve diğ. (2003), Arslan ve diğ. (2012), Yesil ve diğ. (2014) tarafından sunulan kayıpsız SGI devreleri yüzen kapasitöre sahiptir.

Soliman (1978^b), Gulsoy ve Cicekoglu (2005), Myderrizi ve diğ. (2011), Metin (2011), Kumar ve Senani (2010), Arslan ve diğ. (2003), Arslan ve diğ. (2012) tarafından sunulan kayıpsız SGI devrelerinde pasif eleman sayısı kanonik değildir.

Siripruchyanun (2008), Gulsoy ve Cicekoglu (2005), Yuçe ve diğ. (2006^a), Yuçe (2007), Yuçe ve Minaei (2008^a), Yuçe (2009^b), Alpaslan ve Yuçe (2015), Kacar ve Yesil (2010), Myderrizi ve diğ. (2011), Metin (2011), Kumar ve Senani (2010), Ibrahim ve diğ. (2012), Metin (2012), Metin ve diğ. (2014), Kacar (2010), Kacar ve diğ. (2014) devreleri çok sayıda BJT/ MOS transistör kullanmaktadır.

Siripruchyanun (2008), Kacar ve diğ. (2014), Phrasad ve Bhaskar (2012), Srivastava ve diğ. (2017), Yesil ve diğ. (2014) devreleri içyapısında OTA'ya sahip olduğundan yüksek frekanslarda sınırlamalara sahiptir (Fabre ve diğ. 1996).

Pal (1989), Yuçe ve Minaei (2009^a), Elwan ve Soliman (1997), Yuçe (2010), Horng (2010^a), Yuçe ve diğ. (2015), Soliman (2010), Abaci ve Yuçe (2019), Yuçe (2009^a), Ibrahim ve diğ. (2012) tarafından geliştirilen SFI devrelerinin sahip olduğu dezavantajlar ise şunlardır:

Pal (1989), Yuçe ve Minaei (2009^a), Elwan ve Soliman (1997), Yuçe (2010), Horng (2010^a), Yuçe ve diğ. (2015), Soliman (2010) devreleri birden fazla DDCC/ DVCC'ye sahiptir. Yuçe ve Minaei (2009^a), Abaci ve Yuçe (2019), Yuçe (2009^a) tarafından sunulan devreler pasif eleman eşleme şartına sahiptir.

Pal (1989), Yuce ve Minaei (2009^a), Elwan ve Soliman (1997), Yuce (2010), Yuce ve diğ. (2015), Soliman (2010), Abaci ve Yuce (2019), Yuce (2009^a), Ibrahim ve diğ. (2012) tarafından sunulan SFI devrelerinin DDCC/DVCC aktif blokları birden fazla Z terminaline sahiptir. Bundan dolayı yüksek frekans performansları, frekansa bağımlı ideal olmayan akım kazançlarından dolayı sınırlanmaktadır.

Bunlara ek olarak, CCII tabanlı SFI (Yuce diğ. 2006^b, Minaei ve diğ. 2006, Yuce ve diğ. 2006^c, Yuce 2006^b, Mohan 1998, Kiranon ve Pawarangkoon 1997), CFOA tabanlı SFI (Senani ve Bhaskar 2012, Abuelma'atti ve diğ. 2017, Abuelma'atti ve Dhar 2016, Senani 1998, Psychalinos ve diğ. 2008), ve diğer aktif yapı bloğu kullanan SI devreleri (Singh ve diğ. 2019, Singh ve diğ. 2018, Sagbas 2011, Tangsrirat 2019, Tangsrirat 2017, Jaikla ve diğ. 2019, Siripongdee ve Jaikla 2017, Sagbas ve diğ. 2009, Kumar ve diğ. 2019) ilgili literatürde daha önce sunulmuştur.

Ancak, Yuce ve diğ. (2006^b), Minaei ve diğ. (2006), Yuce ve diğ. (2006^c), Yuce (2006^b), Mohan (1998), Kiranon ve Pawarangkoon (1997), Senani ve Bhaskar (2012), Abuelma'atti ve diğ. (2017), Abuelma'atti ve diğ. (2016), Senani (1998), Psychalinos ve diğ. (2008), Singh ve diğ. (2019), Singh ve diğ. (2018), Tangsrirat (2019), Jaikla ve diğ. (2019), Sagbas ve diğ. (2009) devreleri birden fazla aktif yapı bloğu içermektedir.

Yuce (2006^b), Senani ve Bhaskar (2012), Singh ve diğ. (2018) devreleri pasif eleman eşleme şartına sahiptir. Sagbas (2011), Tangsrirat (2019), Tabgsrirat (2017), Jaikla ve diğ. (2019), Siripongdee ve Jaikla (2017), Sagbas ve diğ. (2009), Kumar ve diğ. (2019) SI devrelerinin ise iç yapısında OTA elemanı içerdiğinden dolayı, yüksek frekanslarda sınırlamalara sahiptir (Fabre ve diğ. 1996).

1.3 Kuadratör Osilatörler

Analog devre tasarımında önemli çalışma olanaklarına sahip olan osilatörler iletişim, sinyal işleme ve kontrol sistemleri gibi alanlarda yaygın olarak kullanılan yapılardır. Aralarında 90° faz farkı olan iki sinüs işareti sağlayan kuadratör osilatör (QO) devreleri ise iletişimde kuadratör karıştırıcıda, tek yan bant üreticinde,

alıcılarda kullanılmaktadır. Ayrıca vektör üretici seçici voltmetrelerde ölçüm amacıyla kullanılmaktadır (Sedra ve Smith 1991, Soliman 1999).

DDCC/ DVCC tabanlı QO devreleri ilgili literatürde sunulmuştur (Horng 2003, Minaei ve diğ. 2003, Horng ve diğ. 2006, Kacar ve Un 2007, Kumngern ve Dejhan 2009^a, Maheshwari ve diğ. 2010, Ibrahim ve diğ. 2010, Ibrahim ve diğ. 2011, Kumngern 2011, Torteanchai ve Kumngern 2011, Chaturvedi ve Maheshwari 2011, Chaturvedi ve Maheshwari 2012^b, Mohan ve Garg 2012, Mohan ve diğ. 2012, Saied ve diğ. 2013, Mohan ve diğ. 2013, Abaci ve Yuce 2017, Yuce 2017^b).

Minaei ve diğ. (2003), Horng ve diğ. (2006), Kacar ve Un (2007), Ibrahim ve diğ. (2010), Chaturvedi ve Maheshwari (2011), Ibrahim ve diğ. (2011), Mohan ve diğ. (2012), Torteanchai ve Kumngern (2011), Mohan ve Garg (2012), Chaturvedi ve Maheshwari (2012^b), Mohan ve diğ. (2013), Abaci ve Yuce (2017)'de sunulan QO devrelerinde, osilasyon frekansı ve osilasyon şartı ortogonal olarak kontrol edilememektedir.

Minaei ve diğ. (2003)'te sunulan QO devresi, tümleşik devre üretiminde dezavantajları olan iki yüzen kapasiteye sahiptir. Maheshwari ve diğ. (2010), Kumngern (2011), Saied ve diğ. (2013) tarafından sunulan QO devreleri, ikiden fazla aktif yapı bloğu kullanmıştır. Kumngern ve Dejhan (2009^a)'da karakteristik denklemi ($D(s)$) ve osilasyon frekansı yanlı hesaplanmıştır.

Horng (2003), Minaei ve diğ. (2003), Kacar ve Un (2007), Maheshwari ve diğ. (2010), Torteanchai ve Kumngern (2011), Chaturvedi ve Maheshwari (2012^b), Mohan ve diğ. (2012), Mohan ve Garg (2012), Mohan ve diğ. (2013), Yuce (2017^b) tarafından sunulan QO devreleri ise birden fazla Z terminaline sahiptir.

Tablo 1.1'de DDCC/DVCC tabanlı QO devre tasarımlarının karşılaştırması gösterilmiştir.

Tablo 1.1: DDCC/DVCC tabanlı kuadrator osilatör tasarımları karşılaştırması.

Kaynaklar	Kapasitör		Direnc		Aktif Yapı Blokları Sayısı	Kullanılan Z Terminali Sayısı	Teknoloji	Güç Tüketimi	Besleme Gerilimleri
	Topraklanmış	Yüzen	Topraklanmış	Yüzen					
Horng (2003)	2	0	2	0	DVCC (2)	3	1.2 μm	-	± 3.3 V
Minaei ve diğ. (2003)	0	2	4	0	DVCC (2)	2	0.5 μm	-	± 2.5 V
Horng ve diğ. (2006)	2	0	1	1	DDCC (2)	1	1.2 μm	-	± 3.3 V
Kacar ve Un (2007)	2	0	2	1	DVCC (2)	2	0.5 μm	-	± 2.5 V
Kumngern ve Dejhan (2009 ^a)	2	0	3	0	DDCC (2)	1	0.5 μm	-	± 2.5 V
Maheshwari ve diğ. (2010)	2	0	3	0	DVCC (3)	2	0.35 μm	-	± 2 V
Ibrahim ve diğ. (2010) (a)	2	0	2	0	DVCC (2)	1	0.25 μm	-	± 1.25 V
Ibrahim ve diğ. (2010) (b)	2	0	3	0	DVCC (2)	1	0.25 μm	-	± 1.25 V
Ibrahim ve diğ. (2011)	2	0	2	0	DDCC (2)	1	0.25 μm	-	± 1.25 V
Chaturvedi ve Maheshwari (2011)	2	0	1	1	DDCC (2)	1	0.5 μm	8.6 mW	± 2.5 V
Kumngern (2011)	2	0	3	0	DDCC (3)	1	0.5 μm	-	± 2.5 V
Torteachai ve Kumngern (2011)	2	0	6	0	DDCC (2)	3	0.5 μm	-	± 2.5 V
Chaturvedi ve Maheshwari (2012 ^b)	2	0	2	0	DVCC (2)	4	0.5 μm	-	± 2.5 V
Mohan ve diğ. (2012)	2	0	2	0	DVCC (1)	2	0.5 μm	-	± 2.5 V
Mohan ve Garg (2012)	2	0	2	0	DO-DDCC (1)	2	0.5 μm	-	± 2.5 V
Mohan ve diğ. (2013)	2	0	3	0	DDCC (2)	1	0.25 μm	7 mW	± 1.25 V
Saied ve diğ. (2013)	2	0	0	0	DVCC (3) CCII (2)	1	0.18 μm	-	± 1.25 V
Abaci ve Yuce (2017)	2	0	0	2	MDVCC (1)	1	0.13 μm	1.62 mW	± 0.75 V
Yuce (2017 ^b)	2	0	2	0	DO-DVCC(2)	2	0.13 μm	13.1 mW	± 0.75 V

1.4 Birinci Dereceden Tüm Geçiren Süzgeçler

Genel olarak elektriksel işaretlerden, belirli frekanslardakini geçirirken diğerlerini bastıran analog süzgeçler, telekomünikasyon, sinyal işleme, kontrol mühendisliği gibi alanlarda geniş kullanıma sahiptir (Dorf ve Svoboda 2011, Senani ve diğ. 2015).

İletişim ve enstrümantasyon sistemlerinde faz modülatörü olarak yaygın bir şekilde kullanılan birinci dereceden tüm geçiren (AP) süzgeçler, giriş işaretini sabit tutarken, fazı 0° 'den 180° ya da 180° 'den 0° 'ye kaydırma işlemi yaparlar.

DDCC/ DVCC kullanılarak gerçekleştirilen birinci dereceden VM AP süzgeçler ilgili literatürde sunulmuştur (Ibrahim ve diğ. 2002, Ibrahim ve diğ. 2003, Horng ve diğ. 2006, Maheshwari 2007, Metin ve diğ. 2007, Maheshwari 2008^a, Maheshwari 2008^b, Chen ve diğ. 2012, Kumngern ve Dejhan 2009^b, Horng 2009, Minaei ve Yuce 2010, Horng 2010^b, Tsukatani ve diğ. 2010, Ibrahim ve diğ. 2011, Krishna ve diğ. 2011, Metin ve diğ. 2011, Chaturvedi ve Maheshwari 2012^a, Ibrahim ve diğ. 2010, Dixit ve diğ. 2013, Maheshwari ve diğ. 2013, Saied ve diğ. 2013, Horng ve diğ. 2014, Abaci ve Yuce 2018).

DDCC/DVCC tabanlı birinci dereceden AP süzgeçler arasında bazıları yüksek giriş direnci sunar (Ibrahim ve diğ. 2002, Maheshwari 2007, Keskin ve diğ. 2008, Kumngern ve Dejhan 2009^b, Horng 2009, Horng 2010^b, Minaei ve Yuce 2010, Tsukatani ve diğ. 2010, Ibrahim ve diğ. 2011, Ibrahim ve diğ. 2010, Krishna ve diğ. 2011, Chaturvedi ve Maheshwari 2012^a, Dixit ve diğ. 2013, Maheshwari ve diğ. 2013, Saied ve diğ. 2013, Horng ve diğ. 2014).

Metin ve diğ. (2007), Keskin ve diğ. (2008), Maheshwari (2008^a), Kumngern ve Dejhan (2009^a), Tsukatani ve diğ. (2010), Krishna ve diğ. (2011), Metin ve diğ. (2011), Chaturvedi ve Maheshwari (2012^a), Horng ve diğ. (2014) tarafından sunulan devreler elektronik olarak ayarlanabilmektedir.

Ibrahim ve diğ. (2002), Ibrahim ve diğ. (2003), Horng ve diğ. (2006), Metin ve diğ. (2007), Metin ve diğ. (2011), Ibrahim ve diğ. (2011), Dixit ve diğ. (2013), Horng ve diğ. (2014) tarafından sunulan devreler sadece bir DDCC kullanılarak gerçekleştirilmiştir. Ancak, Ibrahim ve diğ. (2002), Ibrahim ve diğ. (2003), Metin ve diğ. (2011), Metin ve diğ. (2007), Dixit ve diğ. (2013) tarafından sunulan tasarımlarda yüzen kapasitör kullanılmaktadır.

Metin ve diğ. (2007), Maheshwari (2008^a), Maheshwari (2008^b), Kumngern ve Dejhan (2009^b), Horng (2010^b), Ibrahim ve diğ. (2010), Minaei ve Yuce (2010), Krishna ve diğ. (2011), Metin ve diğ. (2011), Ibrahim ve diğ. (2011), Chaturvedi ve Maheshwari (2012^a), Dixit ve diğ. (2013) tarafından sunulan devreler ise iki aktif yapı bloğu (DDCC/ DVCC) kullanılarak tasarlanmıştır. Saied ve diğ. (2013) tarafından sunulan devre iki DDCC, iki CCII ve bir topraklanmış kapasitör kullanılarak gerçekleştirilmiştir. Keskin ve diğ. (2008) tarafından sunulan devre, bir

OTA ve bir fark alıcı kullanılarak tasarlanmıştır. Keskin ve diğ. (2008), Tsukatani ve diğ. (2010)'ün tasarımlarında yüksek frekanslarda sınırlamaları olan OTA elemanı kullanılmıştır (Fabre ve diğ. 1996).

Abaci ve Yuce (2018) tarafından sunulan tasarımlar iki çıkarıcı bloğu, bir yüzen direnç ve bir topraklanmış kapasitör kullanılarak gerçekleştirilmiştir. Horng (2009), Dixit ve diğ. (2013) tarafından sunulan devreler, birden fazla Z terminali kullanmaktadır.

Maheshwari (2007), Metin ve diğ. (2007), Chaturvedi ve Maheshwari (2012^a), ve Dixit ve diğ. (2013) tasarımlarında X terminaline bağlı kapasitör bulunmaktadır. Metin ve diğ. (2007) ve Dixit ve diğ. (2013) tarafından üçer tasarım sunulmuştur. Tasarımlardan ilki bir DDCC kullanmasına rağmen; birinci tasarımlarda yüzen kapasitör, ikinci tasarımda ise X terminaline bağlı kapasitör bulunmaktadır. Üçüncü tasarımlarda iki DDCC ile yüksek giriş direncine sahip olmasına rağmen; X terminaline bağlı kapasitör bulunduğu için, yüksek frekans gerektiren uygulamalarda çalışması sınırlanmaktadır (Yuce ve Minaei 2008^b).

İbrahim ve diğ. (2011) iki tasarım sunmuştur. Tasarımlardan ilki bir DDCC kullanmasına karşın yüksek giriş empedansına sahiptir. İkinci tasarımda yüksek giriş empedansına sahip olmasına rağmen iki DDCC kullanılmıştır. Her iki tasarımda da topraklanmış kapasitör kullanılmıştır.

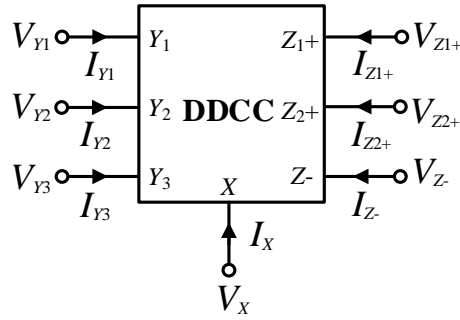
Giriş bölümünün ardından, ikinci bölümde, DDCC'nin genel özellikleri incelenmiş; tasarımlarda kullanılan DDCC aktif yapı bloğu çeşitlerine yer verilmiştir. Üçüncü bölümde, immitans fonksiyon simülatörü tasarımları, dördüncü bölümde topraklanmış endüktans simülatörü tasarımı, beşinci bölümde yüzen endüktans simülatörü tasarımları, altıncı bölümde birinci dereceden tüm geçiren süzgeç tasarımları ve uygulama örnekleri anlatılmıştır. Yedinci bölümde ise bu tezde yapılan çalışmaların sonuçlarının özeti ile daha önce literatürde yayınlanmış çalışmaların karşılaştırıldığı tablolara yer verilmiştir.

2. DİFERANSİYEL FARK AKIM TAŞIYICI

Yedi terminalli DDCC'nin elektriksel gösterimi Şekil 2.1'de verilmiştir. Yedi terminalli DDCC için standart notasyon kullanılarak tanımlanmış matris eşitliği aşağıda gösterilmiştir:

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_{Z1+} \\ I_{Z2+} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} \beta_1 & -\beta_2 & \beta_3 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & \alpha \\ 0 & 0 & 0 & \eta \\ 0 & 0 & 0 & -\gamma \end{bmatrix} \begin{bmatrix} V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ I_X \end{bmatrix} \quad (2.1)$$

DDCC'nin Y_1 , Y_2 ve Y_3 giriş terminalleri, yüksek giriş empedansına; X giriş terminali, düşük giriş empedansına; Z_{1+} , Z_{2+} ve $Z-$ ise yüksek çıkış empedansına sahip terminalleridir. Burada, Y_1 , Y_2 ve Y_3 giriş terminallerinin frekansa bağımlı ideal olmayan gerilim kazançları sırasıyla β_i ($i = 1, 2, 3$) olarak, Z_{1+} , Z_{2+} ve $Z-$ terminallerinin frekansa bağımlı ideal olmayan akım kazançları ise sırasıyla α , η ve γ olarak gösterilmiştir.



Şekil 2.1: Yedi terminalli DDCC'nin elektriksel gösterimi.

Tek kutuplu model kullanılarak frekansa bağımlı ideal olmayan gerilim ve akım kazancı ifadeleri aşağıdaki eşitliklerde gösterildiği gibi tanımlanabilir:

$$\beta_1(f) = \frac{\beta_{10}}{1 + \frac{jf}{f_{\beta 1}}} \quad (2.2a)$$

$$\beta_2(f) = \frac{\beta_{20}}{1 + \frac{jf}{f_{\beta 2}}} \quad (2.2b)$$

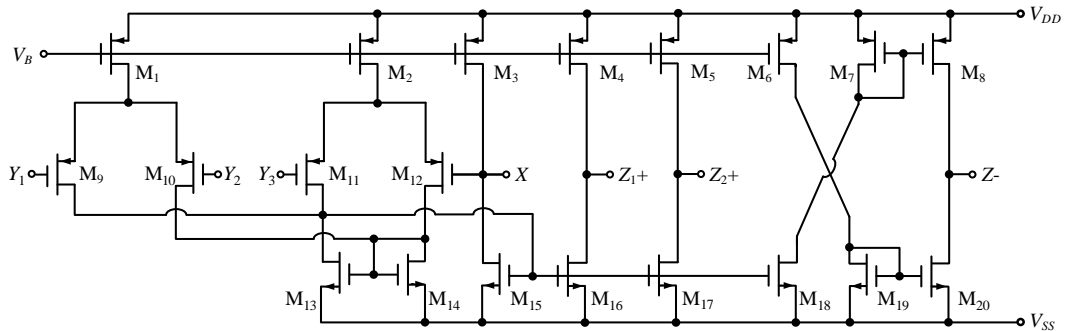
$$\beta_3(f) = \frac{\beta_{30}}{1 + \frac{jf}{f_{\beta 3}}} \quad (2.2c)$$

$$\alpha(f) = \frac{\alpha_0}{1 + \frac{jf}{f_\alpha}} \quad (2.2d)$$

$$\eta(f) = \frac{\eta_0}{1 + \frac{jf}{f_\eta}} \quad (2.2e)$$

$$\gamma(f) = \frac{\gamma_0}{1 + \frac{jf}{f_\gamma}} \quad (2.2f)$$

Burada, β_{j0} ($j = 1, 2, 3$) ideal olmayan DC gerilim kazançları ideal durumda 1'e eşittir. Ayrıca, gerilim kazançlarının köşe frekansları $f_{\beta 1}$, $f_{\beta 2}$, $f_{\beta 3}$ ideal olarak sonsuza eşittir. α_0 , η_0 , γ_0 ifadeleri ise ideal olmayan DC akım kazançlarıdır. Frekansa bağımlı ideal olmayan akım kazançlarının f_α , f_η ve f_γ , köşe frekansları ise ideal olarak sonsuza eşittir. Ayrıca, DDCC'nin gerilim ve akım kazançları düşük frekanslarda izleme hatasına sahiptir. Bu hata değerleri ideal durum için sıfırdır. Y_1 , Y_2 , Y_3 terminallerinden X terminaline aktarılan gerilim izleme hataları, ε_i ($i = 1, 2, 3$) kullanılarak gerilim kazancı ifadeleri $|\varepsilon_i| \ll 1$ için yazılırsa, $\beta_i(f) = 1 - \varepsilon_i$ olmaktadır. Chiu ve diğ. (1996)'dan türetilen yedi terminalli DDCC bloğunun içyapısı Şekil 2.2'de gösterilmiştir.

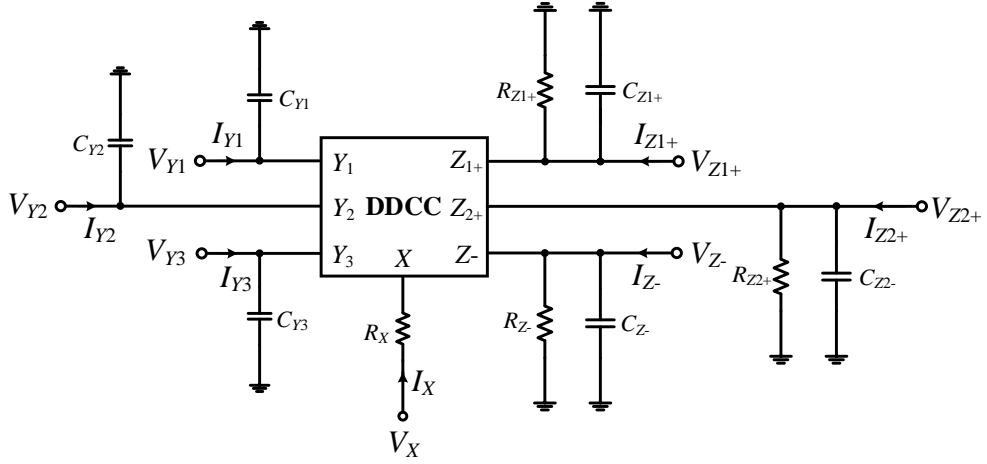


Şekil 2.2: Yedi terminalli DDCC bloğunun içyapısı (Chiu ve diğ. 1996).

DDCC'nin X , Z_{1+} , Z_{2+} , Z_- , Y_1 , Y_2 ve Y_3 terminallerine ait parazit empedansları Şekil 2.3'te gösterilmiştir. Eğer sadece parazit empedansları dikkate alınır, Şekil 2.3'te verilen DDCC'nin matris eşitliği aşağıdaki gibi tanımlanabilir:

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_{Z_{1+}} \\ I_{Z_{2+}} \\ I_{Z_-} \end{bmatrix} = \begin{bmatrix} 1 & -1 & 1 & R_X & 0 & 0 & 0 \\ sC_{Y1} & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & sC_{Y2} & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & sC_{Y3} & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & sC_{Z_{1+}} + 1/R_{Z_{1+}} & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & sC_{Z_{2+}} + 1/R_{Z_{2+}} & 0 \\ 0 & 0 & 0 & -1 & 0 & 0 & sC_{Z_-} + 1/R_{Z_-} \end{bmatrix} \begin{bmatrix} V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ I_X \\ V_{Z_{1+}} \\ V_{Z_{2+}} \\ V_{Z_-} \end{bmatrix} \quad (2.3)$$

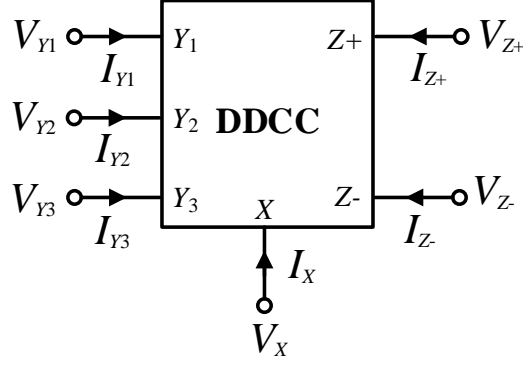
Burada, R_X , DDCC'nin X terminalinin parazit direncidir; ideal olarak sıfıra eşittir. $R_{Z_{1+}}$, $R_{Z_{2+}}$ ve R_{Z_-} sırasıyla DDCC'nin Z_{1+} , Z_{2+} ve Z_- terminallerinin parazit direncidir; ideal olarak değeri sonsuza eşittir. $C_{Z_{1+}}$, $C_{Z_{2+}}$ ve C_{Z_-} ise sırasıyla Z_{1+} , Z_{2+} ve Z_- terminallerinin parazit kapasitörleridir; ideal olarak sıfıra eşittir. C_{Y1} , C_{Y2} ve C_{Y3} sırasıyla DDCC'nin Y_1 , Y_2 ve Y_3 terminallerinin parazit kapasitörleridir; bu değerler de ideal olarak sıfıra eşittir.



Şekil 2.3: DDCC'nin X , Z_{1+} , Z_{2+} , Z_- , Y_1 , Y_2 ve Y_3 terminallerine ait parazit empedansları.

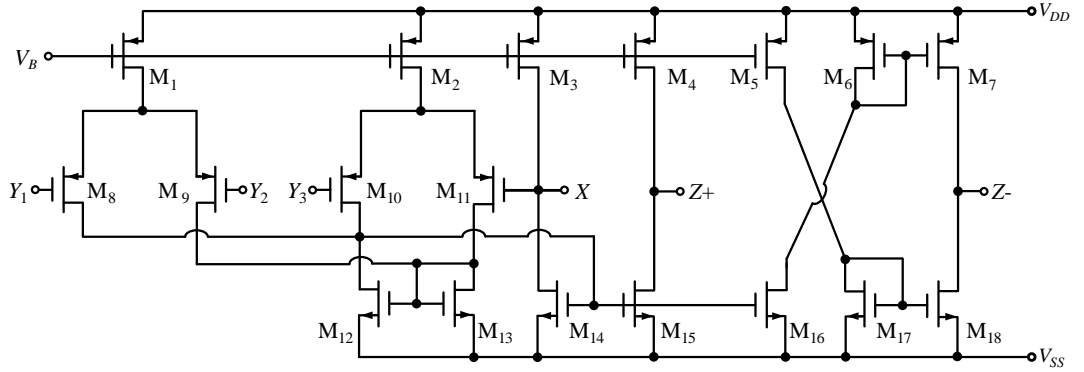
Altı terminalli DDCC bloğunun elektriksel sembolü Şekil 2.4'te gösterilmiştir. Standart notasyon kullanılarak tanımlanan DDCC bloğunun matris formatında gösterimi (2.4) eşitliğinde verilmiştir.

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_{Z+} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} \beta_1 & -\beta_2 & \beta_3 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & \alpha \\ 0 & 0 & 0 & -\gamma \end{bmatrix} \begin{bmatrix} V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ I_X \end{bmatrix} \quad (2.4)$$



Şekil 2.4: Altı terminalli DDCC bloğunun elektriksel gösterimi.

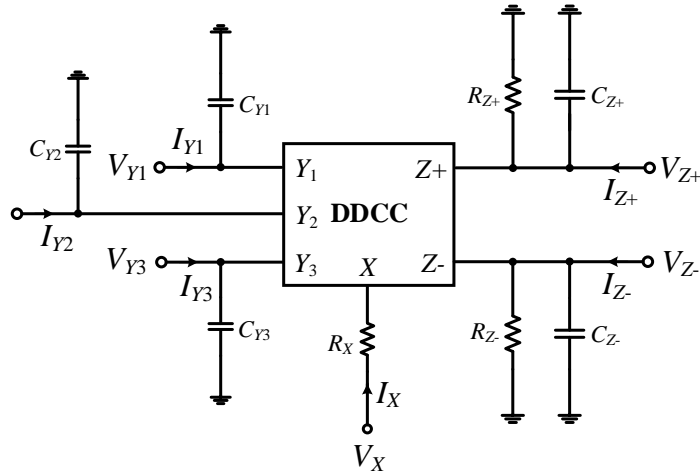
Chiu ve diğ. (1996)'dan türetilen altı terminalli DDCC bloğunun içyapısı Şekil 2.5'te gösterilmiştir.



Şekil 2.5: Chiu ve diğ. (1996)'dan türetilen altı terminalli DDCC bloğunun içyapısı.

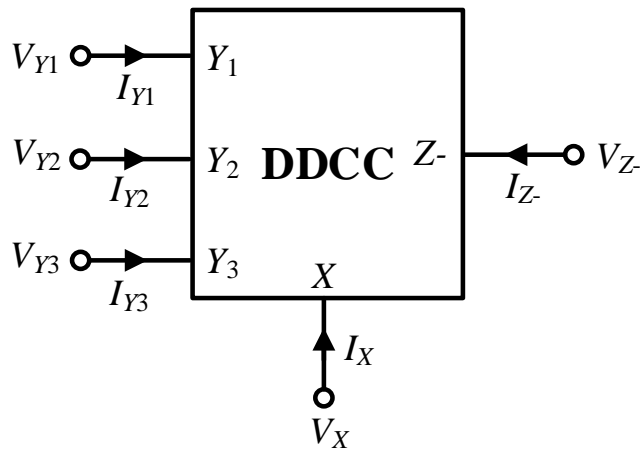
DDCC'nin X, Z+, Z-, Y1, Y2 ve Y3 terminallerine ait parazit empedansları Şekil 2.6'da belirtilmiştir. Eğer sadece parazit empedansları dikkate alınırsa, Şekil 2.6'da verilen DDCC'nin matris eşitliği aşağıdaki gibi tanımlanabilir:

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_{Z+} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} 1 & -1 & 1 & R_X & 0 & 0 \\ sC_{Y1} & 0 & 0 & 0 & 0 & 0 \\ 0 & sC_{Y2} & 0 & 0 & 0 & 0 \\ 0 & 0 & sC_{Y3} & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & sC_{Z+} + 1/R_{Z+} & 0 \\ 0 & 0 & 0 & -1 & 0 & sC_{Z-} + 1/R_{Z-} \end{bmatrix} \begin{bmatrix} V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ I_X \\ V_{Z+} \\ V_{Z-} \end{bmatrix} \quad (2.5)$$



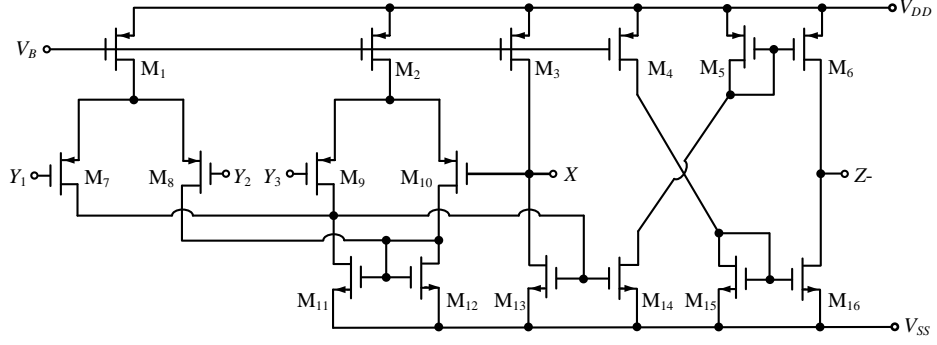
Şekil 2.6: DDCC'nin X, Z+, Z-, Y1, Y2 ve Y3 terminallerine ait parazit empedansları.

Beş terminalli DDCC- bloğunun elektriksel sembolü Şekil 2.7'de gösterilirken içyapısı da Şekil 2.8'de verilmiştir. Sadece ideal olmayan kazançlar hesaba katılırsa DDCC- aşağıdaki matris denkleminle ifade edilir:



Şekil 2.7: Beş terminalli DDCC-'nin elektriksel gösterimi.

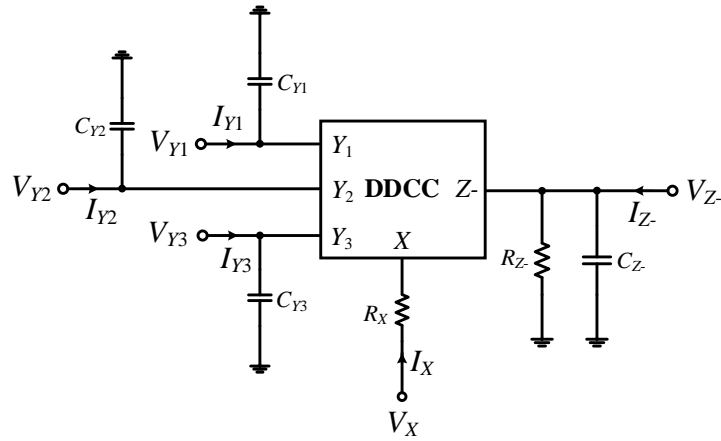
$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} \beta_1 & -\beta_2 & \beta_3 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & -\gamma \end{bmatrix} \begin{bmatrix} V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ I_X \end{bmatrix} \quad (2.6)$$



Şekil 2.8: Chiu ve diğ. (1996)'dan türetilen beş terminalli DDCC- bloğunun içyapısı.

DDCC-'nin X, Z-, Y1, Y2 ve Y3 terminallerine ait parazit empedansları Şekil 2.9'da belirtilmiştir. Eğer sadece parazit empedansları dikkate alınır, Şekil 2.9'da verilen DDCC-'nin matris eşitliği aşağıdaki gibi tanımlanabilir:

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} 1 & -1 & 1 & R_X & 0 \\ sC_{Y1} & 0 & 0 & 0 & 0 \\ 0 & sC_{Y2} & 0 & 0 & 0 \\ 0 & 0 & sC_{Y3} & 0 & 0 \\ 0 & 0 & 0 & -1 & sC_{Z-} + 1/R_{Z-} \end{bmatrix} \begin{bmatrix} V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ I_X \\ V_{Z-} \end{bmatrix} \quad (2.7)$$



Şekil 2.9: DDCC-'nin X, Z-, Y1, Y2 ve Y3 terminallerine ait parazit empedansları.

3. DDCC TABANLI İMMİTANS FONKSİYON SİMÜLATÖRÜ TASARIMI VE BENZETİMİ

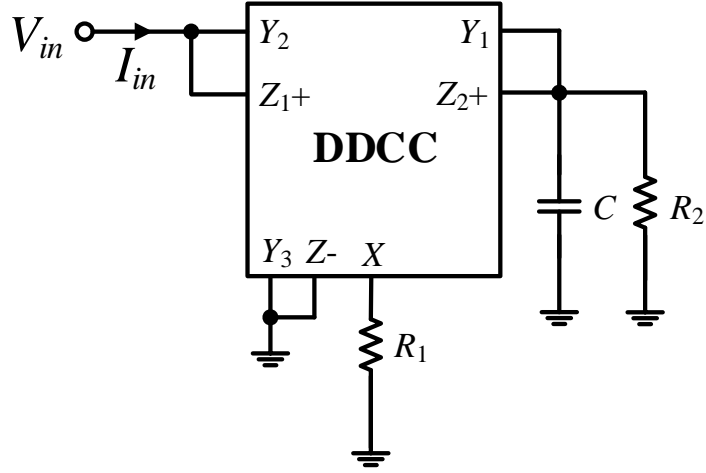
3.1 Giriş

Bir DDCC ve sadece topraklanmış pasif elemanlar kullanılarak iki tane topraklanmış immitans fonksiyon simülatörü (IFS) tasarlanmıştır. Buna ek olarak, iki tane yüzen immitans fonksiyon simülatörü (IFS) tasarımı, topraklanmış IFS tasarımından elde edilmiştir. Alçak geçiren (LP), yüksek geçiren (HP) ve bant geçiren (BP) süzgeç cevaplarını sağlayan ikinci dereceden CM süzgeç, tasarlanmış olan topraklanmış IFS devresinden türetilmiştir (Abaci and Yuce 2019).

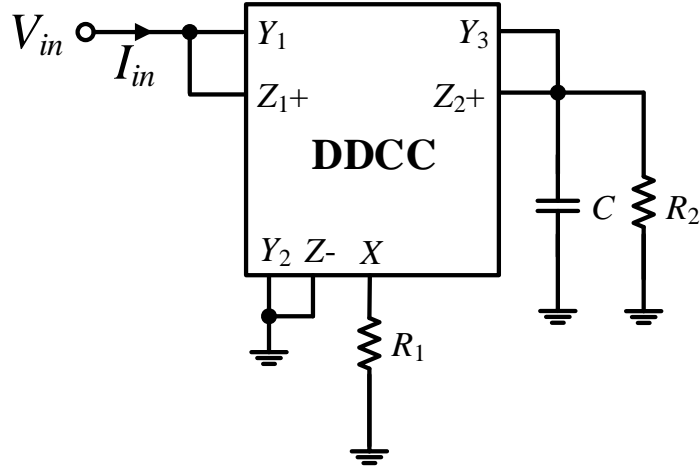
Ayrıca, ikinci dereceden gerilim modlu (VM) yüksek giriş empedansına sahip BP süzgeç ve kuadratör osilatör (QO) devreleri tasarlanmış olan topraklanmış IFS devresinden türetilmiştir. Geliştirilen IFS devrelerinin her iki direnci de elektronik olarak ayarlanabilir topraklanmış dirençler ile değiştirilerek kontrol edilebilir (Wang 1990, Yuce ve Minaei 2014, Yucel ve Yuce 2018). Ancak, bu çalışmada tasarımı yapılan BP ve QO devreleri hariç, tasarlanan devrelerin uygun şekilde çalışması için pasif eleman eşleme şartı bulunmaktadır. CM ve VM süzgeç devreleri 0.13 μm IBM CMOS teknoloji parametreleri (Yuce 2017^a) kullanılarak SPICE programında benzetimleri yapılarak doğruluğu kanıtlanmıştır. CM ve VM süzgeç tasarımlarında ± 0.75 V DC simetrik güç kaynağı kullanılmıştır. Güç tüketimleri SPICE benzetim programında yaklaşık olarak 1.97 mW olarak elde edilmiştir. Ayrıca, tasarlanan VM BP süzgecin performansını doğrulamak için deneysel test sonuçları da verilmiştir.

3.2 İmmitans Fonksiyon Simülatörü Tasarımı

Tasarımlarda kullanılan yedi terminalli DDCC aktif yapı bloğunun elektriksel gösterimi Şekil 2.1’de verilmiştir. Tasarımı yapılan topraklanmış IFS devrelerinden birincisi Şekil 3.1’de, ikinci tasarım ise Şekil 3.2’de gösterilmiştir.



Şekil 3.1: Topraklanmış immitans fonksiyon simülatörü tasarımı 1.



Şekil 3.2: Topraklanmış immitans fonksiyon simülatörü tasarımı 2.

Şekil 3.1’de verilen topraklanmış IFS devresinde (3.1a)’da $R_1=R_2=R$ eşitliği kullanılarak, (3.1b)’de ise hiçbir pasif eleman eşleme şartı kullanılmadan elde edilen giriş admitansları aşağıdaki gibi sırasıyla elde edilebilir:

$$Y_{in} = \frac{I_{in}}{V_{in}} = \frac{1}{sCR^2} + \frac{1}{R} \quad (3.1a)$$

$$Y_{in} = \frac{I_{in}}{V_{in}} = \frac{1 + sCR_2}{R_1 - R_2 + sCR_1R_2} \quad (3.1b)$$

Eğer frekansa bağımlı ideal olmayan kazançlar dikkate alınırsa (3.1b) eşitliği, (3.2) eşitliğine dönüşür.

$$Y_{in} = \frac{I_{in}}{V_{in}} = \frac{(1 + sCR_2)\alpha\beta_2}{R_1 - R_2\beta_1\eta + sCR_1R_2} \quad (3.2)$$

Benzer şekilde, Şekil 3.2’de gösterilen ikinci tasarım topraklanmış IFS devresinde (3.3a)’da $R_1=R_2=R$ eşitliği kullanılarak, (3.3b)’de ise hiçbir pasif eleman eşleme şartı kullanılmadan elde edilen giriş admitansları sağlanabilir:

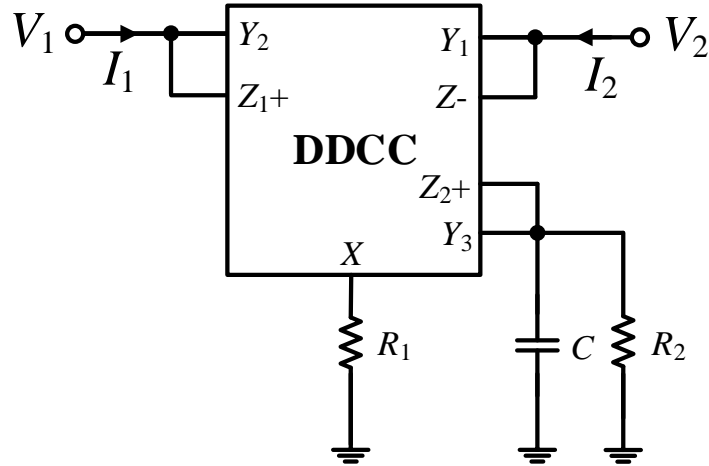
$$Y_{in} = \frac{I_{in}}{V_{in}} = -\frac{1}{sCR^2} - \frac{1}{R} \quad (3.3a)$$

$$Y_{in} = \frac{I_{in}}{V_{in}} = -\frac{1 + sCR_2}{R_1 - R_2 + sCR_1R_2} \quad (3.3b)$$

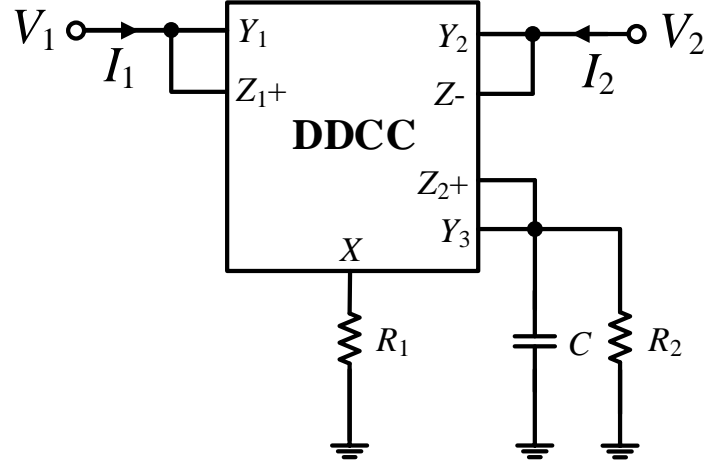
Eğer frekansa bağımlı ideal olmayan kazançlar dikkate alınır (3.3b) eşitliği, (3.4) eşitliğine dönüşür:

$$Y_{in} = -\frac{(1 + sCR_2)\alpha\beta_1}{R_1 - R_2\beta_3\eta + sCR_1R_2} \quad (3.4)$$

Tasarımı yapılan yüzen IFS devrelerinden birincisi Şekil 3.3’te, ikinci tasarım ise Şekil 3.4’te verilmiştir.



Şekil 3.3: Yüzen immitans fonksiyon simülatörü tasarımı 1.



Şekil 3.4: Yüzen immitans fonksiyon simülatörü tasarımı 2.

Şekil 3.3'te gösterilen yüzen IFS devresinde $R_1=R_2=R$ eşitliği kullanılarak (3.5a)'da ve hiçbir pasif eleman eşleme şartı kullanılmadığında ise (3.5b)'de verilmiş matris eşitlikleri elde edilir:

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \left(\frac{1}{R} + \frac{1}{sCR^2} \right) \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (3.5a)$$

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{1 + sCR_2}{R_1 - R_2 + sCR_1R_2} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (3.5b)$$

Eğer frekansa bağımlı ideal olmayan kazançlar dikkate alınırsa (3.5b) eşitliği, (3.6) eşitliğine dönüşür.

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{1 + sCR_2}{R_1 - R_2\beta_3\eta + sCR_1R_2} \begin{bmatrix} \alpha & -\alpha \\ -\gamma & \gamma \end{bmatrix} \begin{bmatrix} \beta_2V_1 \\ \beta_1V_2 \end{bmatrix} \quad (3.6)$$

Şekil 3.4'te verilen yüzen IFS devresinde $R_1=R_2=R$ eşitliği kullanılarak (3.7a)'da ve hiçbir pasif eleman eşleme şartı kullanılmadan ise (3.7b)'de verilmiş matris eşitlikleri aşağıdaki gibi sağlanabilir:

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = - \left(\frac{1}{R} + \frac{1}{sCR^2} \right) \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (3.7a)$$

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = - \frac{1 + sCR_2}{R_1 - R_2 + sCR_1R_2} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (3.7b)$$

Eğer frekansa bağımlı ideal olmayan kazançlar dikkate alınırsa (3.7b) eşitliği, (3.8) eşitliğine dönüşür.

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = -\frac{1+sCR_2}{R_1-R_2\beta_3\eta+sCR_1R_2} \begin{bmatrix} \alpha & -\alpha \\ -\gamma & \gamma \end{bmatrix} \begin{bmatrix} \beta_1V_1 \\ \beta_2V_2 \end{bmatrix} \quad (3.8)$$

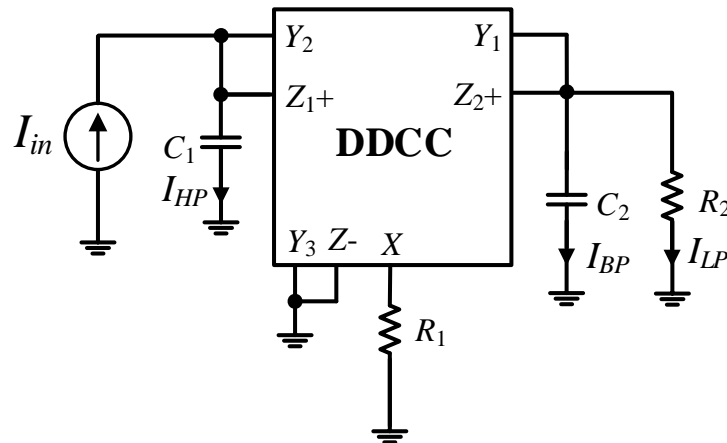
3.3 Uygulama Örnekleri

Şekil 3.5'te verilen ikinci dereceden CM süzgecin tasarımının analizinde $R_1=R_2=R$ eşitliği kullanılarak elde edilen LP, BP ve HP transfer fonksiyonları (TF) aşağıda sırasıyla verilmiştir:

$$\frac{I_{LP}}{I_{in}} = -\frac{1}{s^2C_1C_2R^2 + sC_2R + 1} \quad (3.9a)$$

$$\frac{I_{BP}}{I_{in}} = -\frac{sC_2R}{s^2C_1C_2R^2 + sC_2R + 1} \quad (3.9b)$$

$$\frac{I_{HP}}{I_{in}} = \frac{s^2C_1C_2R^2}{s^2C_1C_2R^2 + sC_2R + 1} \quad (3.9c)$$



Şekil 3.5: İkinci dereceden CM süzgeç tasarımı.

Şekil 3.5'te verilen CM süzgeç devresinin üç çıkışının her biri, bir fazladan CF kullanılarak yüksek çıkış empedanslı akım sağlanabilir. Benzer şekilde, Şekil 3.5'te verilen ikinci dereceden CM süzgeç tasarımının analizinde hiçbir pasif eleman

eşleme şartı kullanılmadan LP, BP ve HP TF'ları elde edilirse, ilgili eşitlikler sırasıyla aşağıdaki gibi olmaktadır:

$$\frac{I_{LP}}{I_{in}} = -\frac{1}{s^2 C_1 C_2 R_1 R_2 + s(C_2 R_2 + C_1 R_1 - C_1 R_2) + 1} \quad (3.10a)$$

$$\frac{I_{BP}}{I_{in}} = -\frac{s C_2 R_2}{s^2 C_1 C_2 R_1 R_2 + s(C_2 R_2 + C_1 R_1 - C_1 R_2) + 1} \quad (3.10b)$$

$$\frac{I_{HP}}{I_{in}} = \frac{s^2 C_1 C_2 R_1 R_2 + s C_1 (R_1 - R_2)}{s^2 C_1 C_2 R_1 R_2 + s(C_2 R_2 + C_1 R_1 - C_1 R_2) + 1} \quad (3.10c)$$

Yukarıdaki ikinci dereceden CM süzgeç TF'larından görülebileceği gibi kararlı süzgeç cevapları elde edebilmek için $C_2 R_2 + C_1 R_1 > C_1 R_2$ olarak seçilmelidir (Yuce ve diğ. 2007). Yukarıdaki eşitliklerden elde edilen devrenin açılmalı rezonans frekansı (ω_0) ve kalite faktörü (Q) sırasıyla aşağıda verilmiştir:

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}} \quad (3.11a)$$

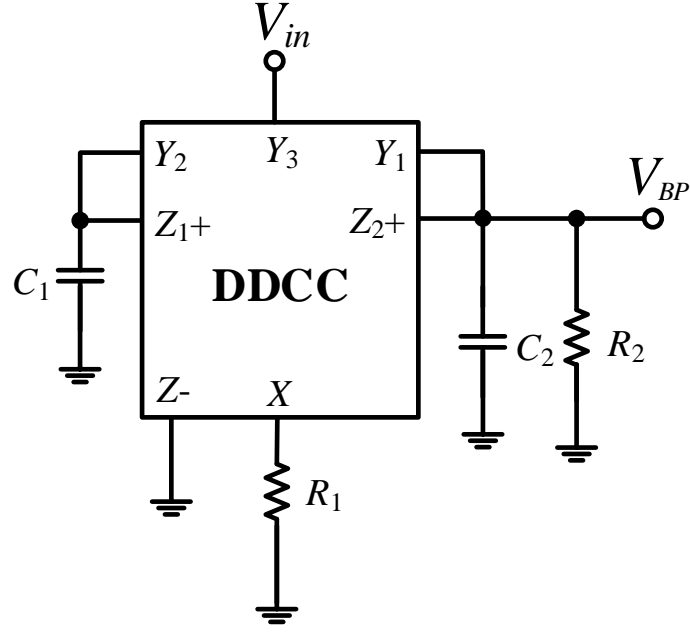
$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_2 R_2 + C_1 R_1 - C_1 R_2} \quad (3.11b)$$

Eğer frekansa bağımlı ideal olmayan kazançlar dikkate alınırsa devrenin TF eşitlikleri aşağıdaki gibi olmaktadır:

$$\frac{I_{LP}}{I_{in}} = -\frac{\beta_2 \eta}{s^2 C_1 C_2 R_1 R_2 + s(C_1 R_1 + C_2 R_2 \alpha \beta_2 - C_1 R_2 \beta_1 \eta) + \alpha \beta_2} \quad (3.12a)$$

$$\frac{I_{BP}}{I_{in}} = -\frac{s C_2 R_2 \beta_2 \eta}{s^2 C_1 C_2 R_1 R_2 + s(C_1 R_1 + C_2 R_2 \alpha \beta_2 - C_1 R_2 \beta_1 \eta) + \alpha \beta_2} \quad (3.12b)$$

$$\frac{I_{HP}}{I_{in}} = \frac{s^2 C_1 C_2 R_1 R_2 + s C_1 (R_1 - R_2 \beta_1 \eta)}{s^2 C_1 C_2 R_1 R_2 + s(C_1 R_1 + C_2 R_2 \alpha \beta_2 - C_1 R_2 \beta_1 \eta) + \alpha \beta_2} \quad (3.12c)$$



Şekil 3.6: İkinci dereceden VM BP süzgeç tasarımı.

Şekil 3.6’da verilen ikinci dereceden VM süzgecin analizini $R_1=R_2=R$ eşitliğini kullanarak hesaplırsak BP süzgecin TF eşitliği aşağıdaki gibi olmaktadır:

$$\frac{V_{BP}}{V_{in}} = \frac{sC_1R}{s^2C_1C_2R^2 + sC_2R + 1} \quad (3.13)$$

Benzer şekilde ikinci dereceden VM süzgeç tasarımında hiçbir pasif eleman eşleme şartı kullanılmazsa BP TF eşitliği aşağıdaki gibi elde edilir:

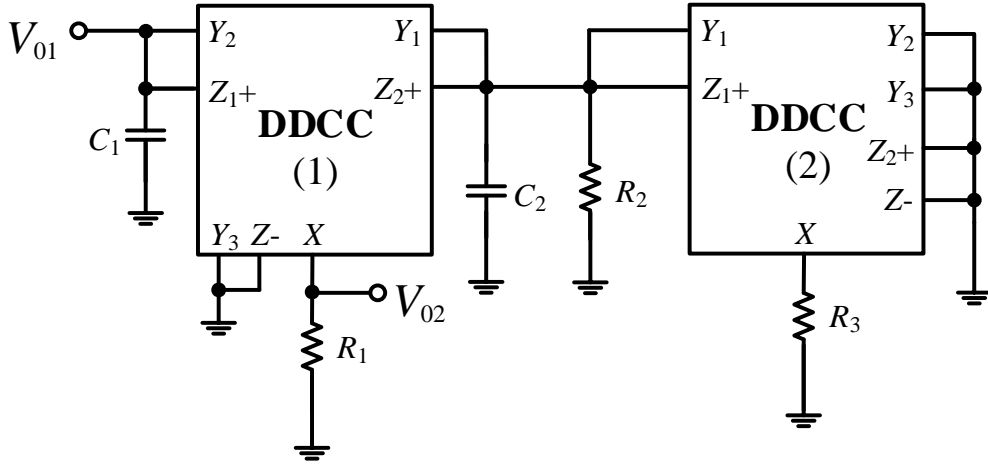
$$\frac{V_{BP}}{V_{in}} = \frac{sC_1R_2}{s^2C_1C_2R_1R_2 + s(C_2R_2 + C_1R_1 - C_1R_2) + 1} \quad (3.14)$$

Eğer frekansa bağımlı ideal olmayan kazançlar dikkate alınırsa devrenin TF eşitlikleri aşağıdaki gibi olmaktadır:

$$\frac{V_{BP}}{V_{in}} = \frac{sC_1R_2\beta_3\eta}{s^2C_1C_2R_1R_2 + s(C_1R_1 + C_2R_2\alpha\beta_2 - C_1R_2\beta_1\eta) + \alpha\beta_2} \quad (3.15)$$

Şekil 3.3’te gösterilen topraklanmış IFS tasarımından türetilmiş, Şekil 3.7’de verilen QO devresi örneği aşağıdaki karakteristik eşitliği sağlamaktadır:

$$D(s) = s^2C_1C_2R_1 + s\left(\frac{C_1R_1}{R_2} + C_2 - C_1 - \frac{C_1R_1}{R_3}\right) + \frac{1}{R_2} - \frac{1}{R_3} = 0 \quad (3.16)$$



Şekil 3.7: Kuadratör osilatör örneği.

QO devresinin karakteristik denklemi, (3.16) eşitliğinden osilatörün osilasyon şartı (OC) ve osilasyon frekansı (f_0) sırasıyla aşağıdaki gibi bulunur:

$$\frac{C_1 R_1}{R_2} + C_2 - C_1 - \frac{C_1 R_1}{R_3} \leq 0 \quad (3.17a)$$

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{R_3 - R_2}{C_1 C_2 R_1 R_2 R_3}} \quad (3.17b)$$

QO'ün çıkış gerilimi V_{02} , QO'ün diğer çıkış gerilimi V_{01} cinsinden aşağıdaki eşitlikte olduğu gibi ifade edilebilir:

$$V_{02} = j\omega C_1 R_1 V_{01} \quad (3.18)$$

3.4 Benzetim Sonuçları

İçyapısı Şekil 2.2'de gösterilen yedi terminalli DDCC aktif yapı bloğunun, DC simetrik besleme gerilimleri ± 0.75 V ve kutuplama gerilimi ise $V_B = 0.25$ V olarak seçilmiştir. Ayrıca, bu kısımdaki bütün benzetimlerde $0.13 \mu\text{m}$ IBM CMOS teknoloji parametreleri kullanılmıştır (Yuce 2017^a). Şekil 2.2'de kullanılan MOS transistor boyutları Tablo 3.1'de gösterilmiştir. SPICE benzetim programı aracılığıyla DDCC'nin parazit empedansları $R_X \cong 75 \Omega$, $R_{Z1+} = R_{Z2+} \cong 28.7 \text{ k}\Omega$, $R_{Z-} \cong 22.9 \text{ k}\Omega$, $C_{Y1} \cong 52.76 \text{ fF}$, $C_{Y2} \cong 52.5 \text{ fF}$ ve $C_{Y3} \cong 9.5 \text{ fF}$ olarak bulunmuştur. Şekil 3.1 ve Şekil 3.2'de gösterilen topraklanmış IFS devrelerinin güç tüketimleri, SPICE

benzetimlerinde 1.97 mW ve 1.46 mW olarak bulunmuştur. Ayrıca, Şekil 3.3 ve Şekil 3.4'te gösterilen yüzen IFS devrelerinin güç tüketimleri ise SPICE benzetimlerinde 2.08 mW ve 1.12mW olarak bulunmuştur.

Süzgeç devrelerinin pasif elemanları, $Q = 1$ ve $f_0 \cong 3.18$ MHz olacak şekilde $R_1 = R_2 = 1$ k Ω ve $C_1 = C_2 = 50$ pF olarak seçilmiştir. Ayrıca, Şekil 3.7'de gösterilen QO devresinin pasif elemanları benzetimlerde $f_0 \cong 1.416$ MHz olacak şekilde $R_1 = R_2 = 1$ k Ω , $R_3 = 1.6$ k Ω , ve $C_1 = 100$ pF, $C_2 = 50$ pF olarak seçilmiştir. Devrenin f_0 'ı teorik olarak yaklaşık 1.38 MHz olarak hesaplanmıştır. Şekil 3.5 ve Şekil 3.6'da gösterilen CM ve VM süzgeç devreleri ve bunlara ek olarak, Şekil 3.7'de gösterilen QO devresinin SPICE programı ile benzetimleri gerçekleştirilmiştir.

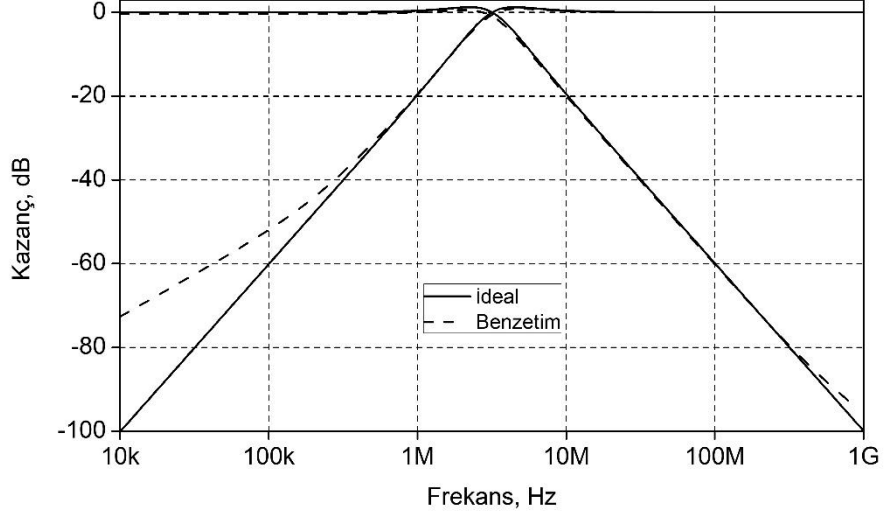
Tablo 3.1: Şekil 2.2'de gösterilen yedi terminalli DDCC'nin MOS transistor boyutları.

PMOS Transistörler	$W(\mu m)/L(\mu m)$
M ₁ -M ₁₂	19.5/0.52
NMOS Transistörler	$W(\mu m)/L(\mu m)$
M ₁₃ -M ₂₀	6.5/0.52

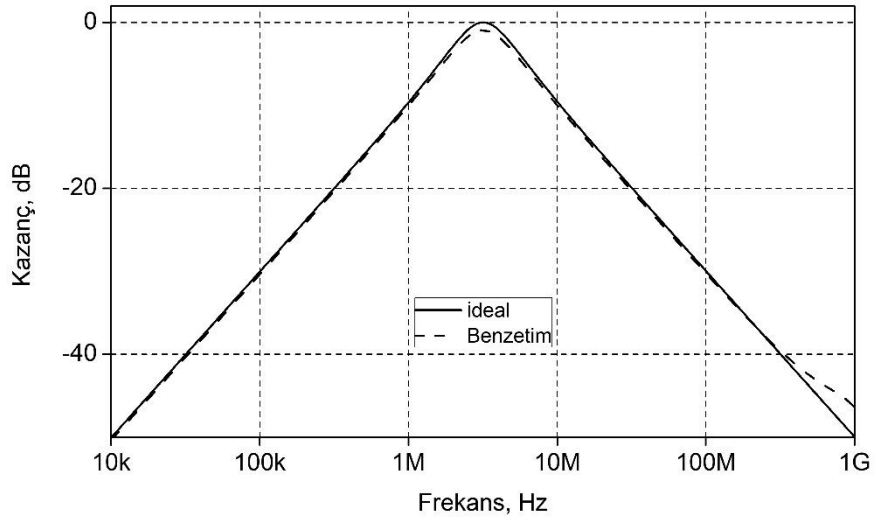
3.4.1 Akım-Modlu Süzgeç

Şekil 3.5'te gösterilen CM süzgeç tasarımı ideal ve ideal olmayan LP ve HP kazanç cevapları Şekil 3.8'de gösterilmiştir. BP kazanç cevabı ise Şekil 3.9'da verilmiştir. Tasarlanan CM süzgecin BP kazanç cevabı için bütün pasif elemanlarının değerinin %5 değiştirilmesiyle elde edilen 100 adımlı Monte Carlo (MC) analizi Şekil 3.10'da verilmiştir. Ayrıca DC simetrik güç kaynağının gerilimini ± 0.7 V ile ± 0.9 V arasında 50 mV adım aralığıyla değiştirilerek elde edilen CM süzgecin BP kazanç cevabı Şekil 3.11'de gösterilmiştir. CM süzgecin sıcaklığının -50°C 'ten 100°C 'e değiştirilmesiyle elde edilen BP cevabı Şekil 3.12'de verilmiştir. Tasarlanan CM BP süzgecin girişine 50 μA tepe genliğinde, f_0 'da uygulanan sinüzoidal işaretin cevabı Şekil 3.13'te verilmiştir. Ayrıca, CM BP süzgecin fast Fourier transform (FFT) cevabı Şekil 3.14'te gösterilmiştir. CM BP süzgeç için giriş ve çıkış gürültüleri Şekil 3.15'te verilmiştir. Tasarlanan devrenin girişine f_0 'da sinüzoidal işareti uygulanarak, bant geçiren süzgecin çıkışından alınan toplam harmonik

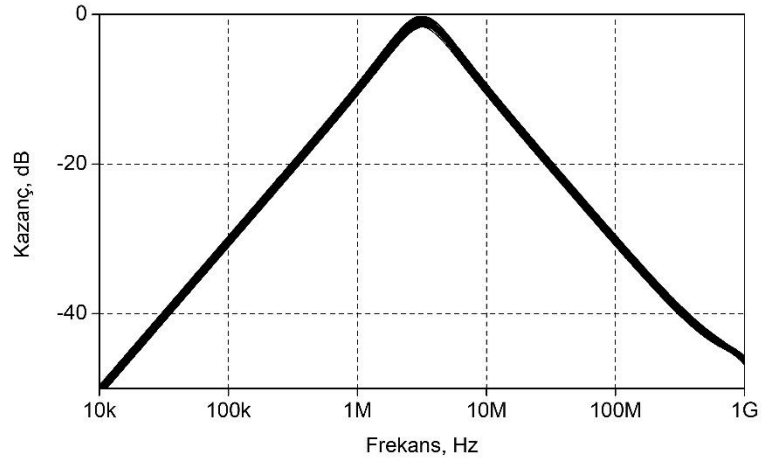
bozulma (THD) deęişimleri Şekil 3.16’da gösterilmiştir. Buna ek olarak, CM süzgecin güç tüketimi 1.97 mW olarak SPICE programı aracılığıyla bulunmuştur.



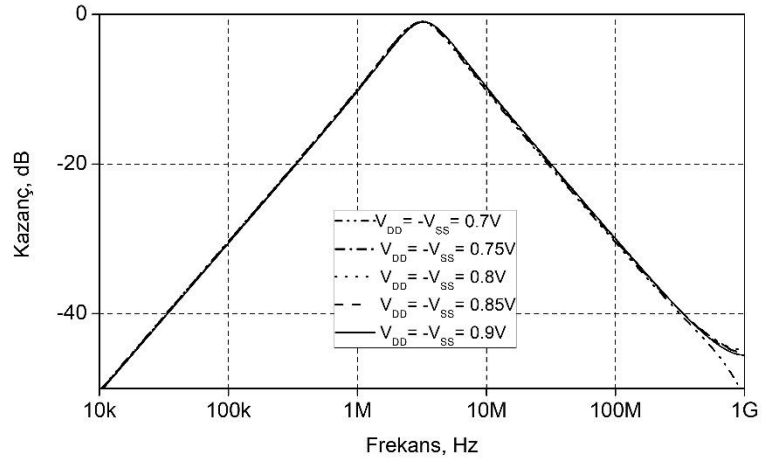
Şekil 3.8: CM süzgecin ideal ve ideal olmayan LP ve HP kazanç cevabı.



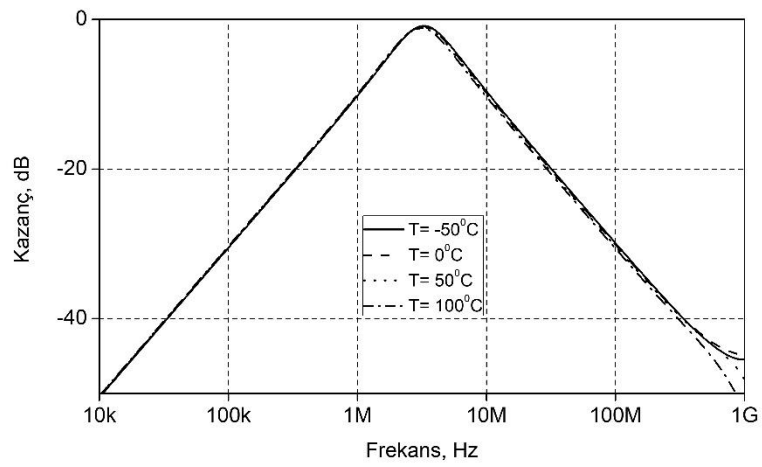
Şekil 3.9: CM süzgecin ideal ve ideal olmayan BP kazanç cevabı.



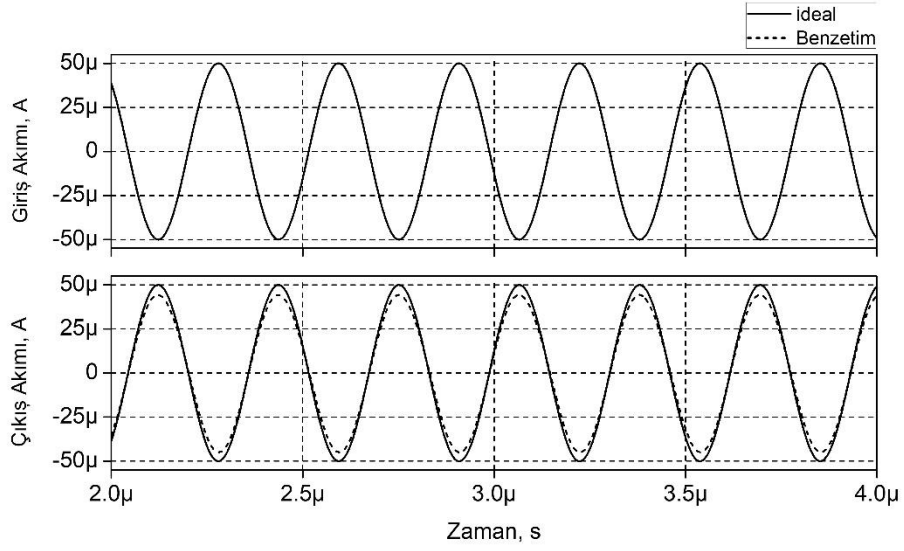
Şekil 3.10: CM süzgecin BP cevabı için bütün pasif elemanlarının değerinin %5 değiştirilmesiyle elde edilen 100 admlı Monte Carlo analizi.



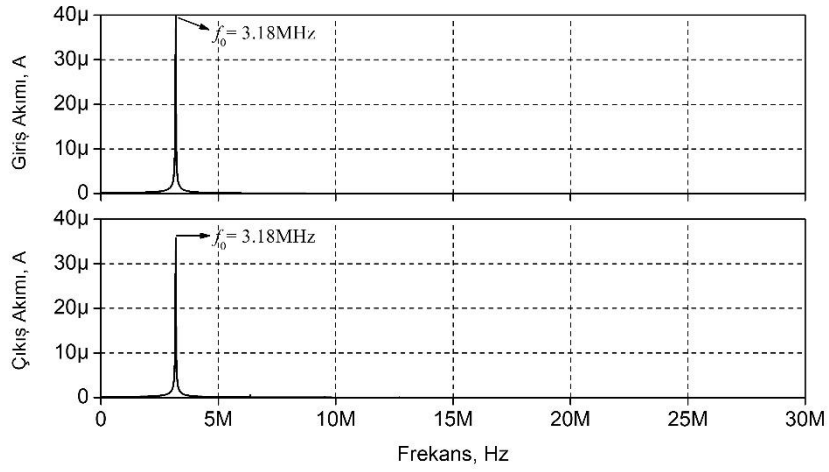
Şekil 3.11: CM BP süzgecin DC simetrik güç kaynağı değerlerinin değiştirilmesiyle elde edilen kazanç cevabı.



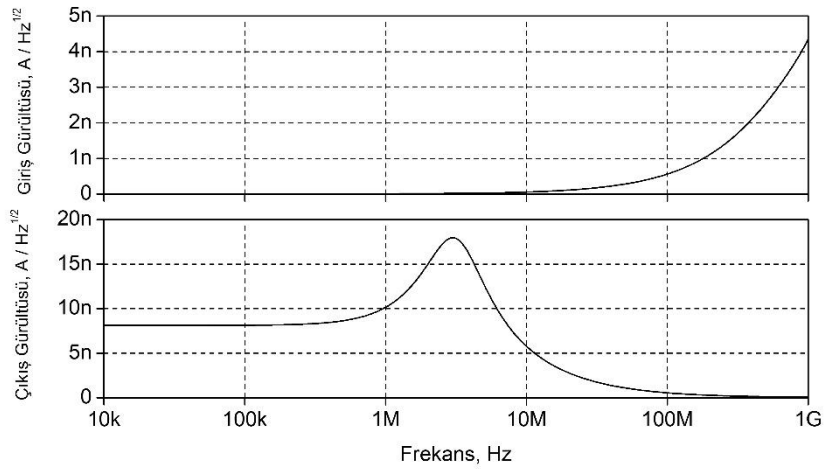
Şekil 3.12: CM süzgecin sıcaklığının -50°C'ten 100°C'e değiştirilmesiyle elde edilen BP kazanç cevabı.



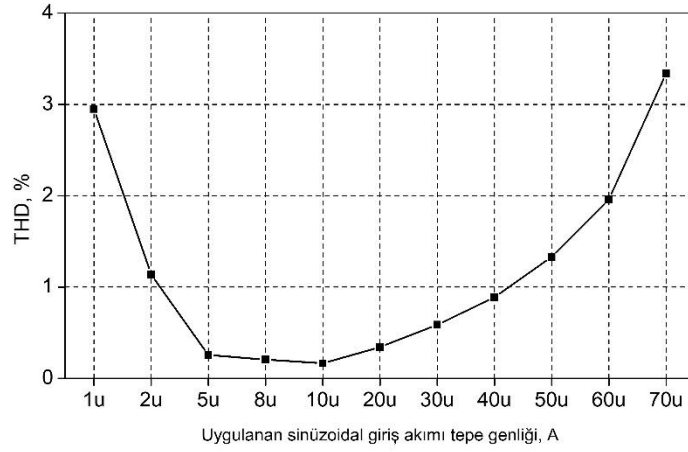
Şekil 3.13: CM BP süzgecin girişine $50 \mu\text{A}$ tepe genliğinde, rezonans frekansında uygulanan sinüzoidal işaretin cevabı.



Şekil 3.14: CM BP süzgecin FFT cevabı.



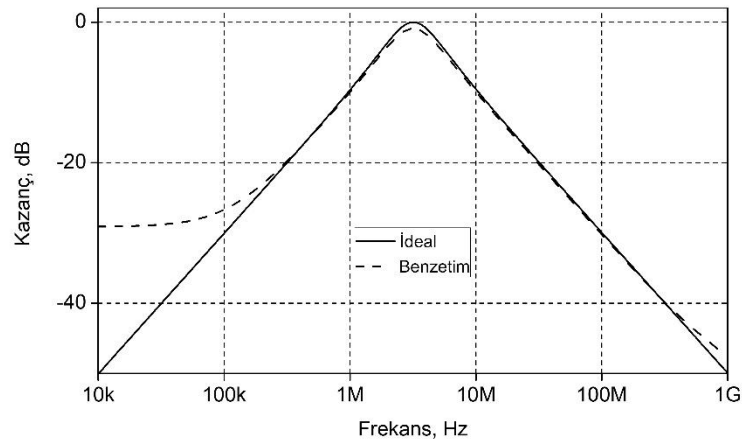
Şekil 3.15: CM BP süzgeç için giriş ve çıkış gürültüleri.



Şekil 3.16: CM süzgecin BP cevabı için çıkışından alınan THD değişimleri.

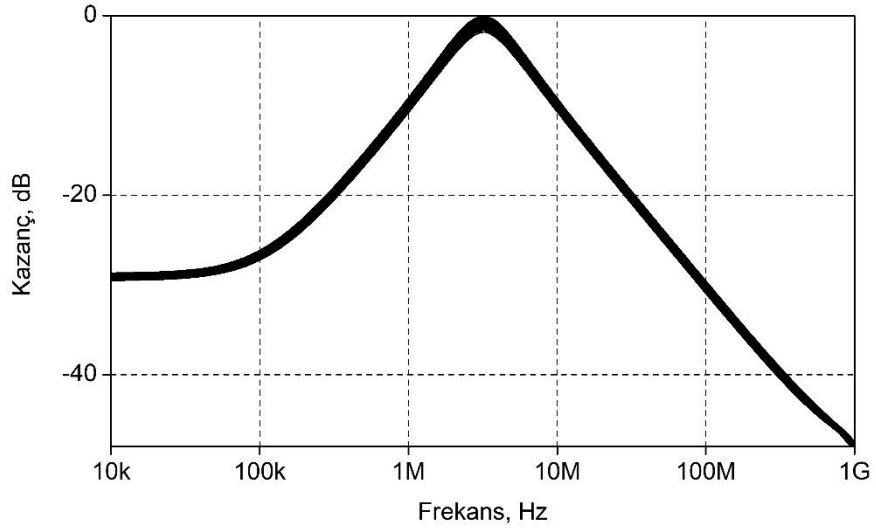
3.4.2 Gerilim-Modlu Bant Geçiren Süzgeç

Şekil 3.6’da gösterilmiş VM süzgeç devresinin ideal ve ideal olmayan BP kazanç cevabı Şekil 3.17’de gösterilmiştir. VM süzgecin BP kazanç cevabı için bütün pasif elemanlarının değerinin % 5 değiştirilmesiyle elde edilen 100 adımlı MC analizi Şekil 3.18’de verilmiştir. Ayrıca DC simetrik güç kaynağının gerilimini ± 0.7 V ile ± 0.9 V arasında 50 mV adım aralığıyla değiştirilerek elde edilen VM süzgecin BP kazanç cevabı Şekil 3.19’da gösterilmiştir. VM süzgecin sıcaklığının -50°C ’ten 100°C ’e değiştirilmesiyle elde edilen BP kazanç cevabı Şekil 3.20’de verilmiştir. Tasarlanan VM BP süzgecin girişine 50 mV tepe genliğinde f_0 ’da uygulanan sinüzoidal işaretin cevabı Şekil 3.21’de verilmiştir. Ayrıca, VM BP süzgecin FFT cevabı Şekil 3.22’de gösterilmiştir.

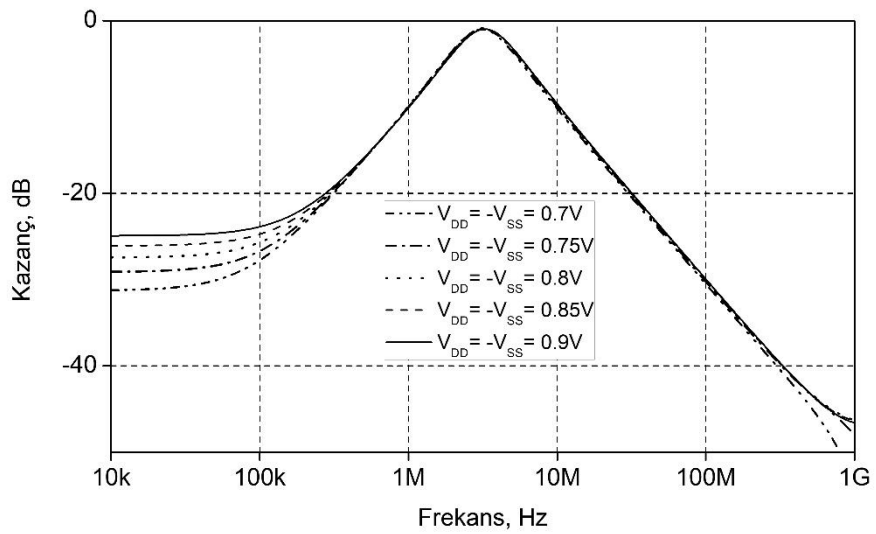


Şekil 3.17: VM süzgecin ideal ve ideal olmayan BP kazanç cevabı.

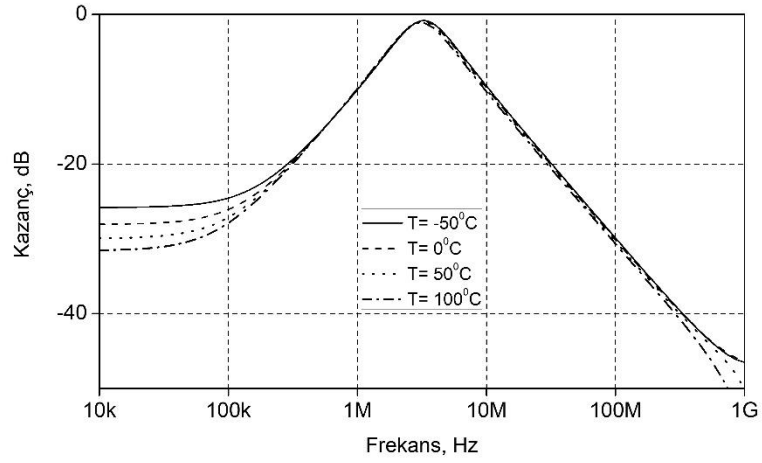
VM BP süzgeç için giriş ve çıkış gürültüleri Şekil 3.23'te verilmiştir. Tasarlanan devrenin girişine f_0 'da sinüzoidal işareti uygulanarak, bant geçiren süzgecin çıkışından alınan THD değışimleri Şekil 3.24'te gösterilmiştir. Buna ek olarak, VM süzgecin güç tüketimi 1.97 mW olarak SPICE programı aracılığıyla bulunmuştur.



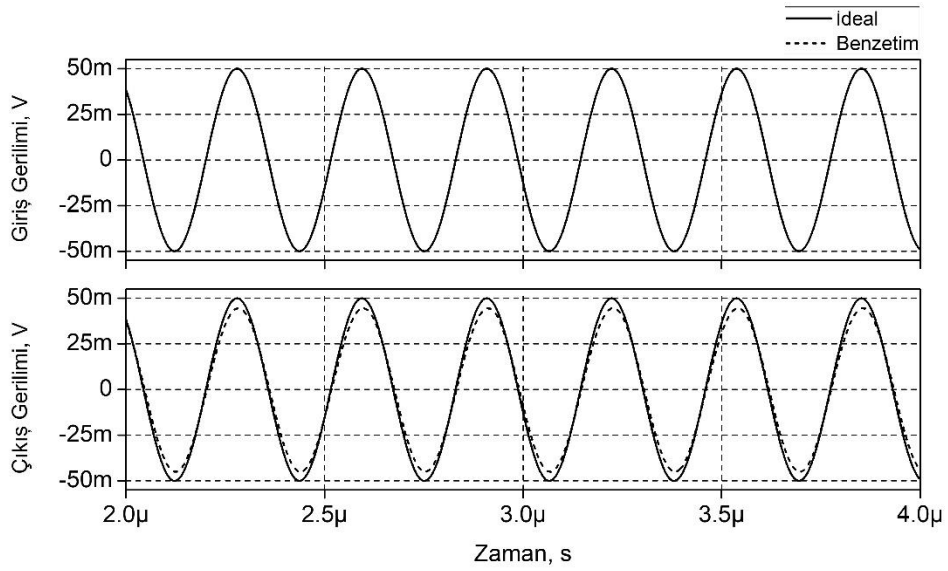
Şekil 3.18: VM süzgecin BP kazanç cevabı için bütün pasif elemanlarının değerinin %5 değıştirilmesiyle elde edilen 100 adımlı Monte Carlo analizi.



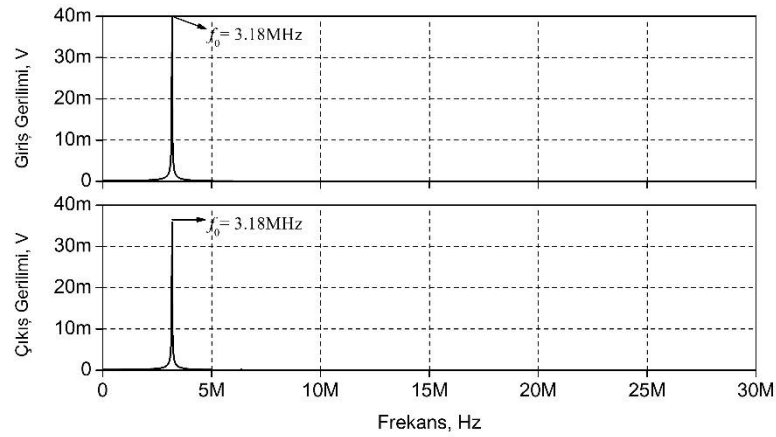
Şekil 3.19: VM BP süzgecin DC simetrik güç kaynağı değerlerinin değıştirilmesiyle elde edilen kazanç cevabı.



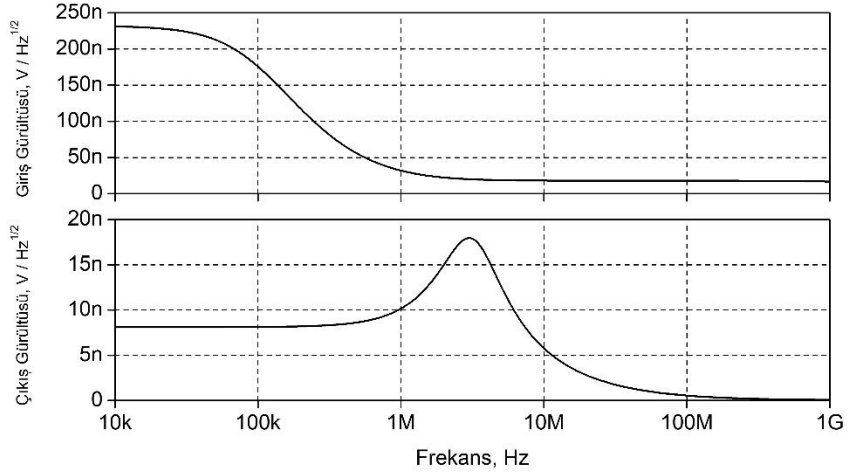
Şekil 3.20: VM süzgecin sıcaklığının -50°C 'ten 100°C 'e değiştirilmesiyle elde edilen BP kazanç cevabı.



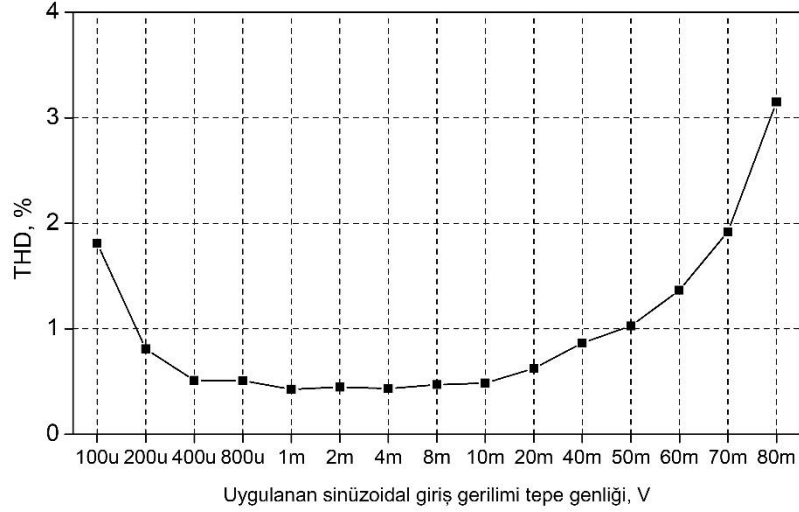
Şekil 3.21: VM BP süzgecin girişine 50 mV tepe genişliğinde, rezonans frekansında uygulanan sinüzoidal işaretin cevabı.



Şekil 3.22: VM BP süzgecin FFT cevabı.



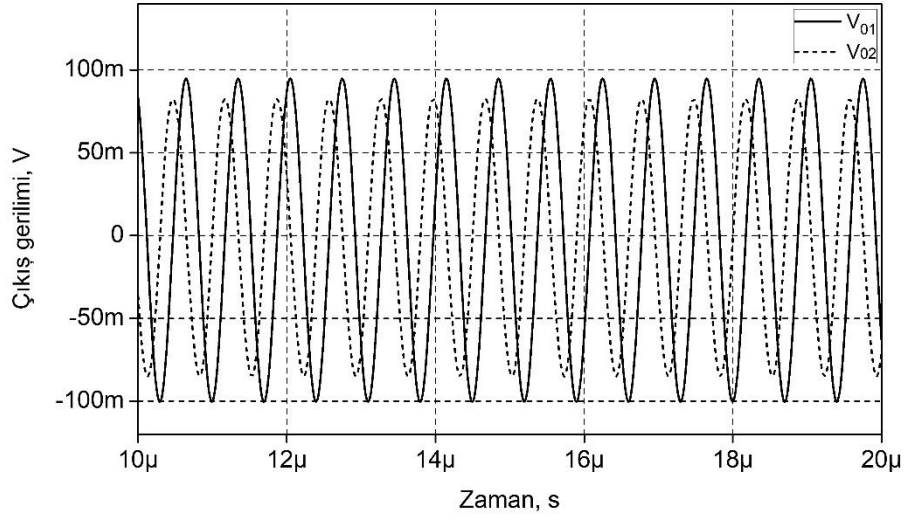
Şekil 3.23: VM BP süzgeç için giriş ve çıkış gürültüleri.



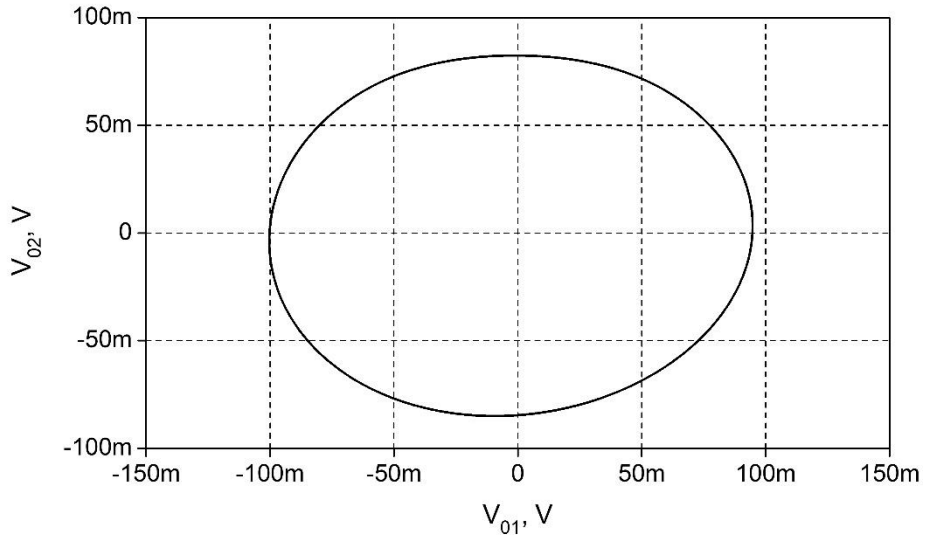
Şekil 3.24: VM süzgecin BP cevabı için çıkışından alınan THD değişimleri.

3.4.3 Kuadratör Osilatör Uygulaması

Şekil 3.7'de verilen QO devresinin zaman ortamı cevabı Şekil 3.25'te gösterilmiştir. QO devresinin V_{01} ve V_{02} gerilim çıkışlarının THD'leri, SPICE programı aracılığıyla, sırasıyla % 0.88 ve % 2.39 olarak bulunmuştur. Ayrıca, QO devresinin V_{01} ve V_{02} gerilim çıkışlarının karşılaştırmasını gösteren Lissajous eğrisi Şekil 3.26'da gösterilmiştir. QO devresinin güç tüketimi SPICE programı aracılığıyla 6.84 mW olarak bulunmuştur.



Şekil 3.25: Kuadratör osilatör devresinin zaman ortamı cevabı.

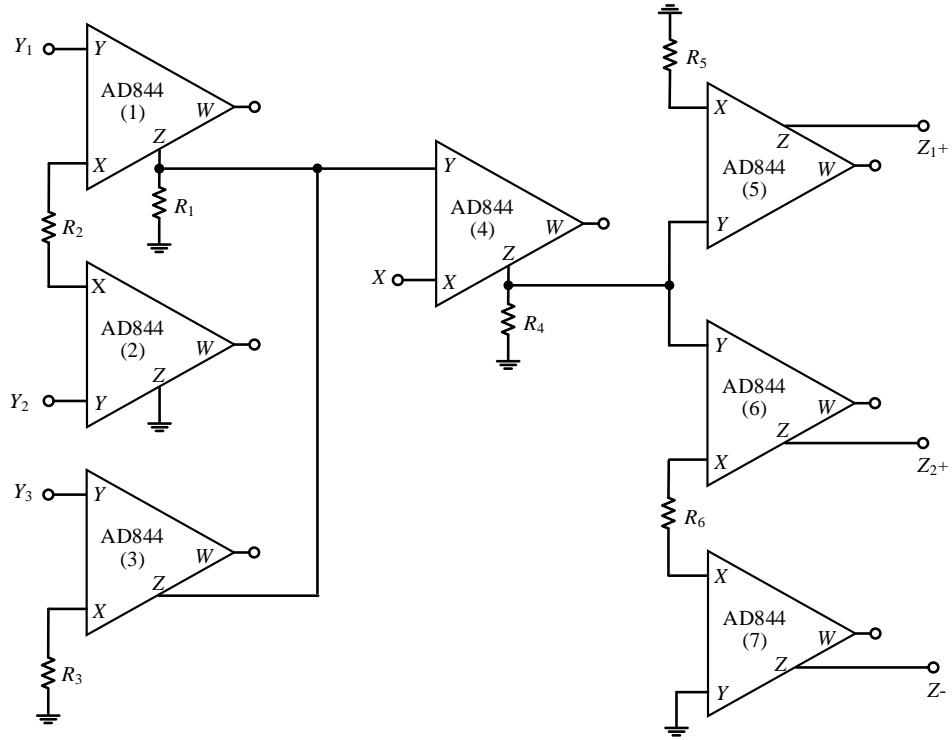


Şekil 3.26: Kuadratör osilatör devresinin Lissajous eğrisi.

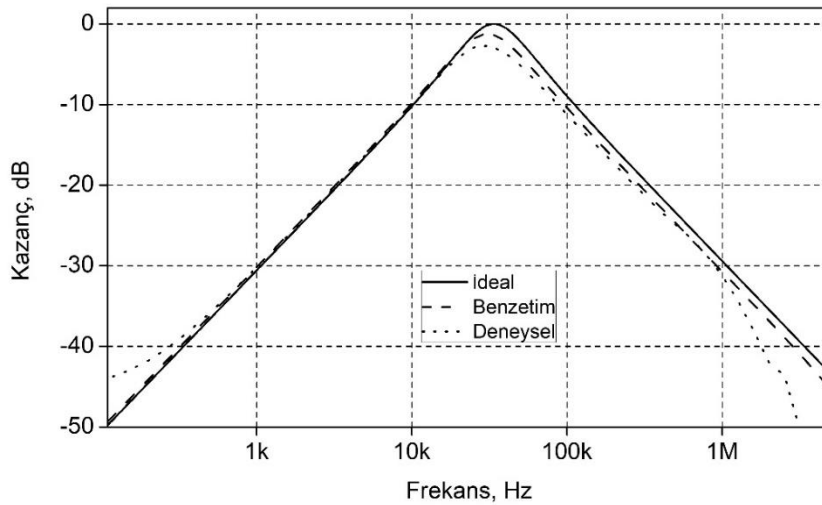
3.5 Deneysel Test Sonucu

Yedi adet AD844 entegresi (Analog Devices 2017) ve altı adet direnç, $R_1 = R_2 = R_3 = R_4 = R_5 = R_6 = 1 \text{ k}\Omega$, kullanılarak gerçekleştirilen DDCC devresi Şekil 3.27’de gösterilmiştir. AD844’ün DC simetrik güç kaynakları gerilimi $\pm 6 \text{ V}$ olarak seçilmiştir. Deney düzeneğinde 0-30 V, 6 A çıkış verebilen AATech ATP-3306D ayarlı DC güç kaynağı ve 70 MHz frekansına kadar 2 GSa/s örnekleme hızına sahip Keysight DSOX11002G iki kanallı dijital osiloskop kullanılmıştır.

VM BP süzgecin pasif elemanları $R_1 = R_2 = 1 \text{ k}\Omega$ ve $C_1 = C_2 = 4.7 \text{ nF}$ olarak; $f_0 \cong 33.86 \text{ kHz}$ ve $Q = 1$ olacak şekilde seçilmiştir. Şekil 3.28’de verilen VM BP süzgecin ideal, ideal olmayan ve deneysel test sonuçları birbirleriyle uyuşmaktadır. Ancak, sonuçlarda AD844’ün ideal olmayan kazançlarından ve parazit empedanslardan kaynaklı küçük bir fark bulunmaktadır. Ayrıca, parazit empedanslar BP süzgecin performansını etkilemektedir.



Şekil 3.27: AD844 ve dirençler kullanılarak gerçekleştirilen DDCC.



Şekil 3.28: VM BP süzgeç için ideal, ideal olmayan ve deneysel test sonuçları.

3.6 Bölüm Sonu Değerlendirmesi

Bu çalışmada, bir DDCC ve sadece topraklanmış elemanlar içeren iki yeni topraklanmış IFS devresi tasarlanmıştır. Ayrıca, bir DDCC ve sadece topraklanmış elemanlar kullanarak iki yeni yüzen IFS devresi, topraklanmış IFS tasarımından sağlanmıştır.

Uygulama olarak birinci tasarım topraklanmış IFS devresinden türetilmiş ikinci dereceden CM süzgeç devresi LP, BP, ve HP cevaplarını sağlamaktadır. Benzer şekilde elde edilen, ikinci dereceden VM BP süzgeç devresi yüksek giriş empedansına sahiptir. Bunlara ek olarak birinci tasarım IFS devresinden türetilen QO devresi uygulaması verilmiştir. Ancak, bu çalışmada tasarımı yapılan BP ve QO devreleri dışındaki tasarlanan devrelerin uygun şekilde çalışması için bir pasif eleman eşleme şartı bulunmaktadır.

Tasarlanan CM ve VM süzgeç devrelerinin benzetimleri SPICE programı aracılığıyla gerçekleştirilmiştir ve deneysel test sonuçlarıyla uyumluluğu gösterilmiştir. Sonuç olarak tasarlanan devrelerin kontrol mühendisliği, telekomünikasyon, sinyal işleme gibi birçok uygulamada yararlı olacağı beklenmektedir.

4. DDCC TABANLI TOPRAKLANMIŞ ENDÜKTANS SİMÜLATÖRÜ TASARIMI VE BENZETİMİ

4.1 Giriş

Bu bölümde DDCC tabanlı yeni bir topraklanmış endüktans simülatörü (SGI) tasarımı yapılmıştır. SGI devresi bir DDCC bloğu, iki yüzen direnç ve bir topraklanmış kapasitör kullanılarak tasarlanmıştır. Uygulama olarak ikinci dereceden CM LP, HP ve BP süzgeç cevapları tasarlanan topraklanmış endüktans devresinden elde edilmiştir. Tasarlanan devreler 0.18 μm TSMC CMOS teknoloji parametreleri kullanılarak SPICE programında benzetimleri yapılmıştır. Devrelerin tasarımlarında DC simetrik güç kaynağı gerilim değeri ± 0.9 V ve $V_B = 0.2$ V olarak ayarlanmıştır. CM süzgeç devresinin güç tüketimleri SPICE benzetimlerinde yaklaşık 3 mW olarak bulunmuştur.

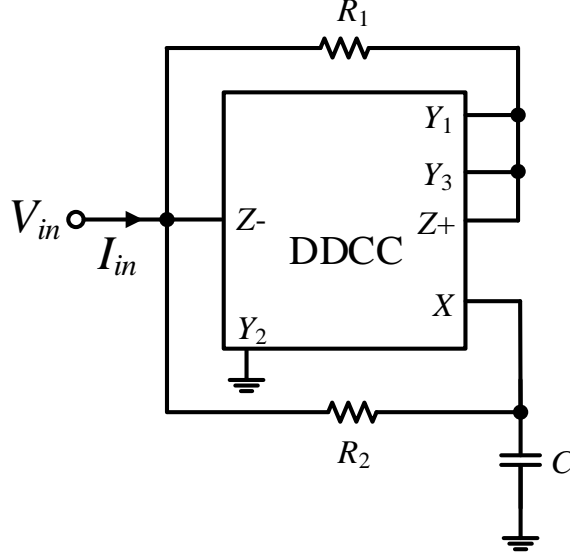
4.2 Topraklanmış Endüktans Simülatörü Tasarımı

Şekil 4.1’de gösterilen SGI devresi, bir DDCC bloğu, iki yüzen direnç ve bir topraklanmış kapasitör kullanılarak tasarlanmıştır. Tasarımda kullanılan altı terminalli DDCC bloğunun elektriksel gösterimi Şekil 2.4’te belirtilmiştir. Pasif elemanları $R_1 = R/2$, $R_2 = R$ ve akım kazançları $\alpha=1$ ve $\gamma = 3/2$ olacak şekilde, tasarlanan devrede analiz yapılırsa, giriş empedansı aşağıda gösterilen eşitlik gibi ifade edilebilir.

$$Z_{in} = \frac{V_{in}}{I_{in}} = 2sCR^2 \quad (4.1)$$

Eğer frekansa bağımlı ideal olmayan kazançlar dikkate alınır (4.1) eşitliğinde gösterilen topraklanmış endüktansın giriş empedansı eşitliği, (4.2) eşitliğinde verildiği gibi elde edilir:

$$Z_{in} = \frac{V_{in}}{I_{in}} = \frac{sCR_1R_2\alpha(\beta_1 + \beta_3) + R_1\alpha(\beta_1 + \beta_3) - R_2}{sC(R_1\alpha + R_2(\alpha - \gamma))(\beta_1 + \beta_3) + (\alpha - \gamma + 1)(\beta_1 + \beta_3 - 1)} \quad (4.2)$$



Şekil 4.1: Topraklanmış endüktans simülatorü tasarımı.

4.3 Topraklanmış Endüktans Tasarımı Uygulama Örnekleri

Şekil 4.1’de gösterilen SGI tasarımından elde edilen ikinci dereceden CM süzgeç tasarımı Şekil 4.2’de gösterilmiştir. Pasif elemanları $R_2 = R/2$, $R_3 = R$ ve akım kazançları $\alpha=1$ ve $\gamma = 3/2$ olacak şekilde CM süzgeç devresinin analizi yapılsa aşağıda gösterilen LP, HP ve BP TF eşitlikleri elde edilir.

$$\frac{I_{LP}}{I_{in}} = \frac{R_1 / 2}{s^2 C_1 C_2 R_1 R^2 + s C_2 R^2 + R_1 / 2} \quad (4.3a)$$

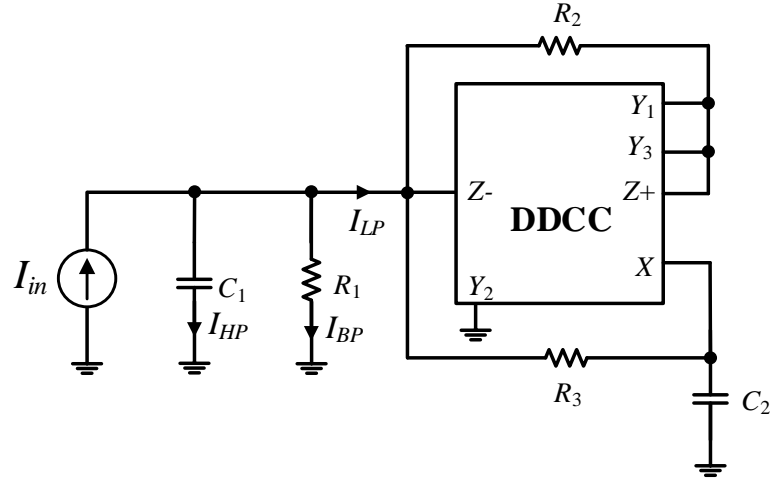
$$\frac{I_{HP}}{I_{in}} = \frac{s^2 C_1 C_2 R_1 R^2}{s^2 C_1 C_2 R_1 R^2 + s C_2 R^2 + R_1 / 2} \quad (4.3b)$$

$$\frac{I_{BP}}{I_{in}} = \frac{s C_2 R^2}{s^2 C_1 C_2 R_1 R^2 + s C_2 R^2 + R_1 / 2} \quad (4.3c)$$

Yukarıdaki eşitliklerden elde edilen devrenin ω_0 ve Q değerleri sırasıyla (4.4a) ve (4.4b) eşitliklerinde verilmiştir:

$$\omega_0 = \frac{1}{R\sqrt{2C_1C_2}} \quad (4.4a)$$

$$Q = \frac{R_1}{R} \sqrt{\frac{C_1}{2C_2}} \quad (4.4b)$$



Şekil 4.2: İkinci dereceden CM süzgeç uygulaması.

4.4 Benzetim Sonuçları

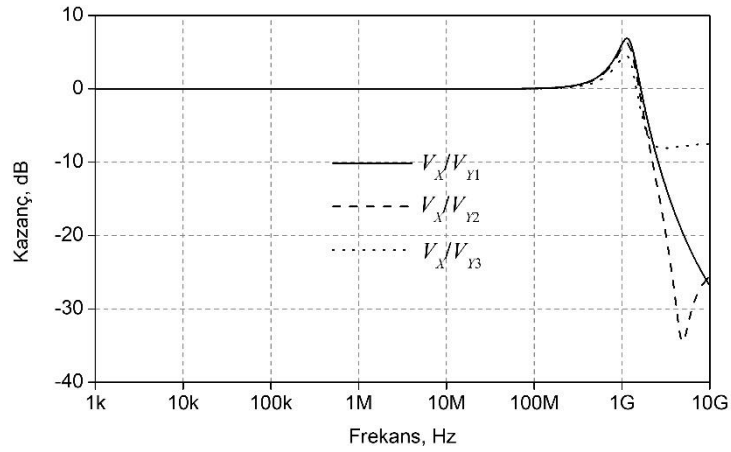
İçyapısı Şekil 2.5'te gösterilen altı terminalli DDCC aktif yapı bloğunun DC simetrik güç kaynakları ± 0.9 V ve kutuplama gerilimi $V_B = 0.2$ V olarak seçilmiştir. Bütün benzetimlerde $0.18 \mu\text{m}$ TSMC CMOS teknoloji parametreleri (Chuadhary 2010) kullanılmıştır. Şekil 4.1 ve Şekil 4.2'de kullanılan MOS transistör boyutları Tablo 4.1'de gösterilmiştir.

Tablo 4.1'de verilen MOS transistör boyutlarına göre tasarımda kullanılan DDCC bloğunun gerilim kazançları V_X/V_{Y1} , V_X/V_{Y2} ve V_X/V_{Y3} 'in frekansa bağlı değişimleri Şekil 4.3'te; akım kazançları I_{Z+}/I_X , I_{Z-}/I_X 'in frekansa bağlı değişimleri ise Şekil 4.4'te gösterilmiştir. SPICE programı aracılığıyla DDCC'nin parazit empedansları $R_X \cong 24.5 \Omega$, $R_{Z+} \cong 17.7 \text{ k}\Omega$, $R_{Z-} \cong 11.7 \text{ k}\Omega$, $C_{Y1} \cong 87 \text{ fF}$, $C_{Y2} \cong 86 \text{ fF}$ ve $C_{Y3} \cong 31.5 \text{ fF}$ olarak bulunmuştur. Bunlara ek olarak $\alpha_0 \cong 0.99$, $\gamma_0 \cong 1.499$, $\beta_{10} \cong 0.99$, $\beta_{20} \cong 0.99$, $\beta_{30} \cong 0.99$, $f_\alpha \cong 1.4 \text{ GHz}$, $f_\gamma \cong 1.34 \text{ GHz}$, $f_{\beta1} \cong 1.41 \text{ GHz}$, $f_{\beta2} \cong 1.39 \text{ GHz}$ ve $f_{\beta3} \cong 1.37 \text{ GHz}$ olarak bulunmuştur.

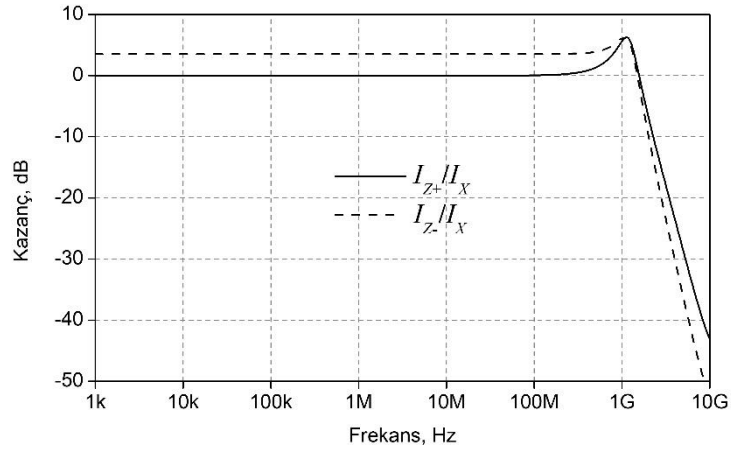
SGI tasarımının güç tüketimi, SPICE benzetimlerinde 3.01 mW olarak bulunmuştur. Şekil 4.1’de gösterilen SGI tasarımının ve Şekil 4.2’de SGI tasarımından türetilmiş ikinci dereceden CM süzgeç uygulamasının bütün benzetimleri SPICE programı ile gerçekleştirilmiştir.

Tablo 4.1: Şekil 2.5’te gösterilen altı terminalli DDCC bloğunun MOS transistor boyutları.

PMOS Transistör	$W(\mu m) / L(\mu m)$
M ₁ -M ₆ , M ₈ -M ₁₁	41.76 / 0.36
M ₇	62.64 / 0.36
NMOS Transistör	$W(\mu m) / L(\mu m)$
M ₁₂ -M ₁₇	13.32 / 0.36
M ₁₈	19.98 / 0.36



Şekil 4.3: DDCC bloğunun gerilim kazançları V_X/V_{Y1} , V_X/V_{Y2} ve V_X/V_{Y3} ’in frekansa bağlı değişimleri.

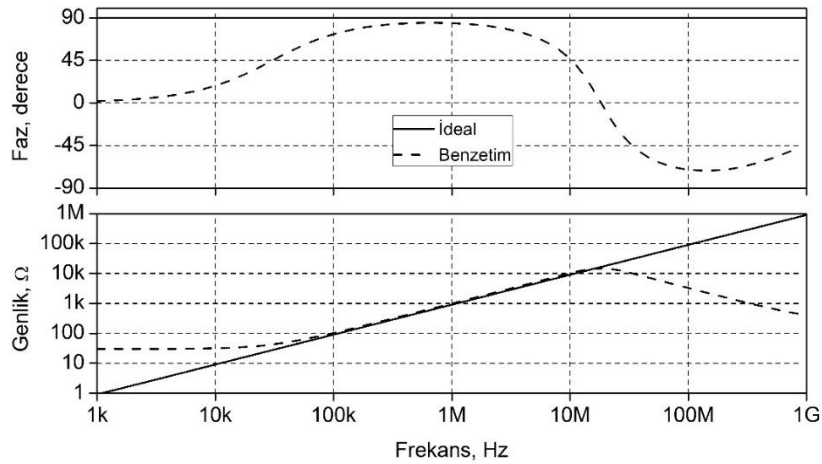


Şekil 4.4: DDCC bloğunun akım kazançları I_{Z+}/I_X , I_{Z-}/I_X ’in frekansa bağlı değişimleri.

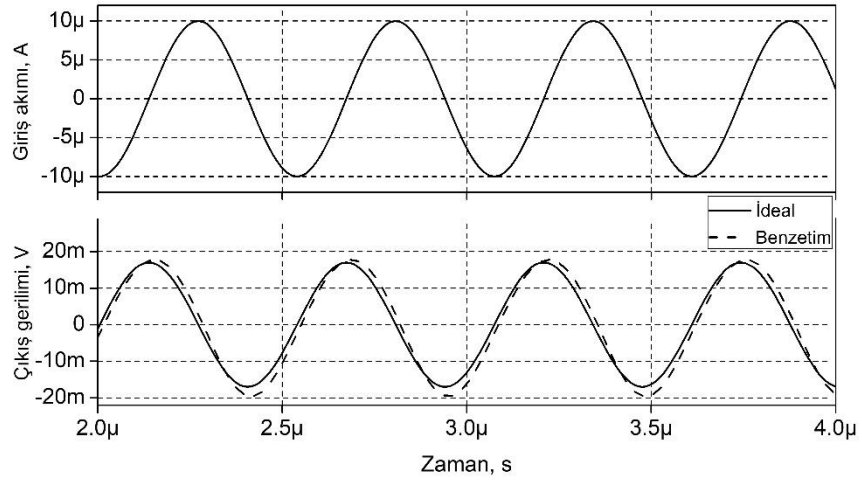
SGI devresinin pasif elemanları, $L_{es} = 144 \mu\text{H}$ olacak şekilde $R_1 = 0.6 \text{ k}\Omega$, $R_2 = 1.2 \text{ k}\Omega$ ve $C = 50 \text{ pF}$ olarak seçilmiştir. SGI tasarımının ideal ve ideal olmayan faz ve genliği Şekil 4.5'te verilmiştir. $10 \mu\text{A}$ tepe genliğinde, 1.87 MHz frekansında uygulanan sinüzoidal giriş akımına karşılık çıkış gerilimi cevabı Şekil 4.6'da gösterilmiştir.

Örnek olarak SGI tasarımından elde edilen, Şekil 4.2'de gösterilen ikinci dereceden CM süzgeç devresinin SPICE programı ile benzetimleri gerçekleştirilmiştir. Süzgeç devresinin pasif elemanları $Q \cong 1.2$ ve $f_0 \cong 1.87 \text{ MHz}$ olacak şekilde $R_1 = 2 \text{ k}\Omega$, $R_2 = 0.6 \text{ k}\Omega$, $R_3 = 1.2 \text{ k}\Omega$ ve $C_1 = C_2 = 50 \text{ pF}$ olarak seçilmiştir.

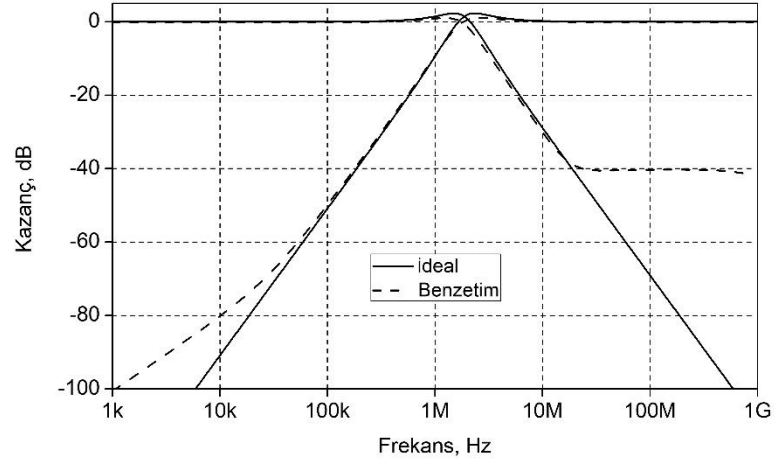
SGI tasarımından elde edilen ikinci dereceden CM süzgeç devresinin ideal ve benzetim LP ve HP cevapları Şekil 4.7'de, ideal ve benzetim BP cevabı ise Şekil 4.8'de gösterilmiştir. Tasarlanan CM süzgeç devresinin BP cevabı için kapasite değerlerinin %10 değiştirilmesi ile elde edilen 100 adımlı MC analizi ise Şekil 4.9'da verilmiştir. Ayrıca DC simetrik güç kaynağının gerilimini $\pm 0.8 \text{ V}$ ile $\pm 1 \text{ V}$ arasında 50 mV adım aralığıyla değiştirilerek elde edilen CM süzgecin BP kazanç cevabı Şekil 4.10'da gösterilmiştir. CM süzgecin sıcaklığının -50°C 'ten 100°C 'e değiştirilmesiyle elde edilen BP cevabı Şekil 4.11'de verilmiştir. CM BP süzgeç için giriş ve çıkış gürültüleri Şekil 4.12'de gösterilmiştir. SPICE benzetimlerinde CM BP devresinin güç tüketimi ise 3.01 mW olarak bulunmuştur. Ayrıca, BP süzgeç için 1.87 MHz frekansında uygulanan sinüzoidal giriş akımlarına karşılık, çıkışından alınan THD değişimleri Şekil 4.13'te verilmiştir.



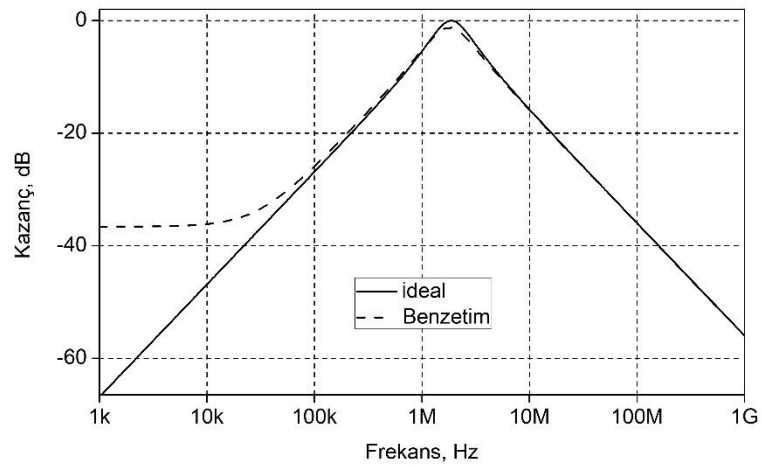
Şekil 4.5: Topraklanmış endüktans simülasyonu tasarımının ideal ve ideal olmayan faz ve genliği.



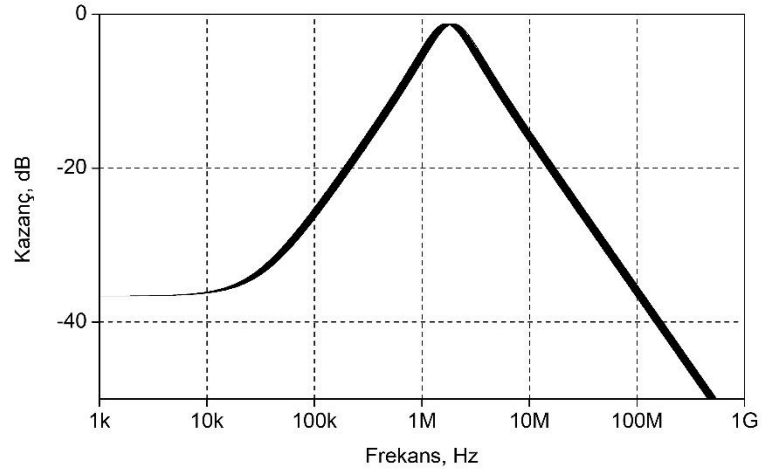
Şekil 4.6: $10 \mu\text{A}$ tepe genliğinde, 1.87 MHz frekansında uygulanan sinüzoidal giriş akımına karşılık çıkış gerilimi cevabı.



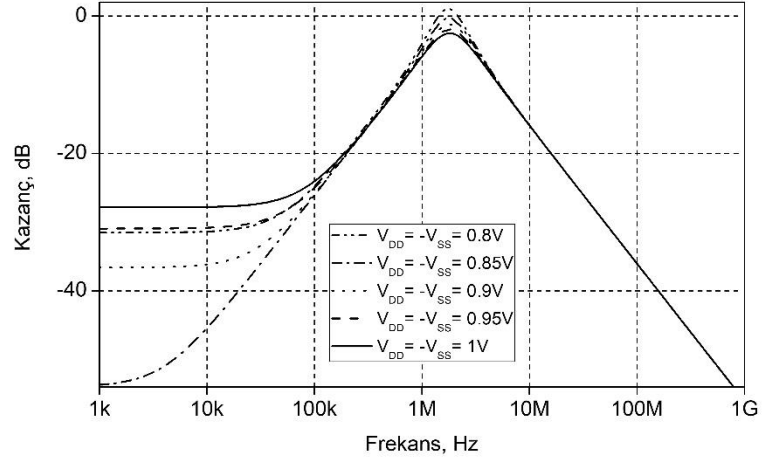
Şekil 4.7: CM süzgecin ideal ve ideal olmayan LP ve HP kazanç cevapları.



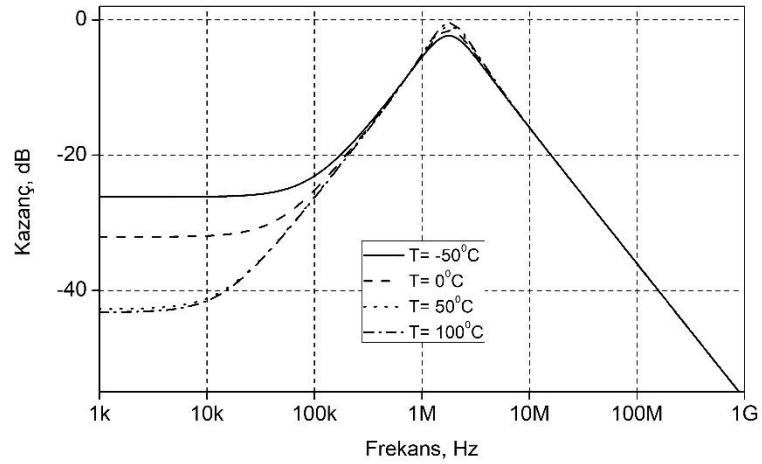
Şekil 4.8: CM süzgecin ideal ve ideal olmayan BP kazanç cevapları.



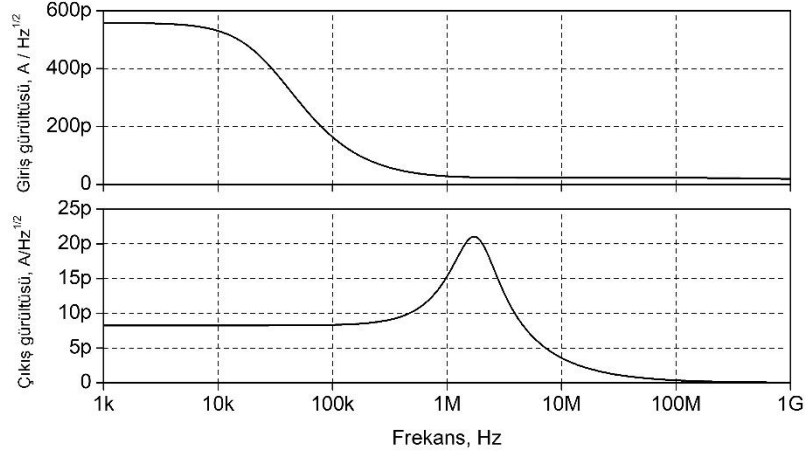
Şekil 4.9: CM BP süzgecin genliđinin kapasite deđerlerinin %10 deđiřtirilmesi ile elde edilen 100 adımlı Monte Carlo analizi.



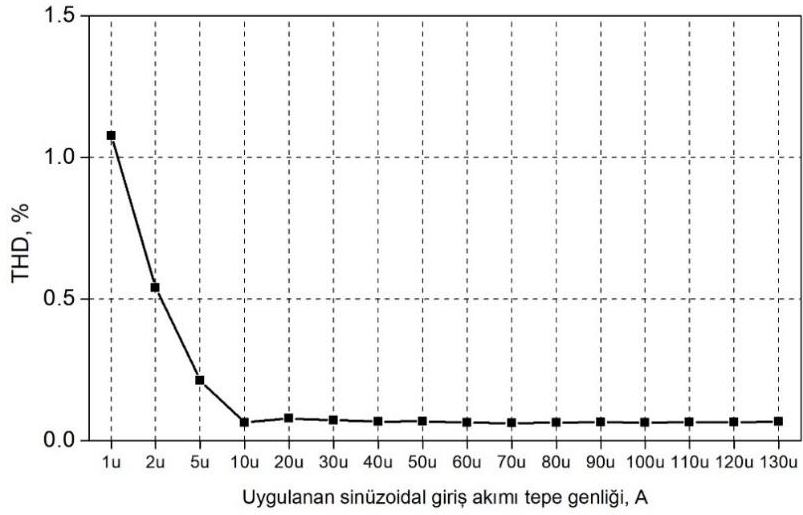
Şekil 4.10: CM BP süzgecin DC simetrik güç kaynađı deđerlerinin deđiřtirilmesiyle elde edilen kazanç cevabı.



Şekil 4.11: CM BP süzgecin sıcaklıđının -50°C'ten 100°C'e deđiřtirilmesiyle elde edilen kazanç cevabı.



Şekil 4.12: CM BP süzgeç için giriş ve çıkış gürültüleri.



Şekil 4.13: CM BP süzgecin çıkışından alınan THD değişimleri.

4.5 Bölüm Sonu Değerlendirmesi

Bu çalışmada DDCC tabanlı yeni bir SGI tasarımı yapılmıştır. Tasarımı yapılan SGI devresi bir DDCC bloğu, iki yüzen direnç ve bir topraklanmış kapasitör kullanılarak tasarlanmıştır. Uygulama olarak, SGI tasarımından türetilen ikinci dereceden CM süzgeç devresinden LP, HP ve BP süzgeç cevapları elde edilmiştir. Tasarlanan SGI devresinin ve uygulama örneğinin ideal ve ideal olmayan analizleri belirtilmiştir. Tasarlanan devrelerin bütün benzetimleri 0.18 μm TSMC CMOS teknoloji parametreleri kullanılarak SPICE programı aracılığıyla gerçekleştirilmiştir.

5. DDCC- TABANLI YÜZEN ENDÜKTANS SİMÜLATÖRÜ TASARIMI VE BENZETİMİ

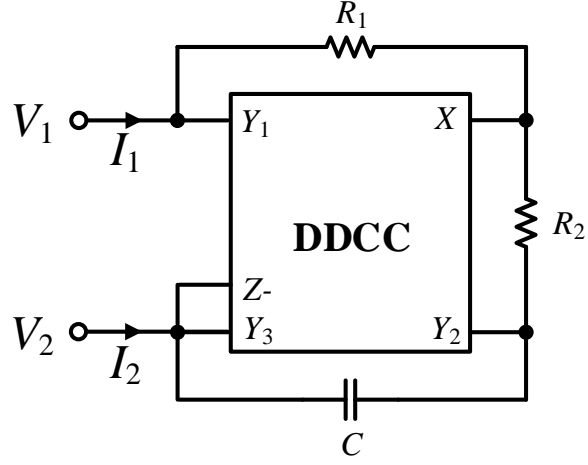
5.1 Giriş

Seri kayıplı, paralel kayıplı ve negatif kayıpsız olmak üzere üç yeni DDCC-tabanlı yüzen endüktans simülatörü (SFI) devresi tasarlanmıştır. Tasarlanan SFI devrelerinin her birinde DDCC- ve tek bir Z terminali kullanılmaktadır. Her bir endüktans simülatörü tasarımı, minimum sayıda pasif elemandan oluşmaktadır ve hiçbir pasif eleman eşleme şartına sahip değildir. Uygulama olarak seri kayıplı SFI tasarımından türetilen, ikinci dereceden CM ve VM LP süzgeç devreleri verilmiştir. Ayrıca, dördüncü dereceden CM Butterworth LP süzgeç devresi başka bir uygulama olarak sunulmuştur. Paralel kayıplı SFI tasarımından sağlanan ikinci dereceden CM HP süzgeç ve RLC rezonatör devresi verilmiştir. Tasarlanan devrelerin bütün benzetimleri 0.13 μm IBM CMOS teknoloji parametreleri kullanılarak SPICE programı aracılığıyla doğruluğu kanıtlanmıştır. Devrelerin tasarımlarında ± 0.75 V DC simetrik besleme gerilimi ve $V_B = 0.23$ V kullanılmıştır. Ayrıca, tasarlanan kayıplı SFI devrelerinin ve CM HP süzgeç devresinin deneysel test sonuçları, tasarımların performansını göstermek için verilmiştir (Abaci ve Yuce 2020).

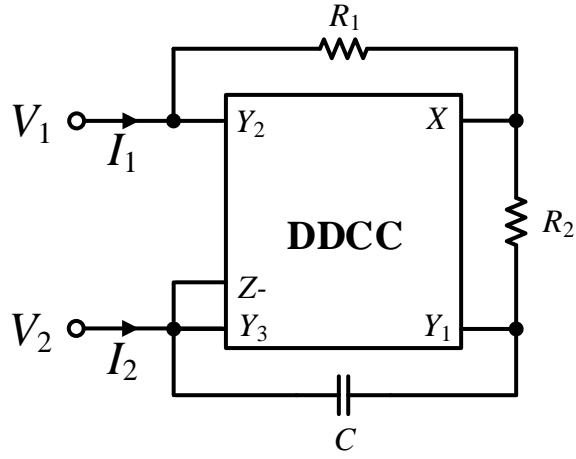
5.2 Yüzen Endüktans Tasarımı

Beş terminalli DDCC-'nin elektriksel sembolü Şekil 2.7'de gösterilmiştir. Tasarımı yapılan seri kayıplı SFI, paralel kayıplı SFI ve negatif kayıpsız SFI devreleri Şekil 5.1, Şekil 5.2 ve Şekil 5.3'te sırasıyla gösterilmiştir. Tasarlanan seri kayıplı SFI aşağıdaki gibi ifade edilebilir:

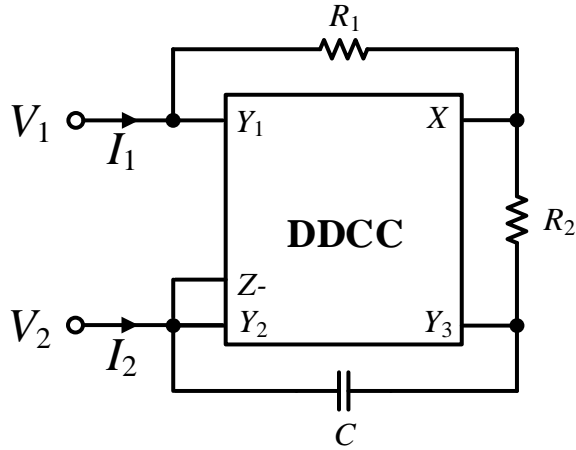
$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{1}{sCR_1R_2 + 2R_1} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \frac{1}{sL_{eş} + R_{eş}} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (5.1)$$



Şekil 5.1: Seri kayıplı yüzen endüktans simülatörü devresi tasarımı.



Şekil 5.2: Paralel kayıplı yüzen endüktans simülatörü devresi tasarımı.



Şekil 5.3: Negatif kayıpsız yüzen endüktans simülatörü devresi tasarımı.

Burada, $L_{eş} = CR_1R_2$ ve $R_{eş} = 2R_1$ 'dir. Devrenin Q değeri, (5.1) eşitliğinden, (5.2) eşitliği ile hesaplanır.

$$Q = \frac{\omega L_{e\varnothing}}{R_{e\varnothing}} \quad (5.2)$$

(5.2) eşitliğinden görülebileceği gibi, tasarlanan seri kayıplı SFI aşağıdaki frekans aralığında kayıpsız endüktans olarak çalışabilmektedir.

$$Q = \frac{2\pi fCR_2}{2} \geq 10 \Rightarrow f \geq \frac{10}{\pi} \frac{1}{CR_2} \quad (5.3)$$

Tasarlanan paralel kayıplı SFI'nın giriş admitansı eşitliği aşağıdaki gibi ifade edilebilir:

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \left(\frac{1}{sCR_1R_2} + \frac{2}{R_1} \right) \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \left(\frac{1}{sL_{e\varnothing}} + \frac{1}{R_{e\varnothing}} \right) \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (5.4)$$

Burada, $L_{e\varnothing} = CR_1R_2$ ve $R_{e\varnothing} = R_1/2$ 'dir. Devrenin Q 'su, eşitlik (5.4)'ten eşitlik (5.5)'te gösterildiği gibi hesaplanır.

$$Q = \frac{R_{e\varnothing}}{\omega L_{e\varnothing}} \quad (5.5)$$

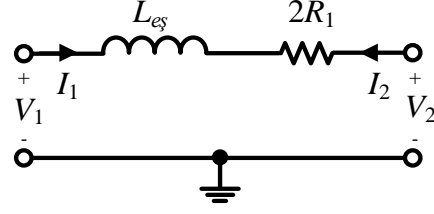
(5.4) eşitliğinde, tasarlanan paralel kayıplı SFI'nın aşağıdaki frekans aralığında kayıpsız endüktans gibi çalışabileceği görünmektedir.

$$Q = \frac{1}{4\pi fCR_2} \geq 10 \Rightarrow f \leq \frac{1}{40\pi CR_2} \quad (5.6)$$

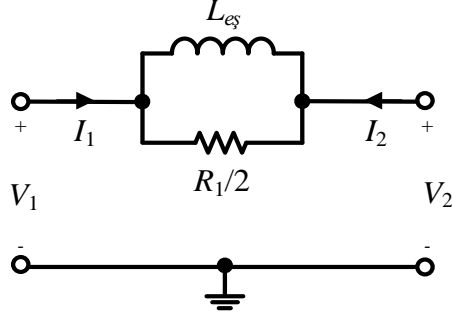
Tasarlanan negatif kayıpsız SFI'nın giriş admitansı eşitliği aşağıdaki gibi ifade edilebilir:

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = -\frac{1}{sCR_1R_2} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = -\frac{1}{sL_{e\varnothing}} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (5.7)$$

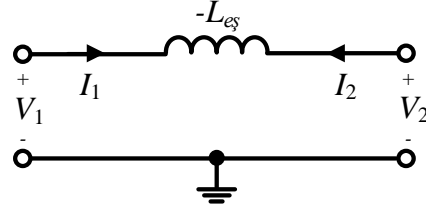
Burada, $L_{e\varnothing} = CR_1R_2$ olmaktadır. Tasarlanan seri kayıplı, paralel kayıplı ve negatif kayıpsız SFI devrelerinin elektriksel sembolleri Şekil 5.4, Şekil 5.5 ve Şekil 5.6'da sırasıyla gösterilmiştir.



Şekil 5.4: Seri kayıplı yüzen endüktansın elektriksel sembolü.



Şekil 5.5: Paralel kayıplı yüzen endüktansın elektriksel sembolü.



Şekil 5.6: Negatif kayıpsız yüzen endüktansın elektriksel sembolü.

Şekil 5.1’de verilen seri kayıplı SFI devresinin I_1 akımı, ideal olmayan kazançlar dikkate alınarak hesaplanırsa aşağıdaki eşitlikteki gibi hesaplanabilir:

$$I_1 = \frac{1}{sCR_1R_2 + R_1(1 + \beta_2)} (aV_1 + bV_2) \quad (5.8)$$

Burada,

$$a = sCR_2(1 - \beta_1) + 1 - \beta_1 + \beta_2 \quad (5.9a)$$

$$b = sCR_2(\beta_2 - \beta_3) - \beta_3 \quad (5.9b)$$

Benzer şekilde, I_2 akımı da aşağıdaki eşitlikte gösterildiği gibi hesaplanabilir:

$$I_2 = -\frac{1}{sCR_1R_2 + R_1(1 + \beta_2)} (cV_1 + dV_2) \quad (5.10)$$

Burada,

$$c = sCR_1\beta_1(1-\gamma) + sCR_2\gamma(1-\beta_1) + \gamma(1-\beta_1 + \beta_2) \quad (5.11a)$$

$$d = sCR_1(\beta_2 - \beta_3 + 1)(\gamma - 1) + sCR_2\gamma(\beta_2 - \beta_3) - \gamma\beta_3 \quad (5.11b)$$

Şekil 5.2’de verilen paralel kayıplı SFI devresinin I_1 akımı, ideal olmayan kazançlar dikkate alınırsa aşağıdaki eşitlikte gösterildiği gibi hesaplanabilir:

$$I_1 = \frac{1}{sCR_1R_2 + R_1(1-\beta_1)} (aV_1 + bV_2) \quad (5.12)$$

Burada,

$$a = sCR_2(1 + \beta_2) + 1 - \beta_1 + \beta_2 \quad (5.13a)$$

$$b = -sCR_2(\beta_1 + \beta_3) - \beta_3 \quad (5.13b)$$

Benzer şekilde, I_2 akımı da aşağıdaki eşitlikte gösterildiği gibi hesaplanabilir:

$$I_2 = -\frac{1}{sCR_1R_2 + R_1(1-\beta_1)} (cV_1 + dV_2) \quad (5.14)$$

Burada,

$$c = sCR_1\beta_2(\gamma - 1) + sCR_2\gamma(1 + \beta_2) + \gamma(1 - \beta_1 + \beta_2) \quad (5.15a)$$

$$d = sCR_1(1 - \beta_1 - \beta_3)(\gamma - 1) - sCR_2(\beta_1 + \beta_3)\gamma - \beta_3\gamma \quad (5.15b)$$

Şekil 5.3’te gösterilen negatif kayıpsız SFI devresinin I_1 akımı, ideal olmayan kazançlar dikkate alınırsa aşağıdaki eşitlikte gösterildiği gibi hesaplanabilir:

$$I_1 = -\frac{1}{sCR_1R_2 + R_1(1-\beta_3)} (aV_1 + bV_2) \quad (5.16)$$

Burada,

$$a = sCR_2(\beta_1 - 1) + \beta_1 + \beta_3 - 1 \quad (5.17a)$$

$$b = sCR_2(\beta_3 - \beta_2) - \beta_2 \quad (5.17b)$$

Benzer şekilde, I_2 akımı aşağıdaki eşitlikte olduğu gibi hesaplanabilir:

$$I_2 = -\frac{1}{sCR_1R_2 + R_1(1-\beta_3)} (cV_1 + dV_2) \quad (5.18)$$

Burada,

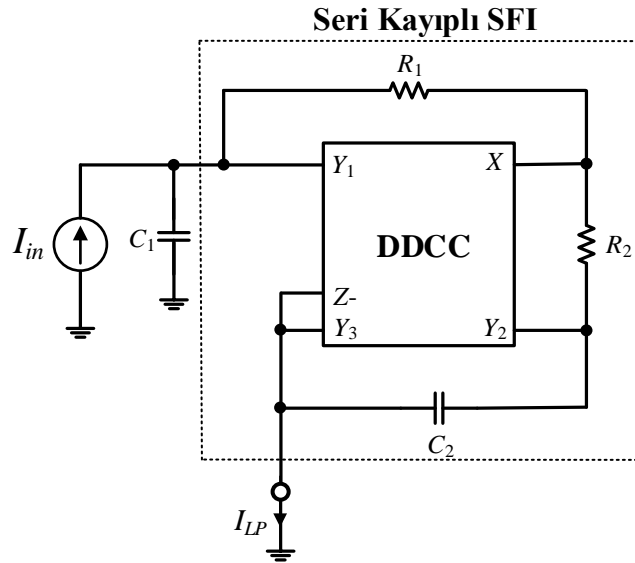
$$c = sCR_1\beta_1(1-\gamma) + sCR_2\gamma(1-\beta_1) + \gamma(1-\beta_1-\beta_3) \quad (5.19a)$$

$$d = sCR_1(\gamma-1)(1+\beta_2-\beta_3) + sCR_2(\beta_2-\beta_3) + \beta_2\gamma \quad (5.19b)$$

5.3 Uygulama Örnekleri

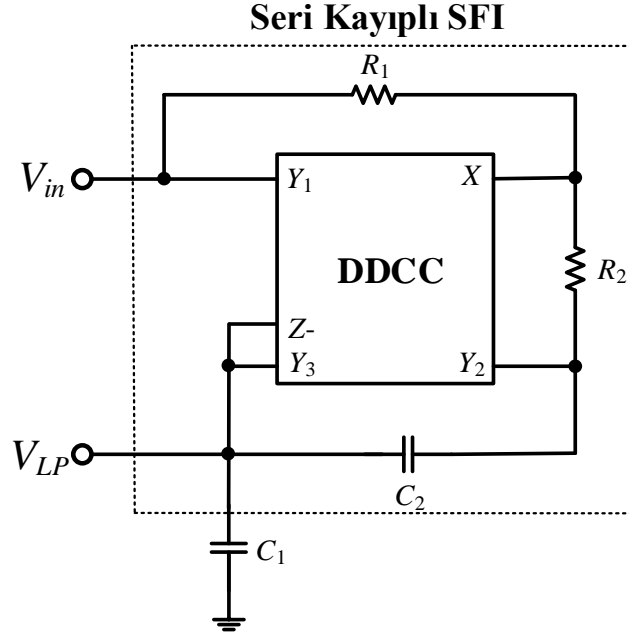
Şekil 5.1’de verilen tasarımı yapılan seri kayıplı SFI devresinden türetilen, CM ve VM LP süzgeç devreleri sırasıyla Şekil 5.7 ve Şekil 5.8’de gösterilmiştir. Ayrıca, dördüncü dereceden CM Butterworth LP süzgeç devresi Şekil 5.9’da gösterilmiştir. Uygulama olarak sunulan CM ve VM süzgeç devreleri aşağıda gösterilen LP TF’nu sağlayabilmektedir.

$$H(s) = \frac{1}{s^2 C_1 C_2 R_1 R_2 + 2s C_1 R_1 + 1} \quad (5.20)$$

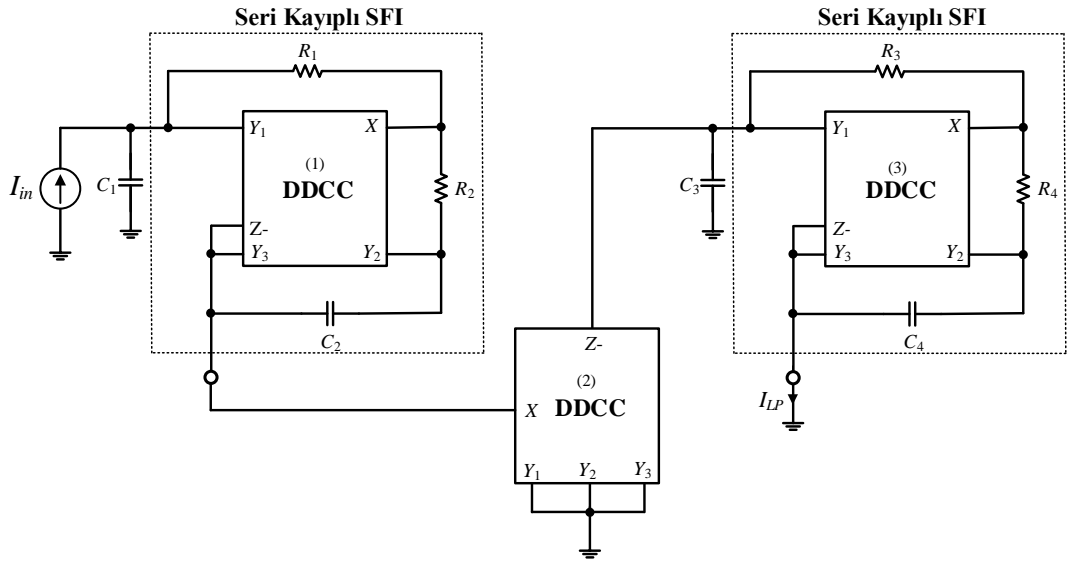


Şekil 5.7: Seri kayıplı SFI devresinden türetilen akım modlu alçak geçiren süzgeç devresi.

Şekil 5.7 ve Şekil 5.9’dan görülebileceği gibi yüksek empedans çıkış akımı sağlamak için ek olarak CF devresine ihtiyaç vardır.



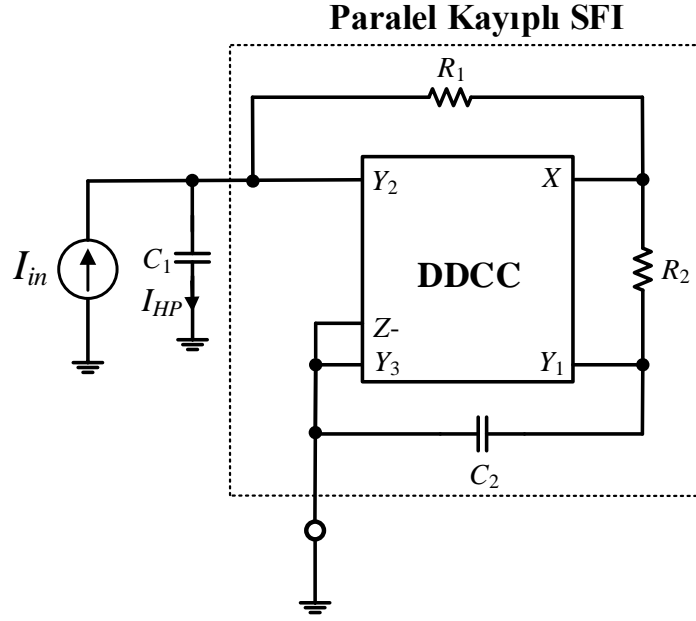
Şekil 5.8: Seri kayıplı SFI devresinden türetilen gerilim modlu alçak geçiren süzgeç devresi.



Şekil 5.9: Dördüncü dereceden akım modlu Butterworth alçak geçiren süzgeç devresi.

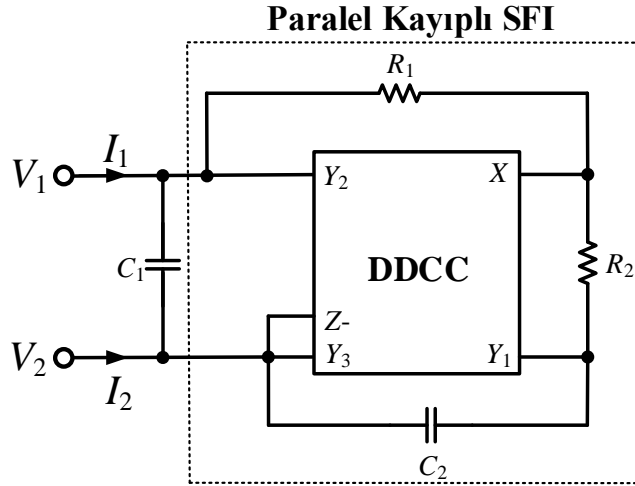
Tasarımı yapılan paralel kayıplı SFI devresinden türetilen CM HP süzgeç devresi Şekil 5.10’da gösterilmiştir. Uygulama olarak sunulan CM HP süzgeç devresinin sağladığı HP TF aşağıdaki eşitlikte gösterilmiştir.

$$\frac{I_{HP}}{I_{in}} = \frac{s^2 C_1 C_2 R_1 R_2}{s^2 C_1 C_2 R_1 R_2 + 2s C_2 R_2 + 1} \quad (5.21)$$



Şekil 5.10: Paralel kayıplı SFI devresinden türetilen akım modlu yüksek geçiren süzgeç devresi.

Benzer şekilde, Şekil 5.10'da görülebileceği gibi yüksek çıkış empedansından akım sağlamak için ayrıca bir CF'a ihtiyaç vardır. Paralel kayıplı SFI devresinin başka bir uygulaması olarak RLC rezonatör devresi Şekil 5.11'de belirtilmiştir.



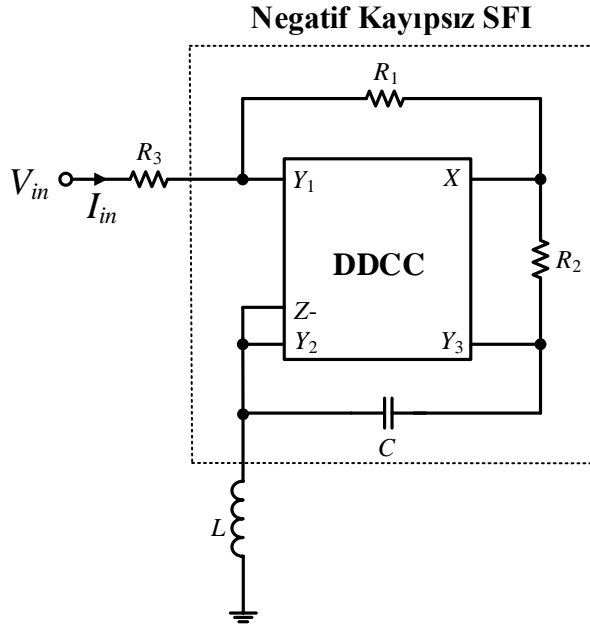
Şekil 5.11: Paralel kayıplı SFI devresinden türetilen RLC rezonatör devresi.

Şekil 5.11'de verilen RLC rezonatör devresinin rutin analizi aşağıdaki matris eşitliğini sağlamaktadır:

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \left(\frac{2sC_2R_2 + 1}{sC_2R_1R_2} + sC_1 \right) \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (5.22)$$

Tasarımı yapılan negatif kayıpsız SFI devresi için uygulama örneği Şekil 5.12’de verilmiştir. Şekil 5.12’de gösterilen devrenin giriş akımı, I_{in} aşağıdaki eşitlikteki gibi bulunur:

$$I_{in} = \frac{V_{in}}{R_3} \quad (5.23)$$



Şekil 5.12: Negatif kayıpsız SFI devresi tasarımı uygulaması.

5.4 Parazit Empedans Etkisi

DDCC-'nin X, Z-, Y_1 , Y_2 ve Y_3 terminallerine ait parazit empedansları Şekil 2.9’da belirtilmiştir. Eğer sadece parazit empedansları dikkate alınır, Şekil 2.9’da verilen DDCC-'nin matris eşitliği, (2.9) eşitliğinde gösterildiği gibi tanımlanabilir.

Örnek olarak, tasarımı yapılan negatif kayıpsız SFI devresinin parazit empedansının performansı üzerindeki etkisi incelenmiştir. Eğer negatif kayıplı SFI devresinin ikinci terminali topraklanırsa, devrenin giriş empedansı, parazit empedansından dolayı aşağıdaki eşitlikteki gibi hesaplanabilir:

$$Z_{in1} = \frac{1}{sC_{Y1}} // \frac{R_X(1 + s(C + C_{Y3})(R_1 + R_2)) + s(C + C_{Y3})R_1R_2}{-1 + s(C + C_{Y3})R_X} \quad (5.24)$$

Eğer negatif kayıpsız SFI devresinin ilk terminali topraklanırsa, parazit empedanstan dolayı devrenin giriş empedansı aşağıdaki gibi hesaplanabilir:

$$Z_{in2} = \frac{1}{s(C_{Z-} + C_{Y2}) + \frac{1}{R_{Z-}}} // Z(s) \quad (5.25)$$

Burada, $Z(s)$ aşağıdaki eşitlikteki gibi bulunur:

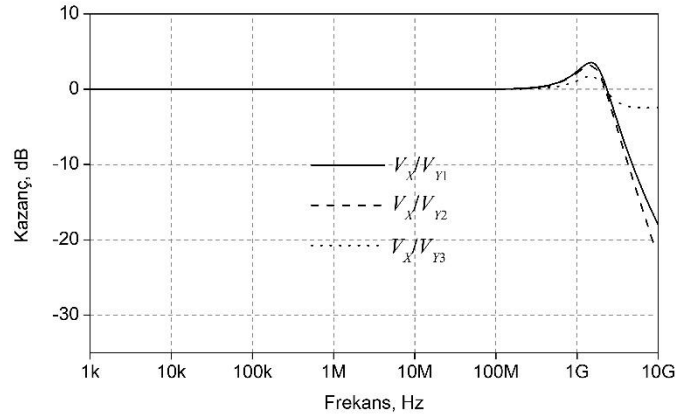
$$Z(s) = \frac{R_X(1 + s(C + C_{Y3})(R_1 + R_2)) + s(C + C_{Y3})R_1R_2}{-1 - sC_{Y3}(R_1 + R_2) + sCR_X + s^2CC_{Y3}(R_1R_2 + R_X(R_1 + R_2))} \quad (5.26)$$

5.5 Benzetim Sonuçları

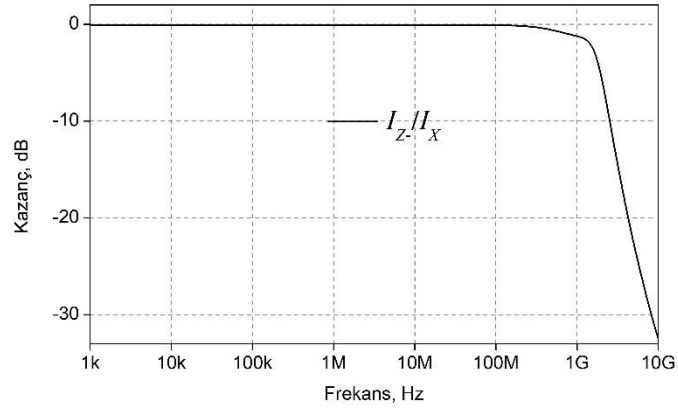
İçyapısı Şekil 2.8’de gösterilen DDCC- aktif yapı bloğunun MOS transistör boyutları Tablo 5.1’de belirtilmiştir. Tablo 5.1’de verilen MOS transistör boyutlarına göre tasarımda kullanılan DDCC- bloğunun gerilim kazançları V_X/V_{Y1} , V_X/V_{Y2} ve V_X/V_{Y3} ’in frekansa bağlı değişimleri Şekil 5.13’te; akım kazancı I_Z/I_X ’ın frekansa bağlı değişimleri ise Şekil 5.14’te gösterilmiştir. Parazit empedansları SPICE programı aracılığıyla $R_X \cong 30 \Omega$, $R_{Z-} \cong 11 \text{ k}\Omega$, $C_{Z-} \cong 30 \text{ fF}$, $C_{Y1} = C_{Y2} \cong 105 \text{ fF}$ ve $C_{Y3} \cong 8 \text{ fF}$ olarak bulunmuştur. Ayrıca, $\gamma_0 \cong \beta_{10} \cong \beta_{20} \cong \beta_{30} \cong 0.99$, $f_\gamma \cong 1.67 \text{ GHz}$, $f_{\beta1} \cong 2.25 \text{ GHz}$, $f_{\beta2} \cong 2.2 \text{ GHz}$ ve $f_{\beta3} \cong 2.8 \text{ GHz}$ olarak bulunmuştur. Seri kayıplı SFI devresi için pasif elemanları, $L_{e\varnothing} = 200 \mu\text{H}$ ve $R_{e\varnothing} = 2 \text{ k}\Omega$ sağlayacak şekilde; $R_1 = 1 \text{ k}\Omega$, $R_2 = 4 \text{ k}\Omega$ ve $C = 50 \text{ pF}$ olarak seçilmiştir. Paralel kayıplı SFI devresi için pasif elemanları, $L_{e\varnothing} = 200 \mu\text{H}$ ve $R_{e\varnothing} = 2 \text{ k}\Omega$ sağlayacak şekilde; $R_1 = 4 \text{ k}\Omega$, $R_2 = 1 \text{ k}\Omega$ ve $C = 50 \text{ pF}$ olarak seçilmiştir. Ayrıca, negatif kayıpsız SFI devresinin pasif elemanları, $L_{e\varnothing} = 200 \mu\text{H}$ sağlayacak şekilde; $R_1 = 2 \text{ k}\Omega$, $R_2 = 2 \text{ k}\Omega$ ve $C = 50 \text{ pF}$ olarak seçilmiştir.

Tablo 5.1: Şekil 2.8’de gösterilen DDCC-’nin MOS transistör boyutları.

PMOS Transistör	$W(\mu\text{m})/L(\mu\text{m})$
M ₁ -M ₁₀	40/0.5
NMOS Transistör	$W(\mu\text{m})/L(\mu\text{m})$
M ₁₁ -M ₁₆	13/0.5



Şekil 5.13: DDCC- bloğunun gerilim kazançları V_X/V_{Y1} , V_X/V_{Y2} ve V_X/V_{Y3} 'in frekansa bağlı değişimi.



Şekil 5.14: DDCC- bloğunun akım kazancı I_Z/I_X 'in frekansa bağlı değişimi.

Tasarlanan bütün SFI devreleri SPICE programı aracılığıyla benzetimleri yapılmıştır. Şekil 5.1 ve Şekil 5.2'de verilen seri ve paralel kayıplı SFI devrelerinin toplam güç tüketimleri 2.06 mW olarak bulunmuştur. Ayrıca, Şekil 5.3'te verilen negatif kayıpsız SFI devresinin toplam güç tüketimi 1.96 mW olarak bulunmuştur.

Tasarlanan seri kayıplı SFI devresi için AC analizi, zaman ortamı analizi, 100 adımlı AC MC analizi, güç kaynağı gerilimlerinin değiştirilmesiyle elde edilen AC analizi ve sıcaklık değişimleriyle elde edilen AC analizi Şekil 5.15-5.19'da sırasıyla gösterilmiştir.

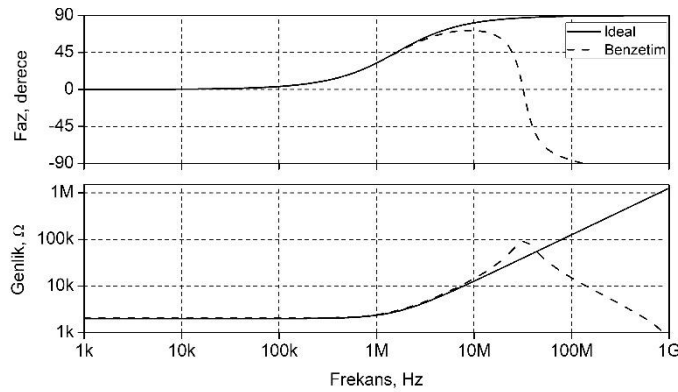
Tasarlanan paralel kayıplı SFI devresi için AC analizi, zaman ortamı analizi, 100 adımlı AC MC analizi, güç kaynağı gerilimlerinin değiştirilmesiyle elde edilen AC analizi ve sıcaklık değişimleriyle elde edilen AC analizi Şekil 5.20, 5.21, 5.22, 5.23 ve 5.24'te sırasıyla gösterilmiştir.

Tasarlanan negatif kayıpsız SFI devresi için AC analizi, zaman ortamı analizi, 100 adımlı AC MC analizi, güç kaynağı gerilimlerinin değiştirilmesiyle elde edilen AC analizi ve sıcaklık değişimleriyle elde edilen AC analizi Şekil 5.25, 5.26, 5.27, 5.28 ve 5.29’da sırasıyla gösterilmiştir.

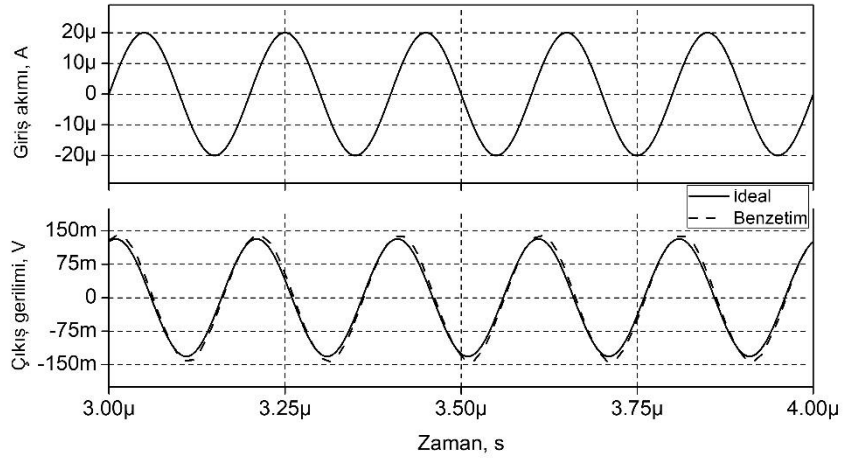
Bütün AC analizlerde devrelerin empedanslarının genlik ve faz cevapları verilmiştir. Zaman ortamı analizinde, tasarımı yapılan seri kayıplı SFI devresinin girişine 5 MHz frekansında 20 μ A tepe genliğinde giriş akımı uygulanmıştır; paralel kayıplı SFI devresinin girişine 200 kHz frekansında 50 μ A tepe genliğinde giriş akımı uygulanmıştır. Buna ek olarak, tasarımı yapılan negatif kayıpsız SFI devresinin girişine 5 MHz frekansında 50 mV tepe genliğinde giriş gerilimi uygulanmıştır.

Şekil 5.18, 5.23 ve 5.28’de DC simetrik güç kaynaklarının gerilimi ± 0.65 V ile ± 0.9 V arasında 50 mV adım aralığıyla değiştirilmiştir. Şekil 5.19, 5.24 ve 5.29’de devrelerin sıcaklığı -40 °C ile 120 °C arasında 40 °C adım aralığıyla değiştirilmiştir. Ayrıca, MC benzetimlerinde bütün pasif eleman değerleri %10 oranında değiştirilmiştir.

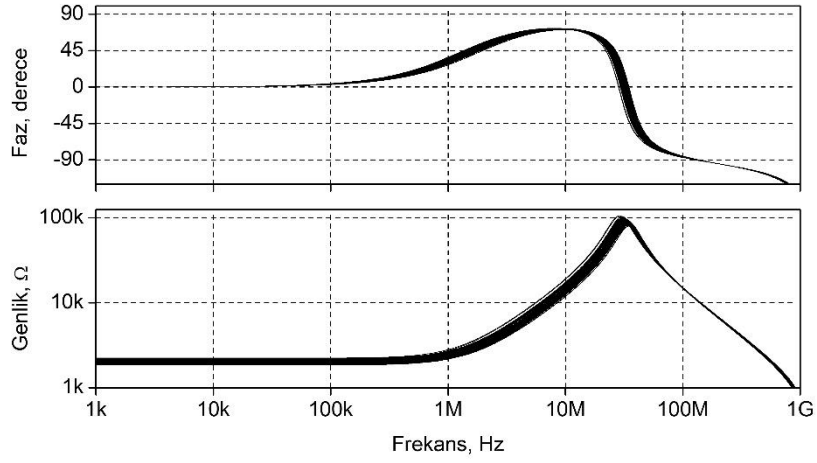
Şekil 5.17, 5.18 ve 5.19, Şekil 5.22, 5.23 ve 5.24 ve Şekil 5.27, 5.28 ve 5.29’dan görülebileceği gibi devrelerin empedanslarının genliklerinde ve faz cevaplarında MC analizlerinden, besleme gerilimi farklılıklarından ve sıcaklık değişimlerinden kaynaklı küçük bir değişim olmaktadır. Ayrıca, sonuçlarda Şekil 2.9’da gösterilen DDCC-’nin frekansa bağlı ideal olmayan kazançlarından ve parazit empedanslarından kaynaklanabilecek küçük farklar olmasına rağmen, benzetim sonuçları ideal sonuçlara yakındır.



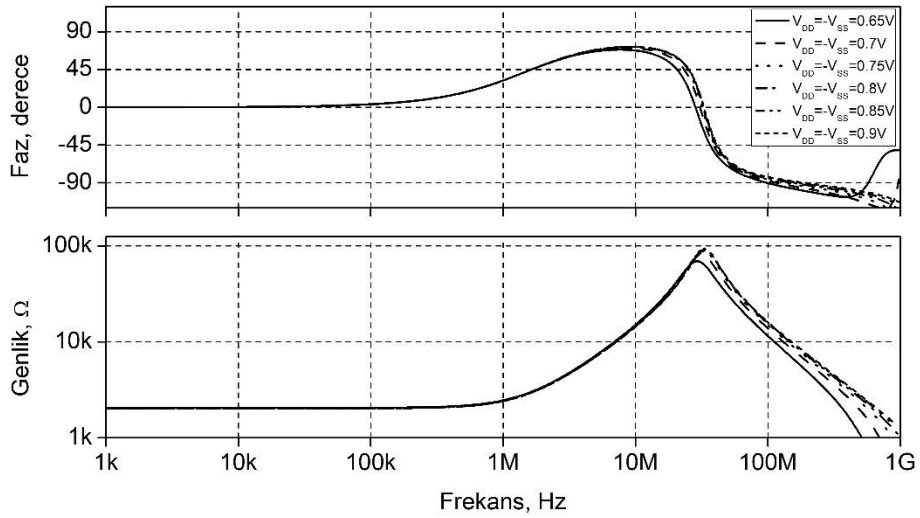
Şekil 5.15: Tasarlanan seri kayıplı SFI devresinin AC analizi.



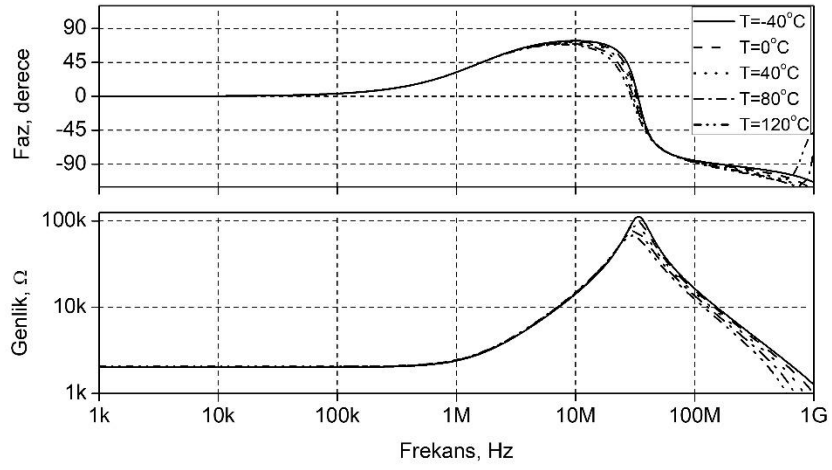
Şekil 5.16: Tasarlanan seri kayıplı SFI devresinin zaman ortamı analizi.



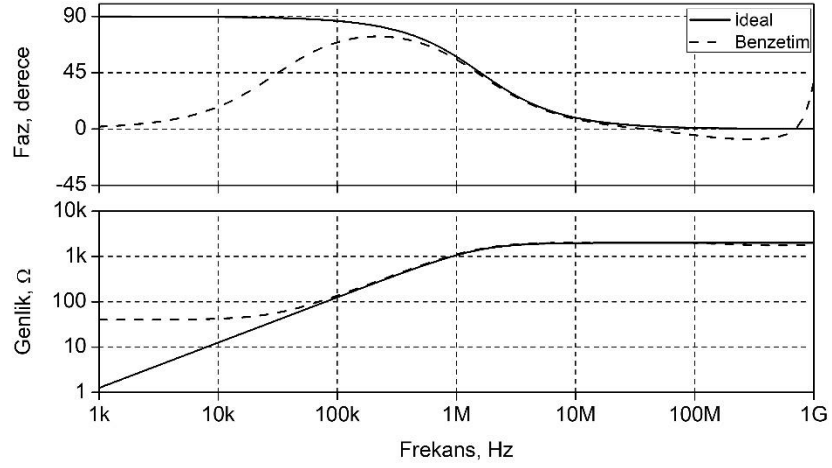
Şekil 5.17: Tasarımı yapılan seri kayıplı SFI devresi için 100 adımlı AC Monte Carlo analizi.



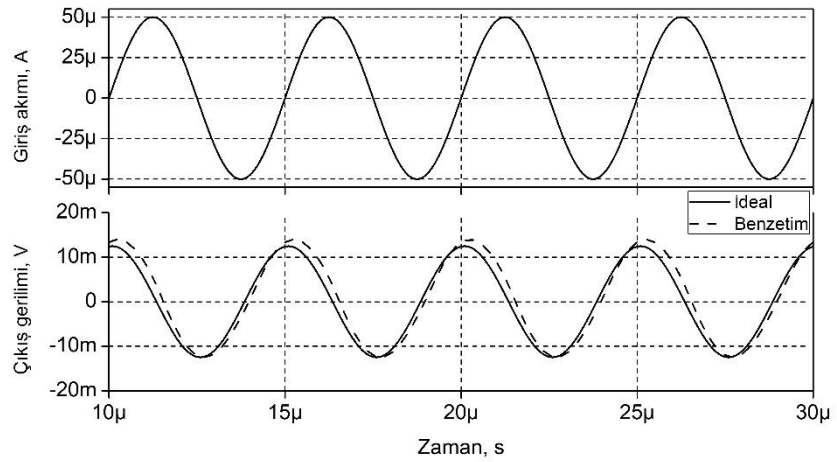
Şekil 5.18: Tasarlanan seri kayıplı SFI devresi için besleme gerilimlerinin değişimiyle elde edilen AC analizi.



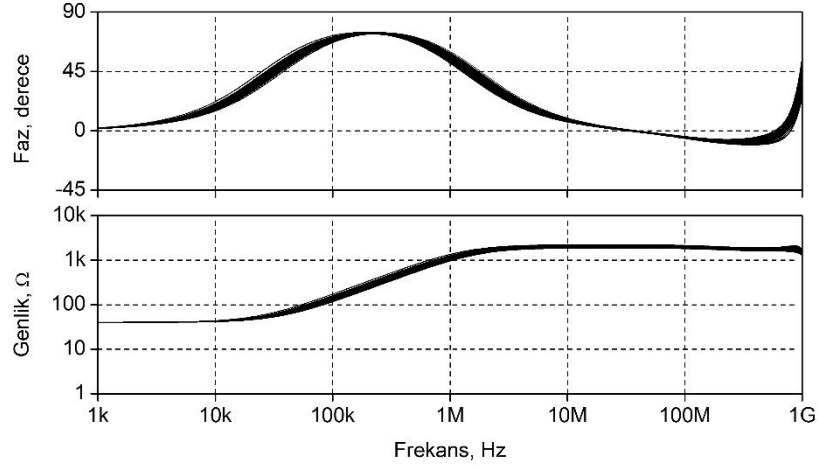
Şekil 5.19: Tasarlanan seri kayıplı SFI devresi için sıcaklık değişimleriyle elde edilen AC analizi.



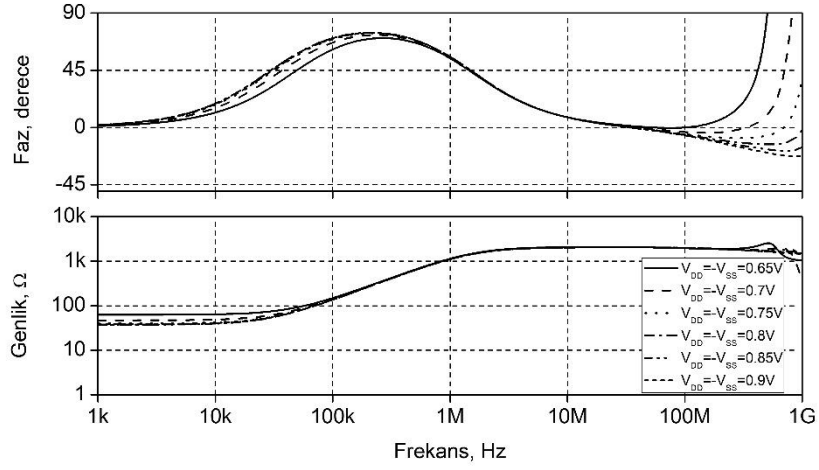
Şekil 5.20: Tasarlanan paralel kayıplı SFI devresi için AC analizi.



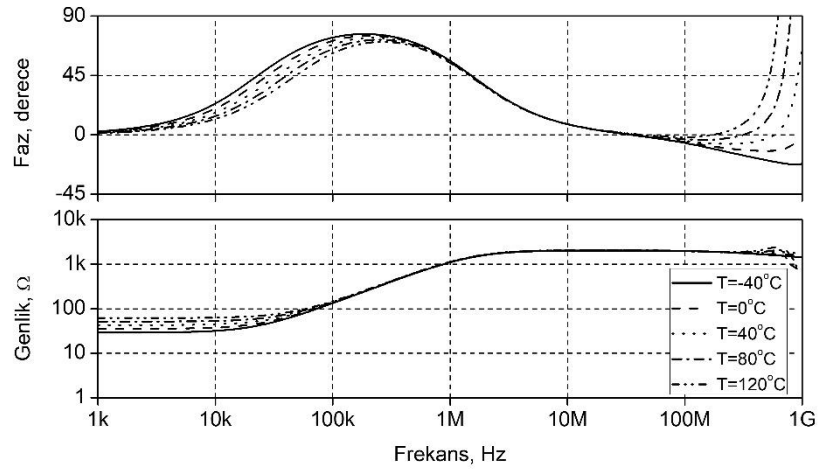
Şekil 5.21: Tasarlanan paralel kayıplı SFI devresi için zaman ortamı analizi.



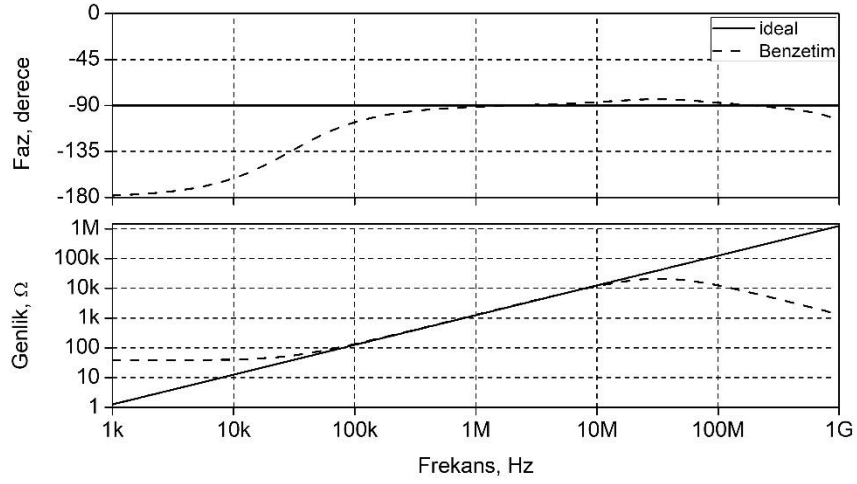
Şekil 5.22: Tasarlanan paralel kayıplı SFI devresi için 100 adımlı AC Monte Carlo analizi.



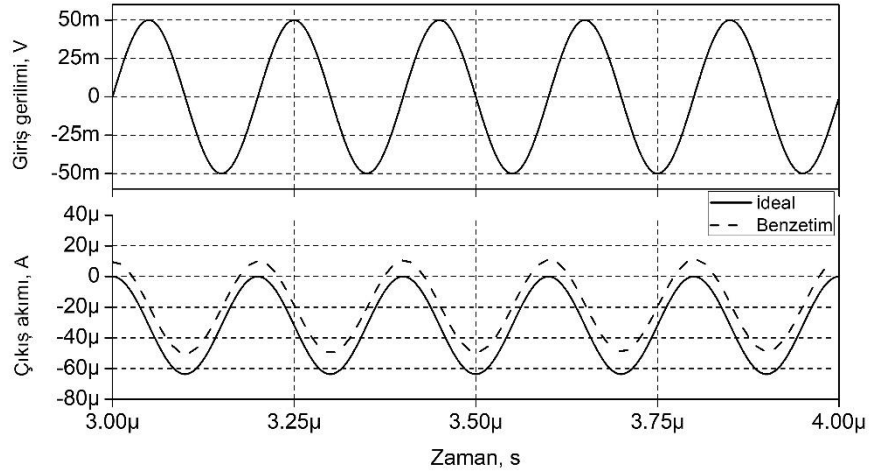
Şekil 5.23: Tasarlanan paralel kayıplı SFI devresi için simetrik besleme gerilimlerinin değişimiyle elde edilen AC analizi.



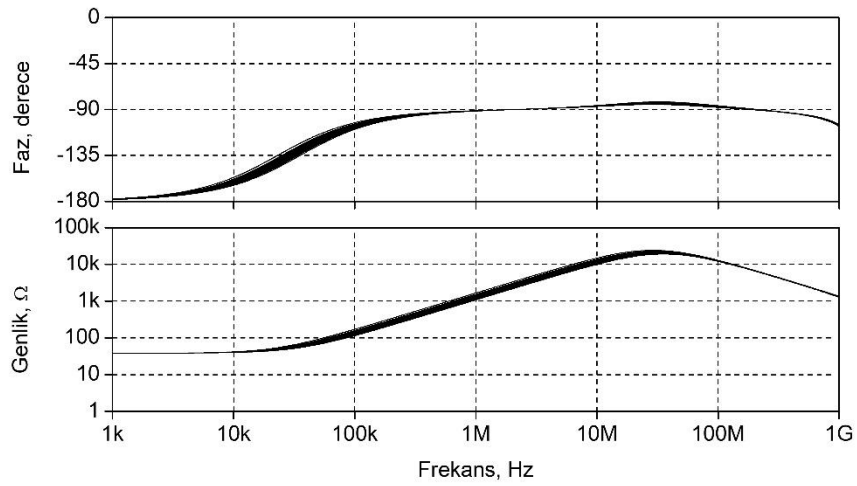
Şekil 5.24: Tasarlanan paralel kayıplı SFI devresi için sıcaklık değişimleriyle elde edilen AC analizi.



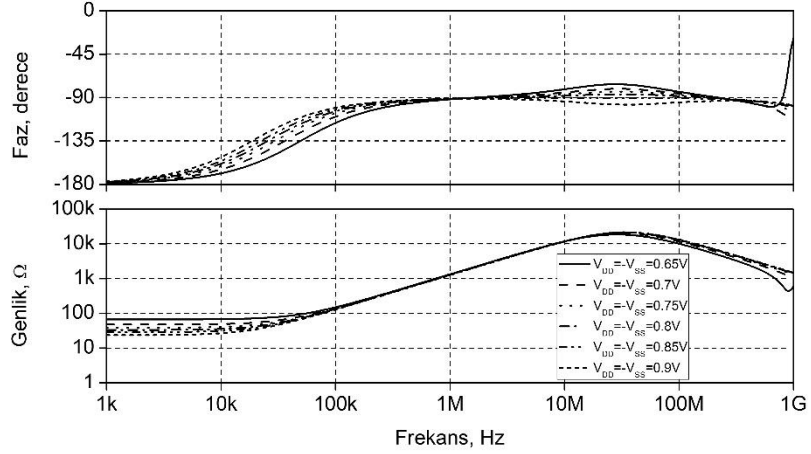
Şekil 5.25: Tasarımı yapılan negatif kayıpsız SFI devresi için AC analizi.



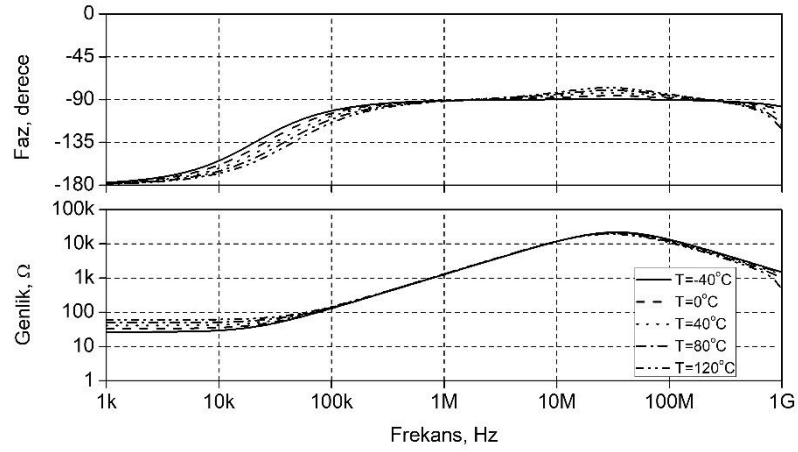
Şekil 5.26: Tasarımı yapılan negatif kayıpsız SFI devresi için zaman ortamı analizi.



Şekil 5.27: Tasarlanan negatif kayıpsız SFI devresinin 100 adımlı AC Monte Carlo analizi.



Şekil 5.28: Tasarlanan negatif SFI devresi için simetrik besleme gerilimlerinin değişimleriyle elde edilen AC analizi.



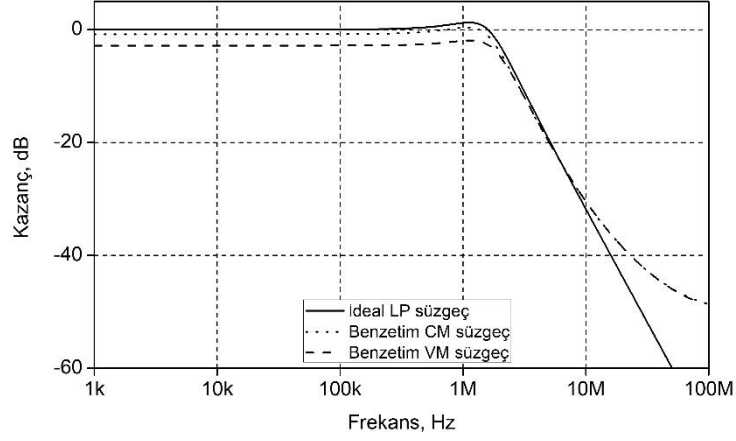
Şekil 5.29: Tasarlanan negatif kayıpsız SFI devresi için sıcaklık değişimleriyle elde edilen AC analizi.

CM ve VM LP süzgeç devrelerinin kazanç cevapları Şekil 5.30’da gösterilmiştir. Şekil 5.7 ve Şekil 5.8’de gösterilen CM ve VM LP süzgeç devrelerinin pasif elemanları, $Q = 1$ ve $f_0 \cong 1.59$ MHz olacak şekilde $R_1 = 1$ k Ω , $R_2 = 4$ k Ω ve $C_1 = C_2 = 50$ pF olarak seçilmiştir.

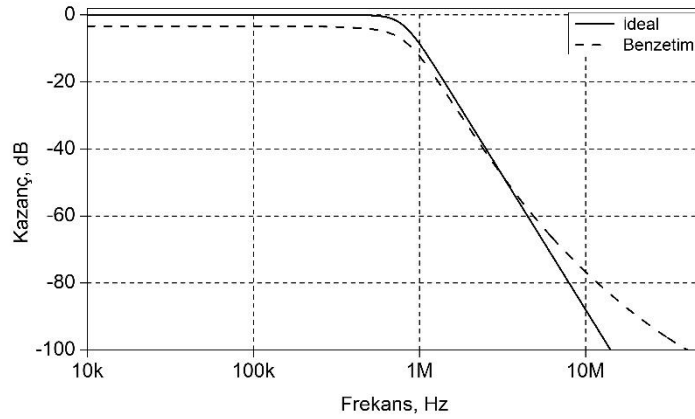
Şekil 5.9’da verilen dördüncü dereceden CM Butterworth LP süzgeç devresinin kazanç cevabı Şekil 5.31’de gösterilmiştir. Burada, $f_0 \cong 795.75$ kHz olacak şekilde devrenin pasif elemanları $R_1 = 1.848$ k Ω , $R_2 = 2.164$ k Ω , $R_3 = 765.7$ Ω , $R_4 = 5.224$ k Ω ve $C_1 = C_2 = C_3 = C_4 = 100$ pF olarak seçilmiştir.

Şekil 5.10’da verilen CM HP süzgeç devresinin kazanç cevabı Şekil 5.32’de belirtilmiştir. Burada, $Q = 1$ ve $f_0 \cong 1.59$ MHz olacak şekilde devrenin pasif elemanları, $R_1 = 4$ k Ω , $R_2 = 1$ k Ω ve $C_1 = C_2 = 50$ pF olarak seçilmiştir.

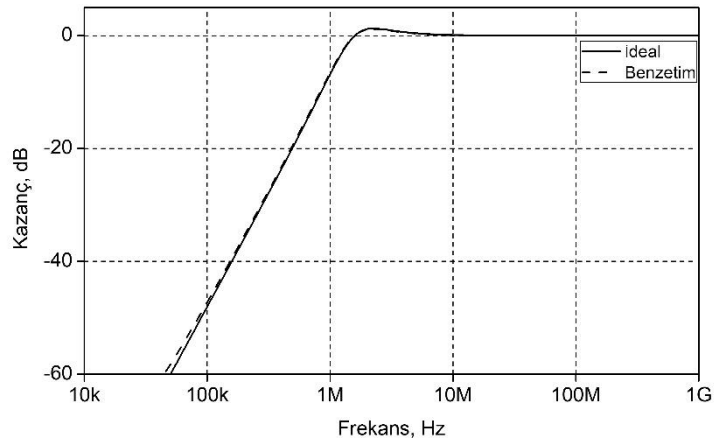
RLC rezonatör devresinin empedansının genliği Şekil 5.33'te gösterilmiştir. Burada, $Q = 1$ ve $f_0 \cong 1.59$ MHz sağlayacak şekilde devrenin pasif elemanları $R_1 = 4$ k Ω , $R_2 = 1$ k Ω ve $C_1 = C_2 = 50$ pF olarak seçilmiştir.



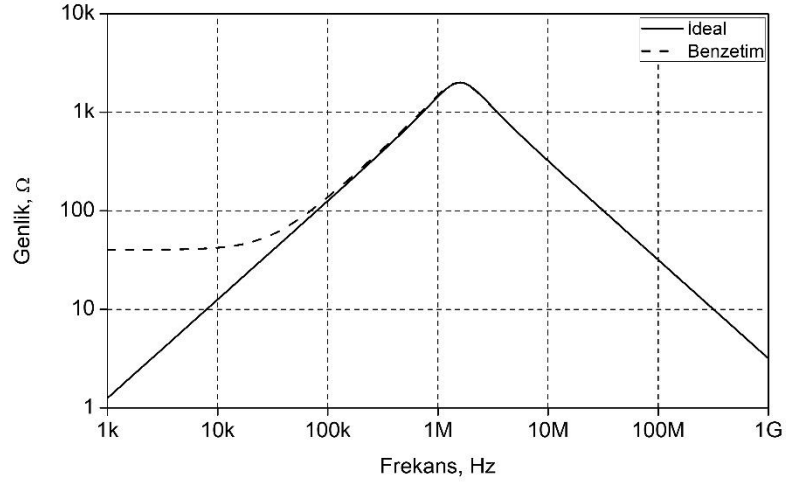
Şekil 5.30: CM ve VM LP süzgeç devrelerinin kazanç cevapları.



Şekil 5.31: Dördüncü dereceden CM Butterworth LP süzgeç devresinin kazanç cevapları.



Şekil 5.32: CM HP süzgeç devresinin kazanç cevabı.



Şekil 5.33: RLC rezonatör devresinin empedansının genliği.

5.6 Deneysel Sonuçlar

Beş adet AD844 (Analog Devices 2017) ve üç adet özdeş direnç ile gerçekleştirilebilen DDCC- aktif yapı bloğu Şekil 5.34’te verilmiştir. Deneyle gerçekleştirilmek için kullanılan dirençler, $R_a = R_b = R_c = 2.2 \text{ k}\Omega$ olarak seçilmiştir. Deneysel düzeneklerinde 0-30 V, 6 A çıkış verebilen AATech ATP-3306D ayarlı DC güç kaynağı, 40 MHz frekansına kadar 100 MSa/s örnekleme hızına sahip Rigol DG 2041A fonksiyon dalga üretici ve 300 MHz frekansına kadar 2.5 GSa/s örnekleme hızına sahip Tektronix TDS 3032B iki kanallı dijital osiloskop kullanılmıştır.

Tasarlanan seri ve paralel kayıplı SFI devrelerinin deneyle uygulamak için Şekil 5.35’te gösterilen deneysel düzeneği kullanılmıştır.

Ayrıca CM HP süzgeç devresi uygulaması için Şekil 5.36’da verilen deneysel düzeneği kullanılmıştır. Deneysel çalışmalarda bütün AD844’lerin simetrik besleme gerilimleri olarak $\pm 9 \text{ V}$ seçilmiştir.

Tasarlanan seri kayıplı SFI devresinin pasif elemanları, $L_{eş} \cong 20.7 \text{ mH}$ ve $R_{eş} = 2 \text{ k}\Omega$ olacak şekilde, $R_1 = 1 \text{ k}\Omega$, $R_2 = 4.4 \text{ k}\Omega$ ve $C = 4.7 \text{ nF}$ olarak seçilmiştir. Tasarımı yapılan paralel kayıplı SFI devresinin pasif elemanları, $L_{eş} \cong 20.7 \text{ mH}$ ve $R_{eş} = 2.2 \text{ k}\Omega$ olacak şekilde, $R_1 = 4.4 \text{ k}\Omega$, $R_2 = 1 \text{ k}\Omega$ ve $C = 4.7 \text{ nF}$ olarak seçilmiştir.

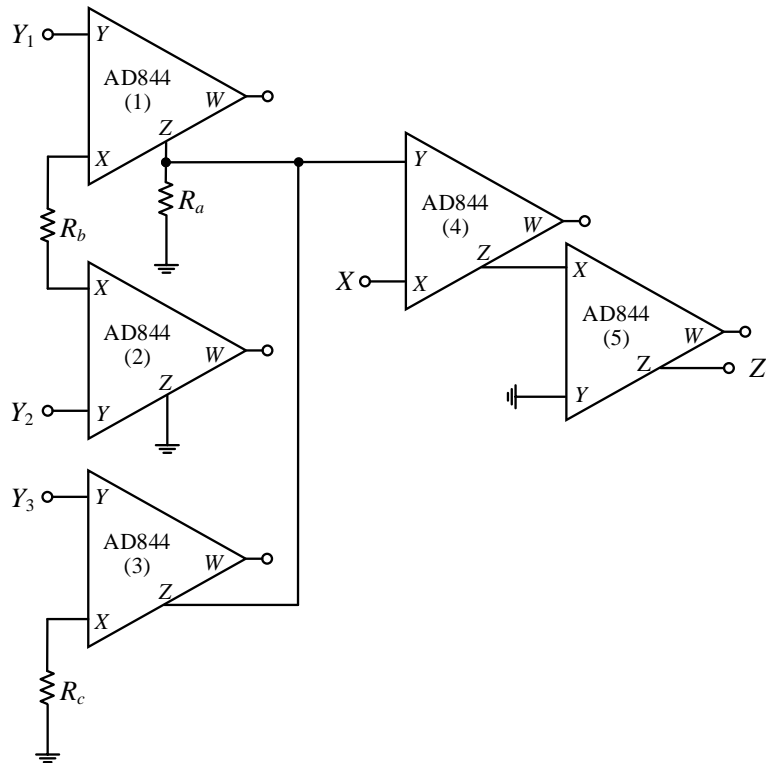
Tasarlanan seri kayıplı SFI devresinin girişine, 43 kHz frekansında $100 \mu\text{A}$ tepe genliğinde ($V_{in} = 1 \text{ V}$ tepe giriş gerilimi) giriş akım sinyali uygulanmıştır. Ayrıca, tasarlanan seri kayıplı SFI devresinin giriş ve karşılık gelen çıkış sinyalleri Şekil 5.37’de gösterilmiştir.

Tasarlanan paralel kayıplı SFI devresinin girişine 5 kHz frekansında $100 \mu\text{A}$ tepe genliğinde giriş akım sinyali uygulanmıştır. Ayrıca, tasarlanan paralel kayıplı SFI devresinin giriş ve karşılık gelen çıkış sinyali Şekil 5.38’de verilmiştir.

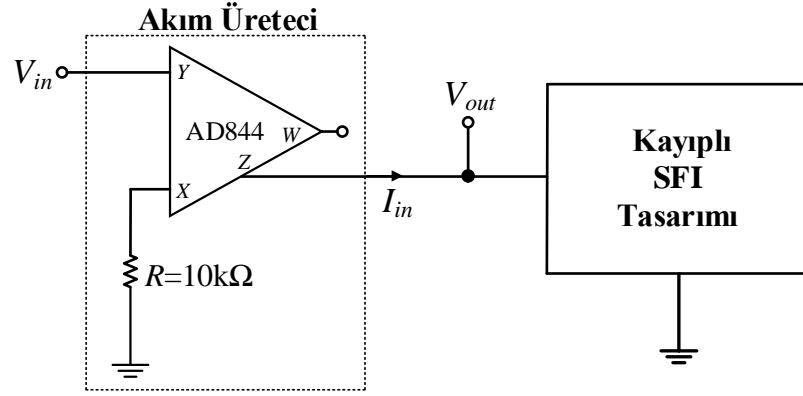
CM HP süzgeç örneğinin pasif elemanları, $f_0 \cong 16.1 \text{ kHz}$ ve $Q \cong 1$ sonucunu elde etmek için, $R_1 = 4.4 \text{ k}\Omega$, $R_2 = 1 \text{ k}\Omega$, $R_x = R_z = 10 \text{ k}\Omega$ ve $C_1 = C_2 = 4.7 \text{ nF}$ olarak seçilmiştir.

VM HP süzgeç örneğinin ideal, benzetim ve deneysel sonuçları Şekil 5.39’da gösterilmiştir. Ayrıca, VM HP süzgeç örneğinin TF eşitliği aşağıda gösterildiği gibi hesaplanmaktadır:

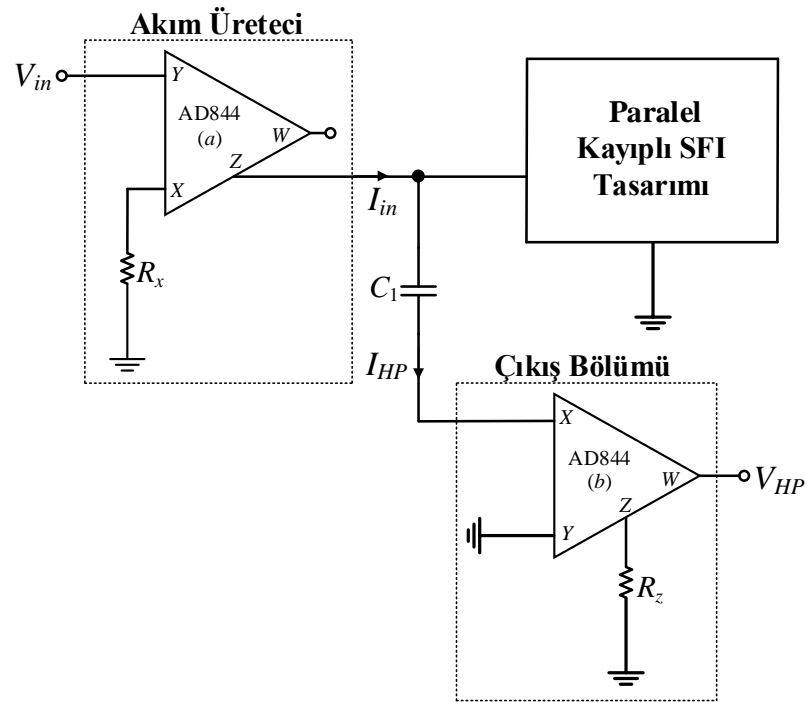
$$\frac{V_{HP}}{V_{in}} = \frac{R_z}{R_x} \frac{s^2 C_1 C_2 R_1 R_2}{s^2 C_1 C_2 R_1 R_2 + 2s C_2 R_2 + 1} \quad (5.27)$$



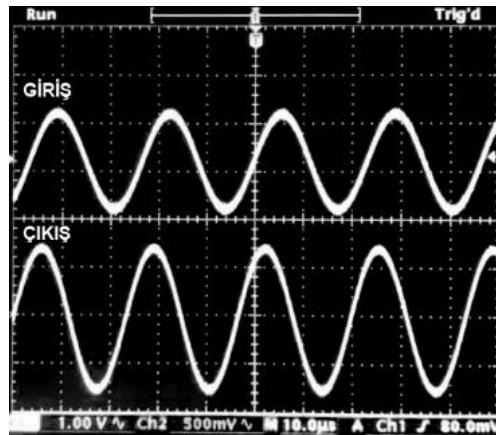
Şekil 5.34: Beş AD844 ve üç özdeş direnç ile gerçekleştirilen DDCC-.



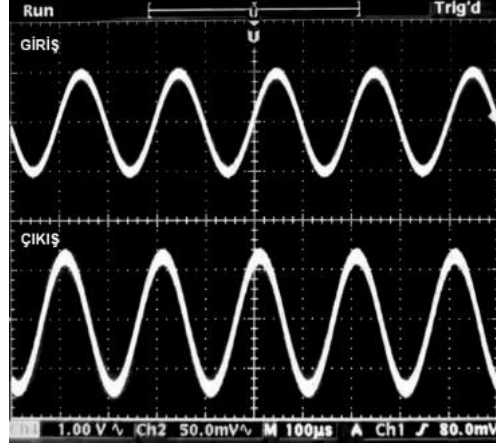
Şekil 5.35: Tasarlanan seri ve paralel kayıplı SFI devreleri için deney düzeneği.



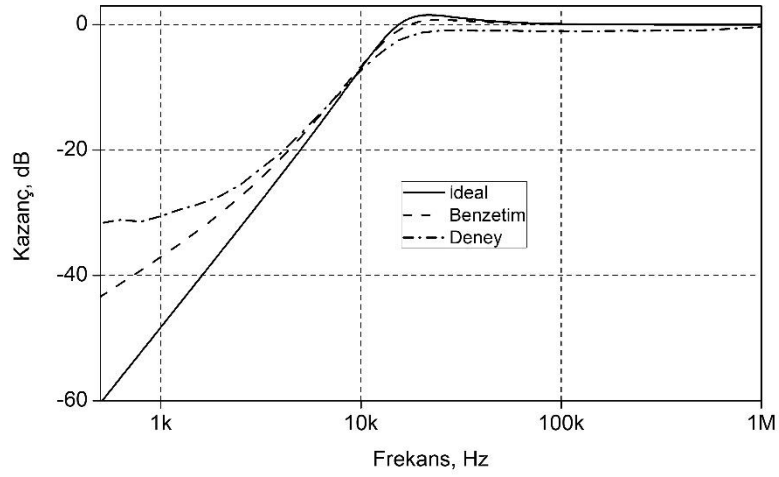
Şekil 5.36: Tasarlanan paralel kayıplı SFI devresi, iki AD844, iki direnç ve bir kapasitör ile gerçekleştirilen HP süzgeç devresi.



Şekil 5.37: Tasarlanan seri kayıplı SFI devresinin giriş ve çıkış işareti.



Şekil 5.38: Tasarlanan paralel kayıplı SFI devresinin giriş ve çıkış işaretleri.



Şekil 5.39: HP süzgecin ideal, benzetim ve deneysel test sonuçları.

5.7 Bölüm Sonu Değerlendirmesi

Seri kayıplı, paralel kayıplı ve negatif kayıpsız SFI devreleri olmak üzere üç yeni DDCC- tabanlı SFI devresi tasarlanmıştır. Uygulama örnekleri olarak ikinci dereceden CM ve VM LP süzgeç devreleri ve bunların yanı sıra tasarımı yapılan seri kayıplı SFI devresinden türetilmiş dördüncü dereceden CM Butterworth LP süzgeç devresi sunulmuştur.

Bunlara ek olarak tasarımı yapılan paralel kayıplı SFI devresinden türetilen ikinci dereceden HP süzgeç ve RLC rezonatör devreleri verilmiştir.

Tasarlanan devrelerin ideal olmayan analizleri belirtilmiştir. Tasarlanan bütün devreleri ve uygulama örneklerinin benzetimleri SPICE programı aracılığıyla gerçekleştirilmiştir.

Ayrıca, bu çalışmada tasarlanan devrelerin doğruluğunu gösterebilmek için bazı deneyler uygulanmıştır. İdeal, benzetim ve deneysel test sonuçları arasında, kullanılan aktif elemanların ideal olmamasından kaynaklanan, küçük farklar meydana gelmesine rağmen; bu sonuçlar birbirleriyle tutarlıdır.

6. DDCC TABANLI BİRİNCİ DERECEDEKİ TÜM GEÇİREN SÜZGEÇ TASARIMI VE BENZETİMİ

6.1 Giriş

Bu çalışmada DDCC- tabanlı birinci dereceden evirmeyen tüm geçiren (AP) süzgeç ve birinci dereceden eviren AP süzgeç devreleri tasarlanmıştır. Her iki tasarım da yüksek giriş empedansına sahiptir. Birinci dereceden evirmeyen AP süzgeç tasarımında sadece bir DDCC- yapı bloğu, bir yüzen direnç ve iki topraklanmış kapasitör kullanılmıştır; birinci dereceden eviren AP süzgeç tasarımında ise sadece bir DDCC, bir topraklanmış direnç, bir yüzen direnç ve bir topraklanmış kapasitör kullanılmıştır. Uygulama olarak, tasarımı yapılan AP süzgeç devreleri kullanılarak elde edilen QO devre tasarımları ve benzetimleri sunulmuştur.

Birinci dereceden AP süzgeç devreleri ve QO tasarımlarının içyapısında 0.18 μm TSMC CMOS teknoloji parametreleri kullanılmış; SPICE programında benzetimleri yapılarak doğruluğu kanıtlanmıştır. Devrelerin tasarımlarında ± 1.25 V DC simetrik güç kaynağı ve $V_B = 0.55$ V kullanılmıştır. Tüm geçiren süzgeç devrelerinin güç tüketimleri sırasıyla SPICE benzetimlerinde 4.20 mW ve 4.21 mW olarak; QO devrelerinin ise 7.05 mW ve 6.22 mW bulunmuştur.

6.2 Birinci Dereceden Evirmeyen Tüm Geçiren Süzgeç Tasarımı

Şekil 6.1’de gösterilen birinci dereceden evirmeyen AP süzgeç devresi; bir DDCC- bloğu, bir yüzen direnç ve iki topraklanmış kapasitör kullanılarak tasarlanmıştır. Pasif eleman eşleme şartı olmadan ve akım kazancı $\gamma = 2$ olacak şekilde devrenin analizi yapılırsa devrenin TF eşitliği (6.1a) eşitliğindeki gibi olmaktadır. Eğer, pasif elemanları $C_1 = 2C_2$ ve akım kazancı $\gamma = 2$ olacak şekilde tasarımı yapılan devrenin analizi yapılırsa, devrenin ideal TF eşitliği (6.1b) eşitliğindeki gibi ifade edilebilir.

$$\frac{V_{AP}}{V_{in}} = \frac{1 - sC_1R}{1 + s2C_2R} \quad (6.1a)$$

$$\frac{V_{AP}}{V_{in}} = \frac{1 - sC_1R}{1 + sC_1R} \quad (6.1b)$$

Şekil 6.1’de gösterilen birinci dereceden evirmeyen AP süzgecin faz cevabı (6.2) eşitliğindeki gibi olmaktadır. Devrenin faz cevabı eşitliği, frekans sıfırdan sonsuza giderken, faz açısının 0° ’den -180° ’ye değiştiğini göstermektedir.

$$\varphi(\omega) = -2 \text{Arctan}(\omega C_1 R) \quad (6.2)$$

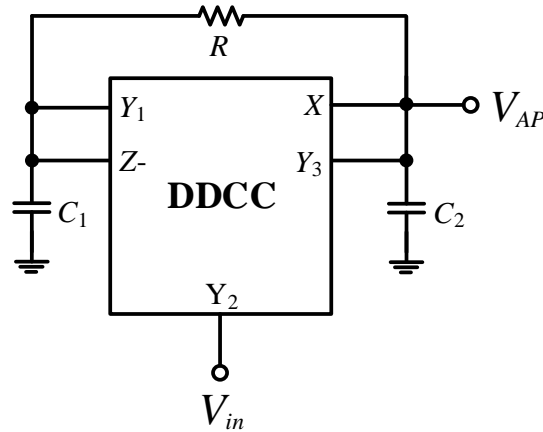
Evirmeyen tüm geçiren süzgeç tasarımının açısal kutup frekansı (ω_0) eşitliği aşağıdaki gibi hesaplanabilir.

$$\omega_0 = \frac{1}{C_1 R} \quad (6.3)$$

Eğer frekansa bağımlı ideal olmayan gerilim ve akım kazançları dikkate alınarak AP devresinin analizi yapılırsa (6.1b) eşitliğinde gösterilen TF eşitliği, (6.4a) eşitliğine; (6.2) eşitliğinde verilen devrenin faz cevabı ise (6.4b) eşitliğine dönüşmektedir.

$$\frac{V_{AP}}{V_{in}} = \frac{\beta_2(\gamma - 1) - sC_1R\beta_2}{\beta_1(\gamma - 1) + sC_2R\beta_1\gamma} \quad (6.4a)$$

$$\varphi(\omega) = -\text{Arctan}\left(\frac{\omega C_1 R}{\gamma - 1}\right) - \text{Arctan}\left(\frac{\omega C_2 R \gamma}{\gamma - 1}\right) \quad (6.4b)$$



Şekil 6.1: Birinci dereceden evirmeyen tüm geçiren süzgeç tasarımı.

6.3 Birinci Dereceden Eviren Tüm Geçiren Süzgeç Tasarımı

Şekil 6.2’de gösterilen DDCC tabanlı birinci dereceden eviren AP süzgeç devresi tasarımı bir DDCC bloğu, bir topraklanmış direnç, bir yüzen direnç ve bir topraklanmış kapasitör kullanılarak tasarlanmıştır. Pasif eleman eşleme şartı olmadan ve akım kazancı $\gamma = 2$ olacak şekilde devrenin analizi yapılırsa devrenin transfer fonksiyonu (6.5a) eşitliğindeki gibi olmaktadır. Eğer, pasif elemanları $R_2 = 2R_1$ ve akım kazancı $\gamma = 2$ olacak şekilde tasarımı yapılan devrenin analizi yapılırsa, devrenin ideal transfer fonksiyonu aşağıda gösterilen (6.5b) eşitliğindeki gibi ifade edilebilir.

$$\frac{V_{AP}}{V_{in}} = -\frac{R_2 - sCR_1R_2}{2R_1 + sCR_1R_2} \quad (6.5a)$$

$$\frac{V_{AP}}{V_{in}} = -\frac{1 - sCR_1}{1 + sCR_1} \quad (6.5b)$$

Şekil 6.2’de gösterilen birinci dereceden eviren AP süzgecin faz cevabı (6.6) eşitliğindeki gibi olmaktadır. Devrenin faz cevabı eşitliği, frekans sıfırdan sonsuza giderken, faz açısının 180° ’den 0° ’ye değiştiğini göstermektedir.

$$\varphi(\omega) = \pi - 2 \text{Arctan}(\omega CR_1) \quad (6.6)$$

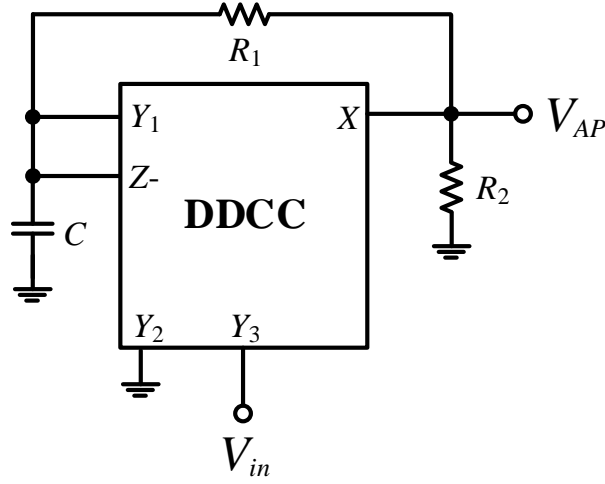
Eviren AP süzgeç tasarımının ω_0 eşitliği aşağıdaki gibi hesaplanabilir.

$$\omega_0 = \frac{1}{CR_1} \quad (6.7)$$

Eğer frekansa bağımlı ideal olmayan gerilim ve akım kazançları dikkate alınarak devrenin analizi yapılırsa (6.5b) eşitliğinde gösterilen AP transfer fonksiyonu, aşağıda verilen (6.8a) eşitliğine; (6.6) eşitliğinde belirtilen devrenin faz cevabı ise (6.8b) eşitliğine dönüşmektedir.

$$\frac{V_{AP}}{V_{in}} = -\frac{R_2\beta_3(\gamma-1) - sCR_1R_2\beta_3}{R_1\beta_1\gamma + R_2(\beta_1-1)(\gamma-1) + sCR_1R_2} \quad (6.8a)$$

$$\varphi(\omega) = \pi - \text{Arctan}\left(\frac{\omega CR_1}{\gamma-1}\right) - \text{Arctan}\left(\frac{\omega CR_1 R_2}{R_1 \beta_1 \gamma + R_2 (\beta_1 - 1)(\gamma - 1)}\right) \quad (6.8b)$$



Şekil 6.2: Birinci dereceden eviren tüm geçiren süzgeç tasarımı.

6.4 Uygulama Örnekleri

Şekil 6.1’de verilen birinci dereceden evirmeyen AP süzgeç tasarımından türetilen QO uygulaması Şekil 6.3’te gösterilmiştir. Şekil 6.3’te gösterilen QO uygulamasının analizi yapıldığında, aşağıdaki karakteristik eşitlik sağlanmaktadır:

$$D(s) = s^2 C_2 C_3 R_1 R_2 + s \left(\frac{C_3 R_2}{2} - C_1 R_1 \right) + 1 = 0 \quad (6.9)$$

(6.9) eşitliğinden, OC ve osilasyon frekansı (f_0) sırasıyla aşağıdaki gibi bulunur:

$$C_3 R_2 \leq 2 C_1 R_1 \quad (6.10a)$$

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{1}{C_2 C_3 R_1 R_2}} \quad (6.10b)$$

Frekansa bağımlı ideal olmayan gerilim kazançları ve akım kazancı dikkate alınarak devrenin analizi tekrar yapılırsa tasarlanan osilatör devresinin karakteristik eşitliği aşağıdaki gibi olmaktadır:

$$D(s) = as^2 + bs + c = 0 \quad (6.11)$$

Burada,

$$a = C_2 C_3 R_1 R_2 \beta_{11} \gamma_1 \quad (6.12a)$$

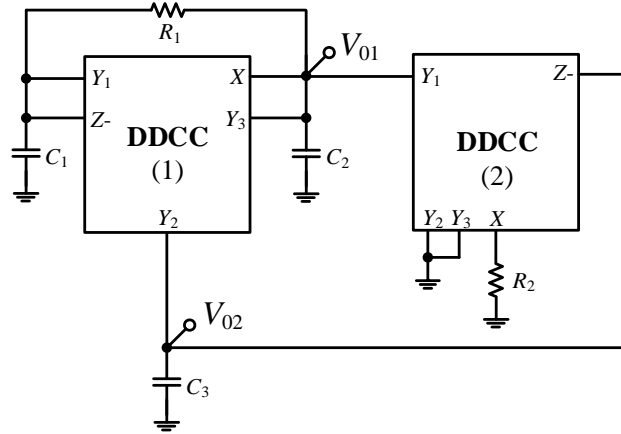
$$b = C_3 R_2 \beta_{11} (\gamma_1 - 1) - C_1 R_1 \beta_{12} \beta_{21} \gamma_2 \quad (6.12b)$$

$$c = \beta_{12} \beta_{21} \gamma_2 (\gamma_1 - 1) \quad (6.12c)$$

(6.11) eşitliğinden, ideal olmayan OC ve f_0 sırasıyla aşağıdaki gibi bulunur:

$$C_3 R_2 \beta_{11} (\gamma_1 - 1) \leq C_1 R_1 \beta_{12} \beta_{21} \gamma_2 \quad (6.13a)$$

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{\beta_{12} \beta_{21} \gamma_2 (\gamma_1 - 1)}{C_2 C_3 R_1 R_2 \beta_{11} \gamma_1}} \quad (6.13b)$$



Şekil 6.3: Birinci dereceden evirmeyen tüm geçiren süzgeç tasarımından türetilmiş kuadrator osilatör uygulaması.

Ayrıca Şekil 6.2’de gösterilen birinci dereceden eviren AP süzgeç tasarımından türetilen QO uygulaması Şekil 6.4’te belirtilmiştir. Şekil 6.4’te gösterilen QO uygulamasının analizi yapıldığında aşağıdaki karakteristik eşitlik sağlanmaktadır:

$$D(s) = s^2 C_1 C_2 R_1 R_2 R_3 + 2s (C_2 R_1 R_3 - C_1 R_1 R_2) + 2R_2 = 0 \quad (6.14)$$

(6.14) eşitliğinden, OC ve f_0 sırasıyla aşağıdaki gibi bulunur:

$$C_2 R_3 \leq C_1 R_2 \quad (6.15a)$$

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{2}{C_1 C_2 R_1 R_3}} \quad (6.15b)$$

f_0 , OC'dan bağımsız olduğu için ortogonal olarak kontrol edilebilmektedir. f_0 , OC'nı bozmadan R_1 direnci ile değiştirilebilir.

$$V_{01} = j\omega C_2 R_3 V_{02} \quad (6.16)$$

V_{01} çıkış gerilimi, V_{02} çıkış gerilimi cinsinden yazılırsa, V_{01} ve V_{02} arasındaki 90° faz farkı (6.16) eşitliğinde görülebilir.

Frekansa bağımlı ideal olmayan gerilim kazançları ve akım kazancı dikkate alınarak devrenin analizi tekrar yapılırsa tasarlanan osilatör devresinin karakteristik eşitliği aşağıdaki gibi olmaktadır:

$$D(s) = as^2 + bs + c = 0 \quad (6.17)$$

Burada,

$$a = C_1 C_2 R_1 R_2 R_3 \quad (6.18a)$$

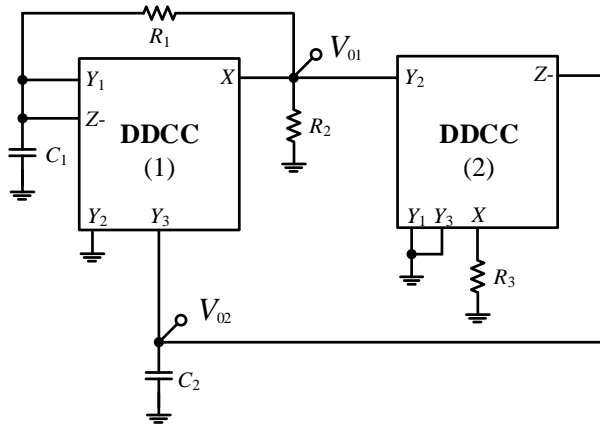
$$b = C_2 R_3 (R_2 (\beta_{11} - 1)(\gamma_1 - 1) + R_1 \beta_{11} \gamma_1) - C_1 R_1 R_2 \beta_{13} \beta_{21} \gamma_2 \quad (6.18b)$$

$$c = R_2 \beta_{13} \beta_{21} \gamma_2 (\gamma_1 - 1) \quad (6.18c)$$

(6.17) eşitliğinden, ideal olmayan OC ve f_0 sırasıyla aşağıdaki gibi bulunur:

$$C_2 R_3 (R_2 (\beta_{11} - 1)(\gamma_1 - 1) + R_1 \beta_{11} \gamma_1) \leq C_1 R_1 R_2 \beta_{13} \beta_{21} \gamma_2 \quad (6.19a)$$

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{R_2 \beta_{13} \beta_{21} \gamma_2 (\gamma_1 - 1)}{C_1 C_2 R_1 R_2 R_3}} \quad (6.19b)$$



Şekil 6.4: Birinci dereceden eviren tüm geçiren süzgeç tasarımından türetilmiş kuadrator osilatör uygulaması.

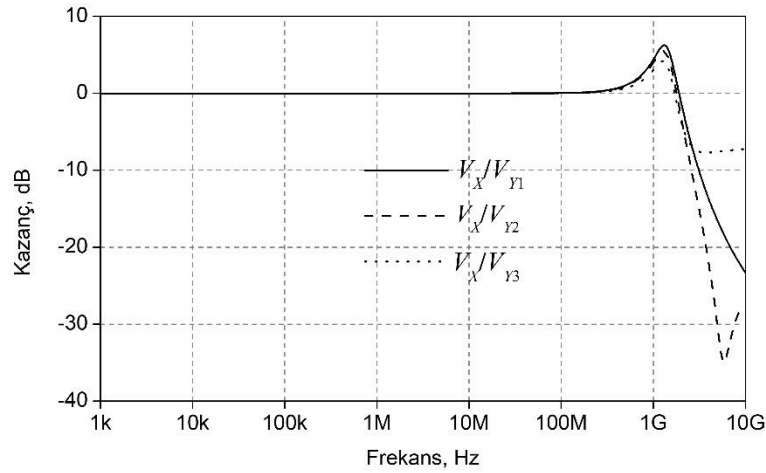
6.5 Benzetim Sonuçları

İçyapısı Şekil 2.8’de gösterilen DDCC- aktif yapı bloğu bu bölümdeki benzetimlerde kullanılmıştır. Ayrıca, $0.18 \mu\text{m}$ TSMC CMOS teknoloji parametreleri (Chuadhary 2010) kullanılmıştır. Şekil 6.1, Şekil 6.2, Şekil 6.3 ve Şekil 6.4’te kullanılan MOS transistor boyutları Tablo 6.1’de gösterilmiştir.

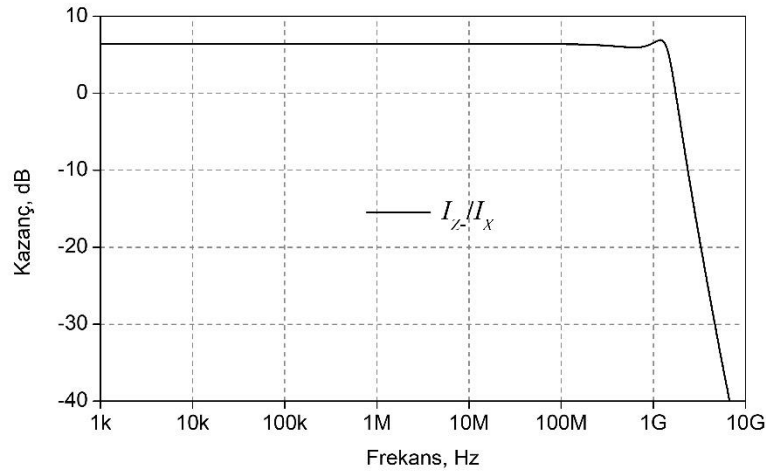
Tablo 6.1’de verilen MOS transistör boyutlarına göre tasarımda kullanılan DDCC bloğunun gerilim kazançları V_X/V_{Y1} , V_X/V_{Y2} ve V_X/V_{Y3} ’in frekansa bağlı değişimleri Şekil 6.5’te; akım kazancı I_Z/I_X ’in frekansa bağlı değişimleri ise Şekil 6.6’da gösterilmiştir. SPICE programı aracılığıyla DDCC’nin parazit empedansları $R_X \cong 23 \Omega$, $R_Z \cong 8.9 \text{ k}\Omega$, $C_{Y1} \cong 86.5 \text{ fF}$, $C_{Y2} \cong 85.4 \text{ fF}$ ve $C_{Y3} \cong 29.8 \text{ fF}$ olarak bulunmuştur. Bunlara ek olarak $\gamma_0 \cong 2.09$, $\beta_{10} \cong 0.99$, $\beta_{20} \cong 0.99$, $\beta_{30} \cong 0.99$, $f_\gamma \cong 1.53 \text{ GHz}$, $f_{\beta 1} \cong 1.66 \text{ GHz}$, $f_{\beta 2} \cong 1.62 \text{ GHz}$ ve $f_{\beta 3} \cong 1.6 \text{ GHz}$ olarak bulunmuştur.

Tablo 6.1: Şekil 2.8’de gösterilen DDCC- bloğunun MOS transistor boyutları.

PMOS Transistör	$W(\mu\text{m})/L(\mu\text{m})$
M ₁ -M ₅ , M ₇ -M ₁₀	41.76/0.36
M ₆	83.52/0.36
NMOS Transistör	$W(\mu\text{m})/L(\mu\text{m})$
M ₁₁ -M ₁₅	13.32/0.36
M ₁₆	26.64/0.36



Şekil 6.5: DDCC- bloğunun gerilim kazançları V_X/V_{Y1} , V_X/V_{Y2} ve V_X/V_{Y3} ’in frekansa bağlı değişimleri.



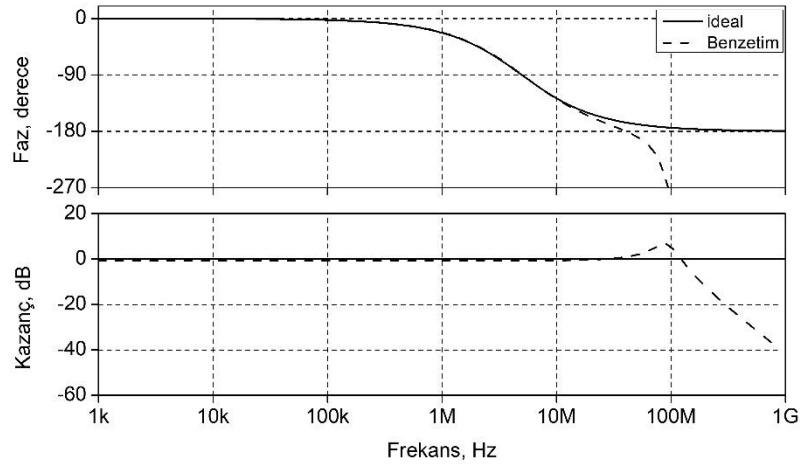
Şekil 6.6: DDCC- bloğunun akım kazancı I_Z/I_X 'in frekansa bağlı değişimleri.

Şekil 6.1'de gösterilen birinci dereceden evirmeyen ve Şekil 6.2'de verilen eviren AP süzgeç tasarımlarının benzetimleri, SPICE programı ile gerçekleştirilmiştir.

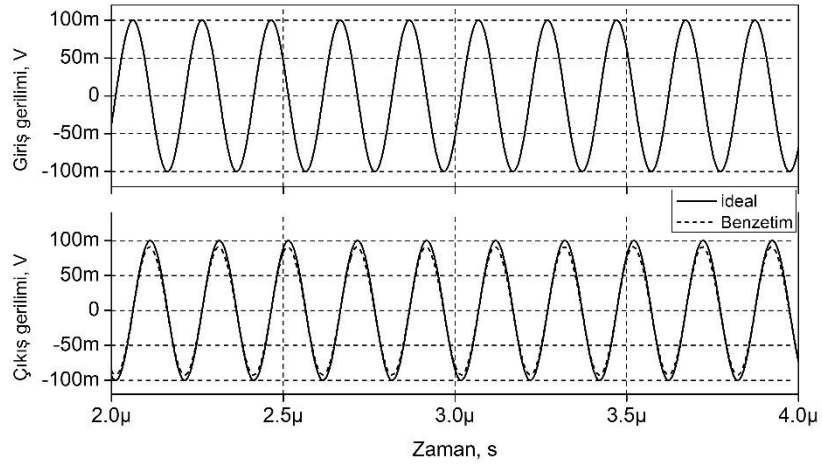
6.5.1 Birinci Dereceden Evirmeyen Tüm Geçiren Süzgeç Tasarımının Benzetim Sonuçları

Şekil 6.1'de belirtilen birinci dereceden evirmeyen AP süzgeç devresinin pasif elemanları $f_0 \cong 4.97$ MHz olacak şekilde $R_1 = 0.4$ k Ω ve $C_1 = 80$ pF, $C_2 = 40$ pF olarak seçilmiştir.

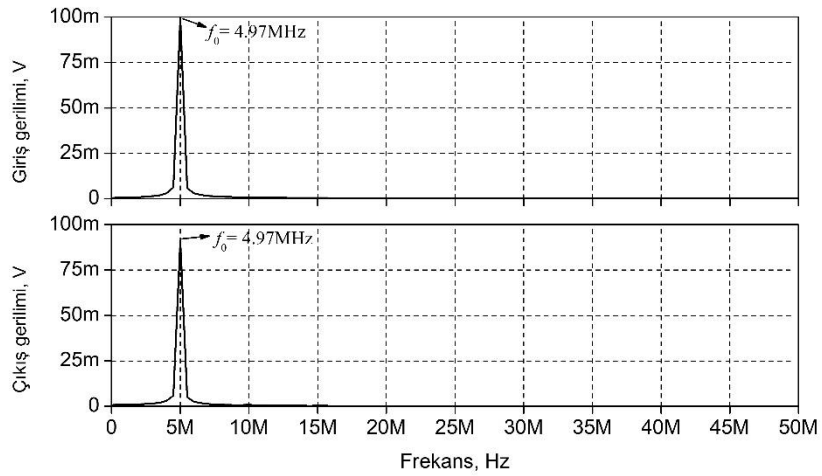
Birinci dereceden evirmeyen süzgeç devresinin ideal ve benzetim AP faz ve kazanç cevabı Şekil 6.7'de gösterilmiştir. Evirmeyen AP süzgecin girişine 100 mV tepe genliğinde, 4.97 MHz frekansında uygulanan sinüzoidal giriş gerilimine karşı cevabı Şekil 6.8'de, FFT cevabı Şekil 6.9'da gösterilmiştir. AP süzgecin faz ve kazanç cevabı için bütün pasif elemanlarının değerinin % 4 değiştirilmesiyle elde edilen 100 adımlı AC MC analizi Şekil 6.10'da verilmiştir. AP süzgecin AC MC analizinde, faz cevabının 4.97 MHz kutup frekansında oluşan faz açılarının yüzdelerik dağılımı, Şekil 6.11'de gösterilmiştir. Ayrıca, giriş ve çıkış gürültüleri Şekil 6.12'de, evirmeyen AP süzgeç için 4.97 MHz frekansında uygulanan sinüzoidal giriş gerilimlerine karşılık, çıkışından alınan THD değişimleri Şekil 6.13'te verilmiştir.



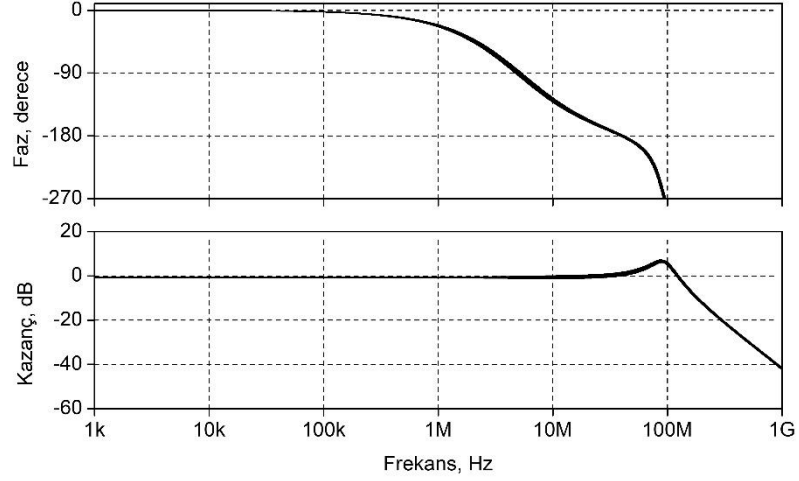
Şekil 6.7: Birinci dereceden evirmeyen AP süzgeç devresinin ideal ve benzetim, faz ve kazanç cevabı.



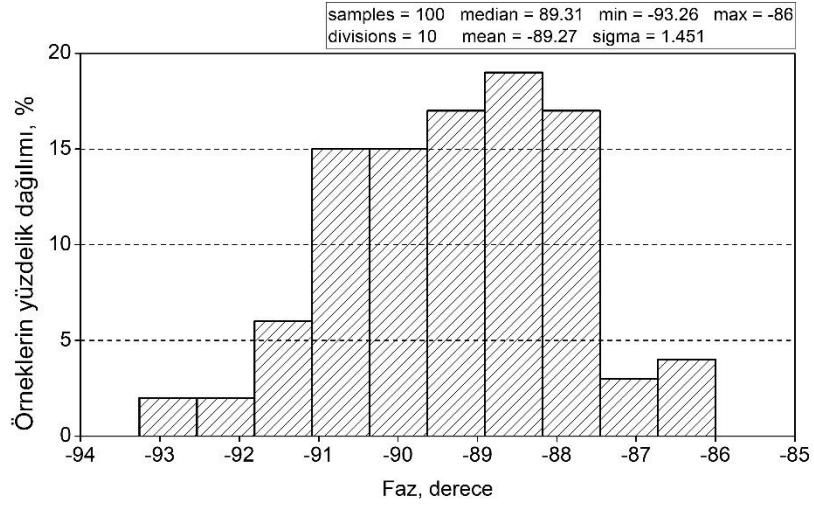
Şekil 6.8: Birinci dereceden evirmeyen AP süzgecin girişine 100 mV tepe genliğinde, 4.97 MHz frekansında uygulanan sinüzoidal giriş gerilimine karşı cevabı.



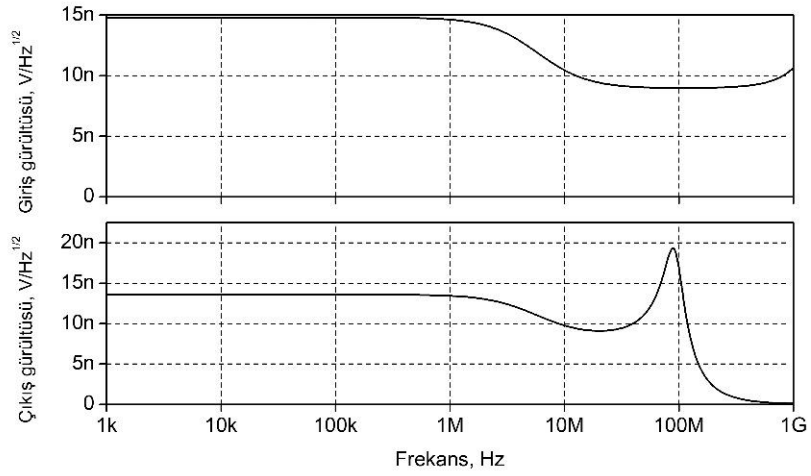
Şekil 6.9: Evirmeyen AP süzgecin FFT cevabı.



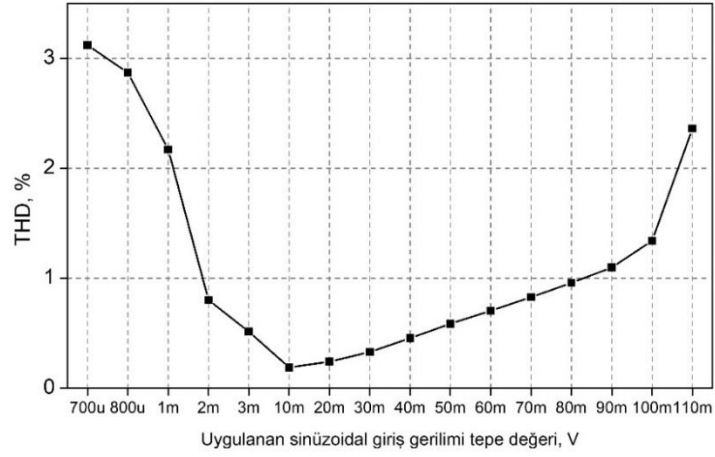
Şekil 6.10: Evirmeyen AP süzgecin 100 adımlı AC Monte Carlo analizi.



Şekil 6.11: Evirmeyen AP süzgecin AC Monte Carlo analizinde, faz cevabının 4.97 MHz kutup frekansında oluşan faz açılarının yüzdelik dağılımı.



Şekil 6.12: Evirmeyen AP süzgeç için giriş ve çıkış gürültüleri.



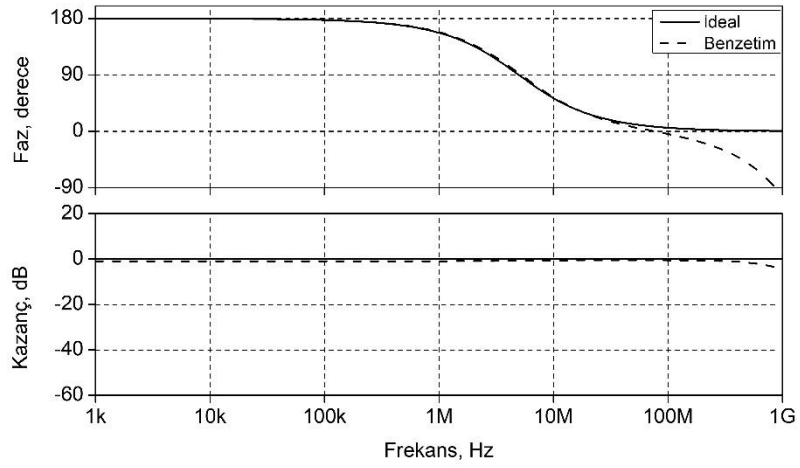
Şekil 6.13: Evirmeyen AP süzgeç için 4.97 MHz frekansında uygulanan sinüzoidal giriş gerilimine karşılık, çıkışından alınan THD değişimleri.

6.5.2 Birinci Dereceden Eviren Tüm Geçiren Süzgeç Tasarımının Benzetim Sonuçları

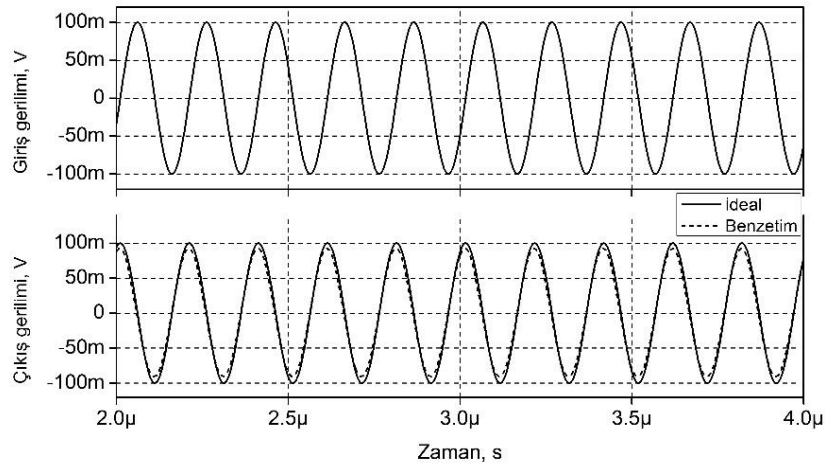
Şekil 6.2’de belirtilen birinci dereceden eviren AP süzgeç devresinin pasif elemanları $f_0 \cong 4.97$ MHz olacak şekilde $R_1 = 0.4$ k Ω , $R_2 = 0.8$ k Ω ve $C = 80$ pF olarak seçilmiştir. Birinci dereceden eviren süzgeç devresinin ideal ve benzetim AP faz ve kazanç cevabı, Şekil 6.14’te gösterilmiştir. Eviren AP süzgecin girişine 100 mV tepe genliğinde, 4.97 MHz frekansında uygulanan sinüzoidal giriş gerilimine karşı cevabı Şekil 6.15’te, FFT cevabı Şekil 6.16’da gösterilmiştir.

AP süzgecin faz ve kazanç cevabı için bütün pasif elemanlarının değerinin % 4 değiştirilmesiyle elde edilen 100 adımlı AC MC analizi Şekil 6.17’de verilmiştir. AP süzgecin AC MC analizinde, faz cevabının 4.97 MHz kutup frekansında oluşan faz açılarının yüzdelerik dağılımı Şekil 6.18’de gösterilmiştir.

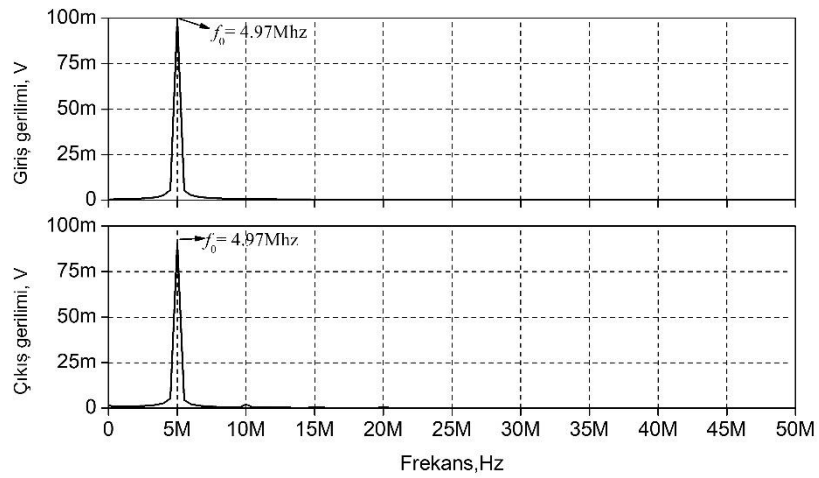
Ayrıca, AP süzgeç için giriş ve çıkış gürültüleri Şekil 6.19’da, 4.97 MHz frekansında uygulanan sinüzoidal giriş gerilimlerine karşılık, çıkışından alınan THD değişimleri Şekil 6.20’de verilmiştir.



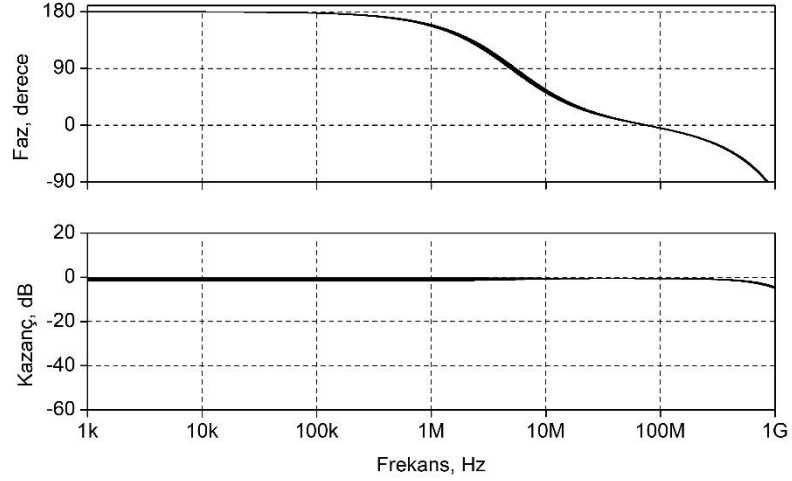
Şekil 6.14: Birinci dereceden eviren AP süzgeç devresinin ideal ve benzetim, kazanç ve faz cevabı.



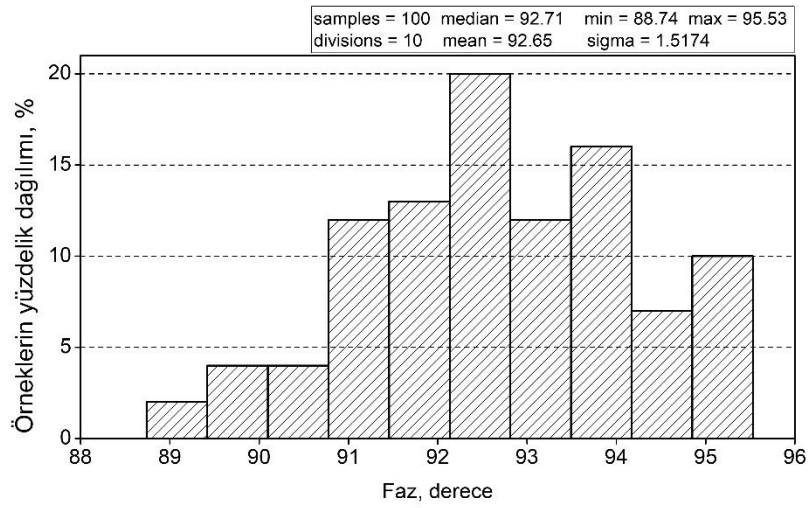
Şekil 6.15: Eviren AP süzgecin girişine 100 mV tepe genişliğinde, 4.97 MHz frekansında uygulanan sinüzoidal giriş gerilimine karşı cevabı.



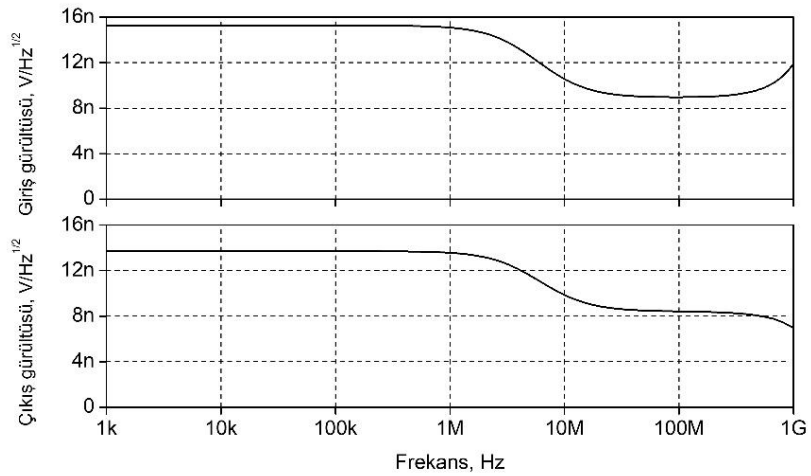
Şekil 6.16: Eviren AP süzgecin FFT cevabı.



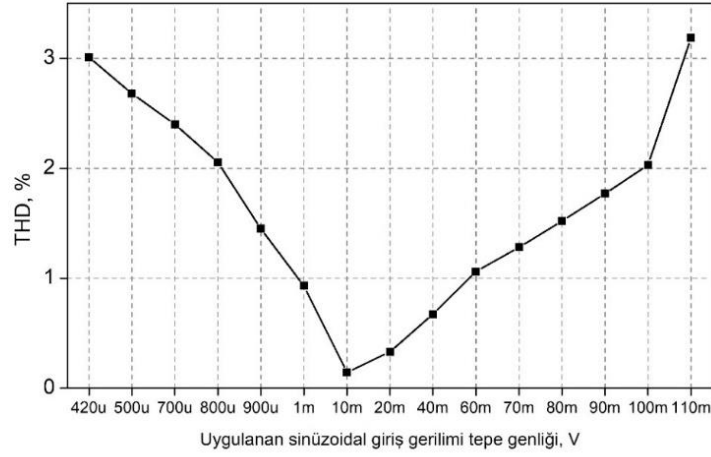
Şekil 6.17: Eviren AP süzgecin 100 adımlı AC Monte Carlo analizi.



Şekil 6.18: Eviren AP süzgecin AC Monte Carlo analizinde, faz cevabının 4.97 MHz kutup frekansında oluşan faz açılarının yüzdelerik dağılımı.



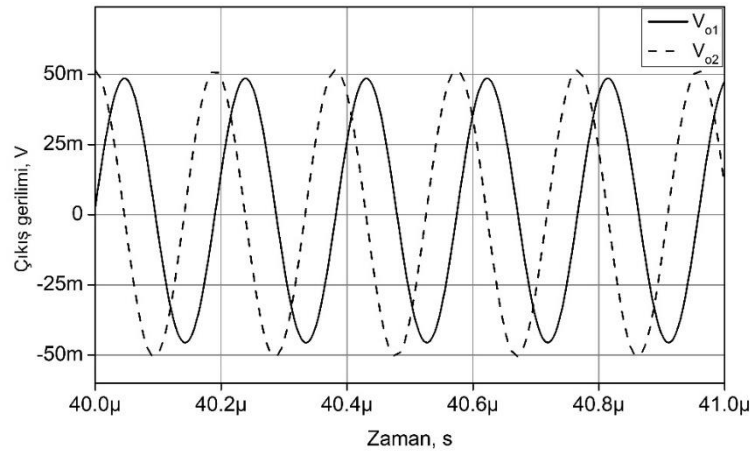
Şekil 6.19: Eviren AP süzgeç için giriş ve çıkış gürültüleri.



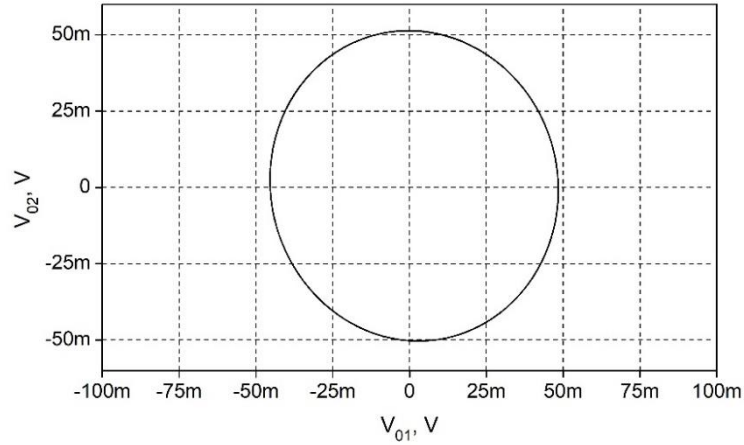
Şekil 6.20: Eviren AP süzgeç için 4.97 MHz frekansında uygulanan sinüzoidal giriş gerilimine karşılık, çıkışından alınan THD değişimleri.

6.5.3 Kuadratör Osilatör Uygulama Örneklerinin Benzetim Sonuçları

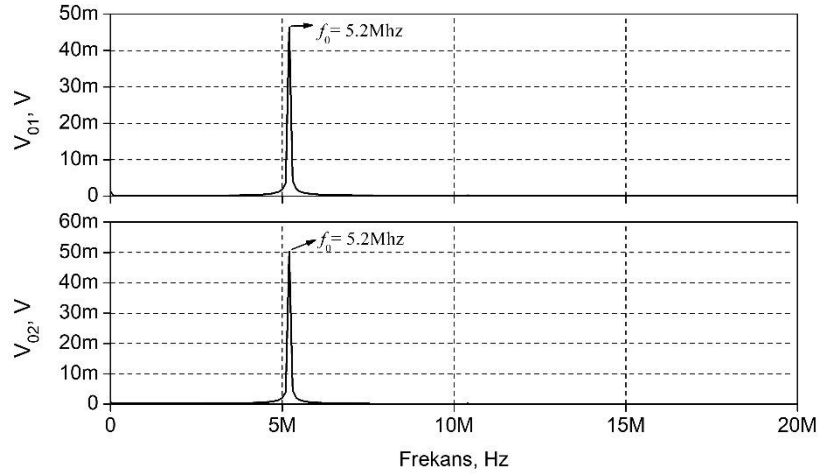
Şekil 6.3'te uygulaması gösterilen birinci dereceden evirmeyen tüm geçiren süzgeç tasarımından türetilmiş QO devresinin pasif elemanları; $R_1=0.4 \text{ k}\Omega$, $R_2=0.74 \text{ k}\Omega$, $C_1 = C_3= 80 \text{ pF}$, $C_2 = 40 \text{ pF}$ ve $f_0 \cong 5.2 \text{ MHz}$ olacak şekilde ayarlanmıştır. Osilasyon frekansı, teorik olarak $f_0 \cong 4.97 \text{ MHz}$ hesaplanmıştır. SPICE benzetim programında çıkış gerilimleri V_{o1} ve V_{o2} 'nin THD sırasıyla % 0.38 ve % 0.6 olarak bulunmuştur. QO devresinin zaman ortamı cevabı Şekil 6.21'de, Lissajous eğrisi ise Şekil 6.22'de gösterilmiştir. Ayrıca, QO devresinin FFT cevabı ise Şekil 6.23'te verilmiştir.



Şekil 6.21: Birinci dereceden evirmeyen tüm geçiren süzgeç tasarımından türetilmiş QO devresinin zaman ortamı cevabı.

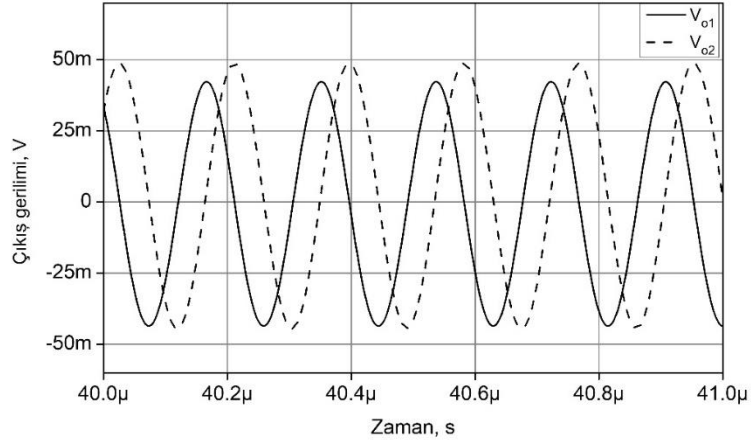


Şekil 6.22: Birinci dereceden evirmeyen tüm geçiren süzgeç tasarımından türetilmiş QO devresinin Lissajous eğrisi.

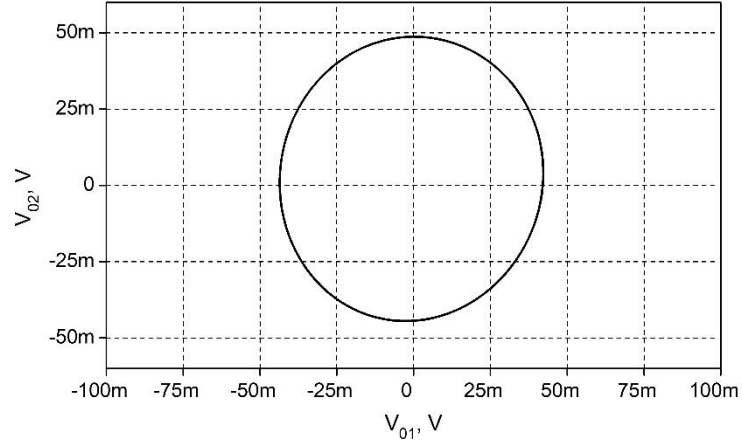


Şekil 6.23: Birinci dereceden evirmeyen tüm geçiren süzgeç tasarımından türetilmiş QO devresinin FFT cevabı.

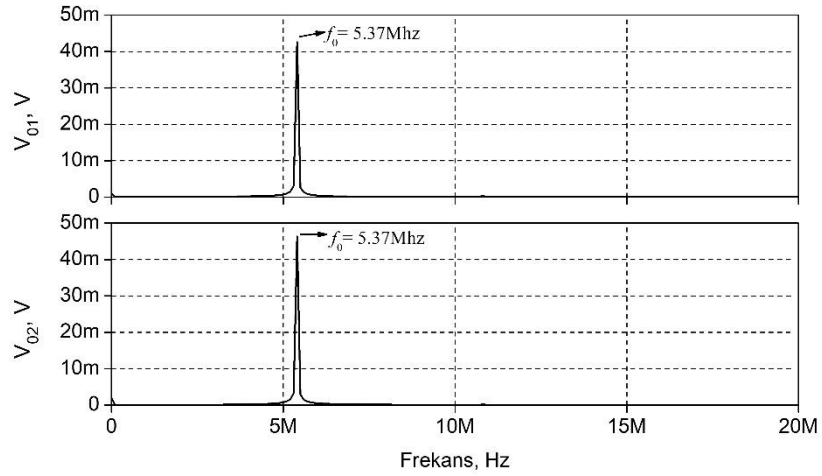
Şekil 6.4'te uygulaması gösterilen birinci dereceden eviren tüm geçiren süzgeç tasarımından türetilmiş QO devresinin pasif elemanları $R_1 = 0.4 \text{ k}\Omega$, $R_2 = 0.8 \text{ k}\Omega$, $R_3 = 0.71 \text{ k}\Omega$, $C_1 = C_2 = 80 \text{ pF}$ ve $f_0 \cong 5.37 \text{ MHz}$ olacak şekilde ayarlanmıştır. Osilasyon frekansı, teorik olarak $f_0 \cong 4.97 \text{ MHz}$ hesaplanmıştır. SPICE benzetim programında çıkış gerilimleri V_{01} ve V_{02} 'nin THD sırasıyla % 0.34 ve % 0.85 olarak bulunmuştur. Ayrıca, tasarlanan devrenin toplam güç tüketimi ise SPICE programı aracılığıyla 6.22 mW olarak bulunmuştur. QO devresinin zaman ortamı cevabı Şekil 6.24'te, Lissajous eğrisi ise Şekil 6.25'te gösterilmiştir. Ayrıca, QO devresinin FFT cevabı ise Şekil 6.26'da verilmiştir.



Şekil 6.24: Birinci dereceden eviren tüm geçiren süzgeç tasarımından türetilmiş QO devresinin zaman ortamı cevabı.



Şekil 6.25: Birinci dereceden eviren tüm geçiren süzgeç tasarımından türetilmiş QO devresinin Lissajous eğrisi.



Şekil 6.26: Birinci dereceden eviren tüm geçiren süzgeç tasarımından türetilmiş QO devresinin FFT cevabı.

6.6 Bölüm Sonu Değerlendirmesi

Bu bölümde DDCC- tabanlı birinci dereceden evirmeyen AP süzgeç ve birinci dereceden eviren AP süzgeç devreleri tasarlanmıştır. Her iki tasarım da yüksek giriş empedansına sahiptir. Ancak birinci dereceden evirmeyen AP süzgeç tasarımı kapasite eşleme şartına sahipken; birinci dereceden eviren AP süzgeç tasarımı direnç eşleme şartına sahiptir.

Uygulama örneği olarak tasarımı yapılan tüm geçiren süzgeç devreleri kullanılarak elde edilen düşük THD'ye sahip QO devre tasarımları sunulmuştur. Tasarlanan devrelerin ideal ve ideal olmayan analizleri belirtilmiştir. Tasarımı yapılan bütün devrelerinin ve uygulama örneklerinin benzetimleri SPICE programı aracılığıyla gerçekleştirilmiştir.

7. SONUÇ VE ÖNERİLER

Bu tezde, bilimsel literatürde yer alan mevcut çalışmalara göre performansı daha iyi, geniş dinamik çalışma aralığına, daha iyi doğrusalığa, düşük THD'ye ve güç tüketimine sahip, IC tasarımları yapmayı kolaylaştıracak, literatüre katkıda bulunacak, daha az sayıda eleman kullanılarak tasarlanmış DDCC tabanlı yeni analog devrelerin tasarımı ve benzetimi amaçlanmıştır.

Bu doğrultuda, bir DDCC ve sadece topraklanmış elemanlar içeren iki yeni topraklanmış IFS devresi tasarlanmıştır. Ayrıca, bir DDCC ve sadece topraklanmış elemanlar kullanarak iki yeni yüzen IFS devresi, topraklanmış IFS tasarımından elde edilmiştir.

Uygulama olarak birinci tasarım topraklanmış IFS devresinden türetilmiş ikinci dereceden CM süzgeç devresi LP, BP ve HP cevaplarını sağlamaktadır. Benzer şekilde elde edilen, ikinci dereceden VM BP süzgeç devresi ise yüksek giriş empedansına sahiptir. Bunlara ek olarak, birinci tasarım IFS devresinden türetilen QO devresi uygulaması verilmiştir.

Geliştirilen IFS devrelerinin her iki direnci de elektronik olarak ayarlanabilir topraklanmış dirençler ile değiştirilerek kontrol edilebilir. Ancak, bu çalışmada tasarımı yapılan QO devresi dışındaki tasarlanan devrelerin uygun şekilde çalışması için pasif eleman eşleme şartı bulunmaktadır. Tasarlanan CM ve VM süzgeç devrelerinin benzetimleri SPICE programı aracılığıyla gerçekleştirilmiştir ve deneysel test sonuçlarıyla uyumluluğu gösterilmiştir.

Tasarımları yapılan DDCC tabanlı immitans fonksiyon simülatörü devreleri ile daha önce literatürde yayınlanmış çalışmaların karşılaştırılması Tablo 7.1'de gösterilmiştir.

Tablo 7.1: Tasarlanan immitans fonksiyon simülatörünün daha önce literatürde yayınlanmış çalışmalarıyla karşılaştırması.

Kaynaklar	Aktif Yapı Blokları Sayısı	Kapasitörler		Dirençler		Tip	Teknoloji	Kaynak Gerilimleri	Güç Tüketimi (mW)
		Topraklanmış	Yüzen	Topraklanmış	Yüzen				
Incekaraoglu ve Cam (2005), Fig. 2a	1	1	0	1	1	Pozitif kayıplı endüktans	0.5 μm	± 2.5 V	-
Yuce (2006 ^a), Fig. 2	1	1	0	1	1	Kayıplı endüktans	-	-	-
Hamad ve Ibrahim (2017), Fig. 3a	2	1	0	2	0	Pozitif kayıpsız endüktans	0.35 μm	± 1.5 V	-
Yuce ve Minaei (2009 ^a), Fig. 6	3	1	0	3	0	Pozitif kayıpsız endüktans	0.35 μm	± 1.5 V	-
Elwan ve Soliman (1997), Fig. 16	2	1	0	2	0	Pozitif kayıpsız endüktans	2 μm	± 5 V	-
Yuce (2010), Fig. 2	2	1	0	2	0	Pozitif kayıpsız endüktans	0.35 μm	± 1.5 V	-
Hornig (2010 ^a), Fig. 1	2	1	0	1	1	Pozitif kayıpsız endüktans	0.18 μm	± 1.25 V	-
Abacı ve Yuce (2017), Fig. 3	1	1	0	0	2	Pozitif kayıpsız endüktans	0.13 μm	± 0.75 V	1.61
Ibrahim ve diğ. (2012), Fig. 2	1	1	0	1	1	Kayıplı endüktans	0.35 μm	± 1.5 V	-
Ibrahim ve diğ. (2012), Fig. 5	1	1	0	1	1	Pozitif kayıpsız endüktans	0.35 μm	± 1.5 V	-
Yuce (2009 ^a), Fig. 2	1	1	0	1	1	Kayıplı endüktans	0.18 μm	± 0.9 V	-
Yuce ve diğ. (2015), Fig. 2	2	1	0	1	1	Pozitif kayıpsız endüktans	0.13 μm	± 0.75 V	6.9
Soliman (2010), Fig. 8b	2	0	1	2	0	Pozitif kayıpsız endüktans	0.5 μm	± 1.5 V	-
Minaei ve diğ. (2015), Fig. 14	2	1	0	0	2	Pozitif kayıpsız endüktans	0.25 μm	± 1.25 V	5.4
Bu tezde Şekil 3.1	1	1	0	2	0	Pozitif kayıplı endüktans	0.13 μm	± 0.75 V	1.97
Bu tezde Şekil 3.2	1	1	0	2	0	Negatif kayıplı endüktans	0.13 μm	± 0.75 V	1.46
Bu tezde Şekil 3.3	1	1	0	2	0	Pozitif kayıplı endüktans	0.13 μm	± 0.75 V	2.08
Bu tezde Şekil 3.4	1	1	0	2	0	Negatif kayıplı endüktans	0.13 μm	± 0.75 V	1.12

Yeni bir DDCC tabanlı SGI tasarımı yapılmıştır. Tasarımı yapılan SGI devresi bir DDCC bloğu, iki yüzen direnç ve bir topraklanmış kapasitör kullanılarak tasarlanmıştır. Uygulama olarak, ikinci dereceden CM LP, HP ve BP süzgeç cevapları tasarlanan SGI devresinden elde edilmiştir.

Tasarımı yapılan DDCC tabanlı topraklanmış endüktans simülasyonu devresi ile daha önce literatürde yayınlanmış çalışmaların karşılaştırılması Tablo 7.2’de gösterilmiştir.

Tablo 7.2: Kayıpsız topraklanmış endüktans simülasyonu tasarımları karşılaştırması.

Kaynaklar	Kapasitör		Direnç		Aktif Yapı Blokları Sayısı (MOS transistör sayısı)	Teknoloji	Güç Tüketimi	Besleme Gerilimleri
	Topraklanmış	Yüzen	Topraklanmış	Yüzen				
Abaci ve Yuce (2017)	1	0	0	2	MDVCC- (16)	0.13 μm	1.61mW	$\pm 0.75\text{V}$
Hamad ve Ibrahim (2017)	1	0	2	0	DVCC (36)	0.35 μm	-	$\pm 1.5\text{V}$
Ibrahim ve diğ. (2012)	1	0	1	1	MDO-DDCC (18)	0.35 μm	-	$\pm 1.5\text{V}$
Siripruchyanun (2008)	1	0	0	0	CCCCTA (17)*	ALA400	1.48mW	$\pm 1.5\text{V}$
Soliman (1978 ^b)	0	1	2	2	CCII	-	-	-
Yuce ve diğ. (2005)	0	1	1	1	MICCII-(8)	0.35 μm	17.6mW	$\pm 2.5\text{V}$
Gulsoy ve Cicekoglu (2005)	0	1	0	4	CDBA (24)	-	-	$\pm 12\text{V}$
Yuce ve diğ. (2006 ^a)	0	1	1	1	GVCCIII (26)	0.25 μm	-	$\pm 1.5\text{V}$
Yuce (2007)	0	1	1	1	MICCI-(34)	0.35 μm	-	$\pm 1.5\text{V}$
Yuce ve Minaei (2008 ^a)	1	0	2	0	MCFOA (24)	0.25 μm	0.52 mW	$\pm 1.5\text{V}$
Yuce (2009 ^b)	0	1	1	1	NCFOA (NA)	-	-	$\pm 15\text{V}$
Alpaslan ve Yuce (2015)	0	1	1	1	CFOA-(22)	0.13 μm	0.89 mW	$\pm 0.75\text{V}$
Kacar ve Yesil (2010)	0	1	1	1	DXCCII (48)	0.35 μm	-	$\pm 1.5\text{V}$
Myderrizi ve diğ. (2011)	0	1	2-3	0	DXCCII (29)	0.35 μm	4.46 mW	$\pm 1.65\text{V}$
Metin (2011)	0	1	0-3	0-2	DXCCII (28)	0.35 μm	-	$\pm 2.5\text{V}$
Kumar ve Senani (2010)	0	1	2	2	PFTFN (32)	-	-	-
Metin (2012)	1	0	1	1	DCCII (27)*	ALA400	-	$\pm 2.5\text{V}$
Metin ve diğ. (2014)	0	1	1	1	DCCII (34)	0.25 μm	22.8 mW	$\pm 1.25\text{V}$
Arslan ve diğ. (2003)	0	1	2	1	CCI (12)	-	-	-
Arslan ve diğ. (2012)	0	1	2	2	CCI (26)	0.35 μm	-	$\pm 1.65\text{V}$
Kacar (2010)	1	0	2	0	FDCCII (92)	0.35 μm	-	$\pm 1.5\text{V}$
Kacar ve diğ. (2014)	1	0	1	0	VDCC (22)	0.18 μm	0.869 mW	$\pm 0.9\text{V}$
Phrasad ve Bhaskar (2012)	1	0	0	0	VDTA	0.18 μm	-	-
Srivastava ve diğ. (2017)	1	0	0	0	VDTA (8)	0.18 μm	-	$\pm 0.9\text{V}$
Yesil ve diğ. (2014)	0	1	0	1	VDBA	OPA860	-	$\pm 5\text{V}$
Bu tezde Şekil 4.1	1	0	0	2	DDCC (18)	0.18 μm	3.01 mW	$\pm 0.9\text{V}$

*: BJT kullanılmıştır.

Seri kayıplı, paralel kayıplı ve negatif kayıpsız SFI devreleri olmak üzere üç yeni DDCC- tabanlı SFI devresi tasarlanmıştır. Tasarlanan SFI devrelerinin her birinde DDCC- ve tek bir Z terminali kullanılmaktadır. Her bir endüktans simülatörü tasarımı, minimum sayıda pasif elemandan oluşmaktadır ve hiçbir pasif eleman eşleme şartına sahip değildir.

Uygulama örnekleri olarak ikinci dereceden CM ve VM LP süzgeç devreleri ve bunların yanı sıra tasarımı yapılan seri kayıplı SFI devresinden türetilmiş dördüncü dereceden CM Butterworth LP süzgeç devresi sunulmuştur. Bunlara ek olarak, tasarımı yapılan paralel kayıplı SFI devresinden türetilen ikinci dereceden HP süzgeç ve RLC rezonatör devreleri verilmiştir. Ayrıca, tasarlanan kayıplı SFI devrelerinin ve CM HP süzgeç devresinin deneysel test sonuçları, tasarımların performansını göstermek için verilmiştir.

Tasarımları yapılan DDCC tabanlı yüzen endüktans simülatörü devreleri ile daha önce literatürde yayınlanmış çalışmaların karşılaştırılması Tablo 7.3'te gösterilmiştir.

Tablo 7.3: Yüzen endüktans simülatörü tasarımları karşılaştırması.

Kaynaklar	Kapasitör		Direnc		Birden fazla Z terminali kullananlar	Aktif Yapı Bloğu ve Sayısı	Teknoloji	Eşleme Şartı
	Topraklanmış	Yüzen	Topraklanmış	Yüzen				
Pal (1989), Fig. 3	1	0	2	0	Evet	DVCC (2)	-	Hayır
Yuce ve Minaei (2009 ^a), Figs. 5-11	1	0	1-3	0 ya da 1	Evet	DVCC/DDCC (2-3)	0.35 μm	Evet
Elwan ve Soliman (1997), Fig. 16	1	0	2	0	Evet	DVCC (2)	-	Hayır
Yuce (2010), Fig. 2	1	0	2	0	Evet	DVCC (2)	0.35 μm	Hayır
Hornig (2010 ^a), Fig. 1	1	0	1	1	Hayır	DVCC (2)	0.18 μm	Hayır
Yuce ve diğ. (2015), Fig. 2	1	0	1	1	Evet	DDCC (2)	0.13 μm	Hayır
Yuce ve diğ. (2015), Fig. 3	1	0	0	2	Evet	DDCC (2)	0.13 μm	Hayır
Soliman (2010), Fig. 3	1	0	1	1	Evet	DVCC (3)	0.5 μm	Hayır
Abaci ve Yuca (2019), Fig. 4	1	0	2	0	Evet	DDCC (1)	0.13 μm	Evet
Abaci ve Yuca (2019), Fig. 5	1	0	2	0	Evet	DDCC (1)	0.13 μm	Evet
Yuce (2009 ^a), Fig. 2	0 ya da 1	0 ya da 1	0 ya da 1	1 ya da 2	Evet	DVCC (1)	0.18 μm	Evet
Yuce (2009 ^a), Fig. 3	0 ya da 1	0 ya da 1	0 ya da 1	1 ya da 2	Evet	DDCC (1)	0.18 μm	Evet
Yuce (2009 ^a), Figs. 4-6	0	1	0	2	Hayır	DDCC (1)	0.18 μm	Evet
Ibrahim ve diğ. (2012), Fig. 2	1	0	1	1	Evet	DDCC (1)	0.35 μm	Hayır

Kaynaklar	Kapasitör		Direnç		Birden fazla Z terminali kullananlar	Aktif Yapı Bloğu ve Sayısı	Teknoloji	Eşleme Şartı
	Topraklanmış	Yüzen	Topraklanmış	Yüzen				
Yuce ve diğ. (2006 ^b), Fig. 1	1	0	1	1	Evet	CCII (3)	0.35 µm	Hayır
Minaei ve diğ. (2006), Fig. 1	1	0	1	1	Evet	CCII (2)	BJT	Hayır
Yuce ve diğ. (2006 ^c) Fig. 1	2	0	0	2	Hayır	CCII (4)	AD844	Hayır
Yuce (2006 ^b), Fig. 1	1	0	3	0	Evet	CCII (3)	0.35 µm	Evet
Mohan (1998), Fig. 1a	1	0	1	1	Evet	CCII (2)	-	Hayır
Kiranon ve Pawarangkoon (1997), Fig. 1	1	0	0	2	Hayır	CCII (4)	BJT	Hayır
Senani ve Bhaskar (2012), Fig. 1	0	2	0	3	Hayır	CFOA (2)	AD844	Evet
Abuelma'atti ve diğ. (2017), Fig. 1a	0	1	0	2	Hayır	CFOA (2)	AD844	Hayır
Abuelma'atti ve Dhar (2016), Fig. 1	0	1	0	2	Hayır	CFOA (2 or 3)	AD844	Hayır
Senani (1998), Fig. 3b	1	0	0	2	Hayır	CFOA (3)	AD844	Hayır
Psychalinos ve diğ. (2008), Fig. 1	1	0	2	2	Hayır	CFOA (4)	AD844	Hayır
Singh ve diğ. (2019), Fig. 3	1	0	0	0	Hayır	CC-CFA (3)	BiCMOS	Hayır
Singh ve diğ. (2018), Fig. 3	1	0	0	0	Evet	ZC-CFCCC (2)	0.18 µm	Evet
Sagbas (2011), Fig. 3b	1	0	1	0	Hayır	CBTA (1)	0.25 µm	Hayır
Tangsrirat (2019), Figs. 2, 3	0	1	0	1	Hayır	VDBA (1)	0.25 µm	Hayır
Tangsrirat (2017), Figs. 3-5	1	0	0	1	Hayır	VDDDA (2)	LM13700 ve AD830	Hayır
Sagbas ve diğ. (2009), Fig. 2	1	0	0	0	Evet	CCCII (1), OTA (1)	BJT	Hayır
Kumar ve diğ. (2019), Fig. 5	1	0	0	0	Evet	DXCCTA (1)	0.18 µm	Hayır
Bu tezde Şekil 5.1	0	1	0	2	Hayır	DDCC (1)	0.13 µm	Hayır
Bu tezde Şekil 5.2	0	1	0	2	Hayır	DDCC (1)	0.13 µm	Hayır
Bu tezde Şekil 5.3	0	1	0	2	Hayır	DDCC (1)	0.13 µm	Hayır

DDCC- tabanlı birinci dereceden evirmeyen AP süzgeç ve birinci dereceden eviren AP süzgeç devresi olmak üzere iki yeni AP süzgeç tasarımı önerilmiştir. Her iki tasarım da yüksek giriş empedansına sahiptir. Ancak birinci dereceden evirmeyen AP süzgeç tasarımı kapasite eşleme şartına sahipken; birinci dereceden eviren AP süzgeç tasarımı direnç eşleme şartına sahiptir. Birinci dereceden evirmeyen AP süzgeç tasarımında sadece bir DDCC- yapı bloğu, bir yüzen direnç ve iki topraklanmış kapasitör kullanılmıştır; birinci dereceden eviren AP süzgeç

tasarımında ise sadece bir DDCC, bir topraklanmış direnç, bir yüzen direnç ve bir topraklanmış kapasitör kullanılmıştır.

Tablo 7.4: DDCC/DVCC tabanlı tüm geçiren süzgeç tasarımları karşılaştırması.

Kaynaklar	Kapasitör		Direnç		Aktif Yapı Blokları Sayısı	Teknoloji	Güç Tüketimi	Besleme Gerilimleri
	Topraklanmış	Yüzen	Topraklanmış	Yüzen				
Ibrahim ve diğ. (2002)	0	1	0	2	DDCC (1)	0.5 μm	-	± 2.5 V
Ibrahim ve diğ. (2003)	0	1	1	0	DDCC (1)	0.5 μm	-	± 2.5 V
Hornig ve diğ. (2006)	1	0	0	1	DDCC (1)	1.2 μm	-	± 3.3 V
Maheshwari (2007)	1	0	2	0	DVCC(2)	0.5 μm	-	± 2.5 V
Metin ve diğ. (2007) (a)	0	1	1	0	DDCC (1)	0.5 μm	-	± 2.5 V
Metin ve diğ. (2007) (b)	1	0	0	1	DDCC(1)	0.5 μm	-	± 2.5 V
Metin ve diğ. (2007) (c)	1	0	1	0	DDCC (2)	0.5 μm	-	± 2.5 V
Maheshwari (2008 ^a)	1	0	0	0	DVCC(2)	0.5 μm	-	± 2.5 V
Maheshwari (2008 ^b)	1	0	2	0	DVCC (2)	0.5 μm	-	± 2.5 V
Keskin ve diğ. (2008)	1	0	0	0	Fark alıcı (1) OTA (1)	0.35 μm	-	± 2.5 V
Kumangern ve Dejhan (2009 ^b)	1	0	1	0	DDCC (2)	0.5 μm	-	± 2.5 V
Hornig (2009)	1	0	1	1	DVCC (1)	0.35 μm	-	± 1.65 V
Minaei ve Yuce (2010)	1	0	0	1	DVCC (2)	0.18 μm	0.3 mW	± 1.5 V
Hornig (2010 ^b)	1	0	1	0	DVCC (2)	0.18 μm	-	± 1.25 V
Tsukutani ve diğ. (2010)	1	0	2	0	DVCC (1) OTA (1)	0.5 μm	-	± 1.85 V
Ibrahim ve diğ. (2011) (a)	1	0	1	2	DDCC (1)	0.25 μm	-	± 1.25 V
Ibrahim ve diğ. (2011) (b)	1	0	3	0	DDCC (2)	0.25 μm	-	± 1.25 V
Ibrahim ve diğ. (2010)	1	0	1	0	DVCC (2)	0.25 μm	1.32 mW	± 1.25 V
Krishna ve diğ. (2011)	1	0	1	0	DDCC (2)	0.5 μm	-	± 2.5 V
Metin ve diğ. (2011)	1	0	1	0	DDCC (2)	0.35 μm	-	± 1.5 V
Chaturvedi ve Maheshwari (2012 ^a)	1	0	0	1	DDCC (2)	0.5 μm	-	± 2.5 V
Chen ve diğ. (2012)	1	0	0	1	DVCC (1)	0.18 μm	-	± 0.9 V
Dixit ve diğ. (2013) (a)	0	1	1	0	DDCC (1)	0.18 μm	-	± 2.5 V
Dixit ve diğ. (2013) (b)	1	0	0	1	DDCC (1)	0.18 μm	-	± 2.5 V
Dixit ve diğ. (2013) (c)	1	0	1	0	DDCC (2)	0.18 μm	-	± 2.5 V
Maheshwari ve diğ. (2013)	1	0	2	0	DVCC (2)	0.5 μm	-	± 2.3 V
Saied ve diğ. (2013)	1	0	0	0	DDCC (2) CCII (2)	0.18 μm	-	± 2.5 V
Hornig ve diğ. (2014) (a)	1	0	2	1	DDCC (1)	0.18 μm	-	± 2.5 V
Hornig ve diğ. (2014) (b)	1	0	2	1	DDCC (1)	0.18 μm	-	± 2.5 V
Abacı ve Yuce (2018) (a)	1	0	0	1	Fark alıcı (2)	0.13 μm	1.77 mW	± 0.75 V
Abacı ve Yuce (2018) (b)	1	0	0	1	Fark alıcı (2)	0.13 μm	1.77 mW	± 0.75 V
Bu tezde Şekil 6.1	2	0	0	1	DDCC (1)	0.18 μm	4.20 mW	± 1.25 V
Bu tezde Şekil 6.2	1	0	1	1	DDCC (1)	0.18 μm	4.21 mW	± 1.25 V

Uygulama örneđi olarak, tasarımı yapılan tüm geçiren süzgeç devrelerinden elde edilen düşük THD'ye sahip QO devre tasarımları sunulmuştur.

Tasarımları yapılan DDCC/ DVCC tabanlı tüm geçiren süzgeç devreleri ile daha önce literatürde yayınlanmış çalışmaların karşılaştırılması Tablo 7.4'te gösterilmiştir.

Tasarlanan bütün devrelerin ideal ve ideal olmayan analizleri belirtilmiştir. Tasarımı yapılan devrelerinin ve uygulama örneklerinin benzetimleri SPICE programı aracılığıyla gerçekleştirilmiştir. Tasarlanan devrelerin doğruluđunu gösterebilmek için bazı deneyler uygulanmış, tasarımların performansını göstermek için deneysel test sonuçlarına yer verilmiştir. Sonuç olarak, bu tezde tasarlanan devrelerin kontrol mühendisliđi, telekomünikasyon, sinyal işleme gibi birçok alanda yararlı olacağı beklenmektedir.

8. KAYNAKLAR

Abaci, A. and Yuce, E., “Modified DVCC based quadrature oscillator and lossless grounded inductor simulator using grounded capacitor(s)”, *International Journal of Electronics and Communications (AEÜ)*, 76, 86–96, (2017).

Abaci, A. and Yuce, E., “Voltage-mode first-order universal filter realizations based on subtractors”, *International Journal of Electronics and Communications (AEÜ)*, 90, 140–146, (2018).

Abaci, A. and Yuce, E., “Single DDCC based new immittance function simulators employing only grounded passive elements and their applications”, *Microelectronics Journal*, 83, 94-103, (2019).

Abaci, A. and Yuce, E., “Single DDCC- based simulated floating inductors and their applications”, Accepted for publication in *IET Circuits, Devices & Systems*, (2020).

Abuelma’atti, M. T., “New grounded immittance function simulators using single current feedback operational amplifier”, *Analog Integrated Circuits and Signal Processing*, 71, 95–100, (2012).

Abuelma’atti, M. T. and Dhar, S. K., “New CFOA-based floating immittance emulators”, *International Journal of Electronics*, 103 (12), 1984-1997, (2016).

Abuelma’atti, M. T., Dhar, S. K. and Khalifa, Z. J., “New two-CFOA-based floating immittance simulators”, *Analog Integrated Circuits and Signal Processing*, 91 (3), 479-489, (2017).

Alpaslan, H. and Yuce, E., “Current-mode biquadratic universal filter design with two terminal unity gain cells”, *Radioengineering*, 21 (1), 304–311, (2012).

Alpaslan, H. and Yuce, E., “New grounded inductor simulator using unity gain cells”, *Indian Journal of Pure & Applied Physics*, 51 (9), 651–656, (2013).

Alpaslan, H. and Yuce, E., “Inverting CFOA based lossless and lossy grounded inductor simulators”, *Circuits, Systems and Signal Processing*, 34 (10), 3081–3100, (2015).

Alpaslan, H. and Yuce, E., “New CMOS based current follower and its applications to inductor simulator and band-pass filter”, *Indian Journal of Pure & Applied Physics*, 54 (8), 511–516, (2016).

Alpaslan, H. and Yuce, E., “Modified current follower based immittance function simulators”, *International Journal of Electronics*, 104 (12), 1974–1991, (2017).

Alzahr, H., “Current follower based reconfigurable integrator/differentiator circuits with passive and active components' reuse”, *Microelectronics Journal*, 46 (2), 135–142, (2015).

Analog Devices, AD844 Datasheet (Rev. G), <http://www.analog.com/media/en/technical-documentation/data-sheets/AD844.pdf>, Accessed in October (2017).

Antoniou, A., “Gyrators using operational amplifiers”, *Electronics Letters*, 3 (8), 350–352, (1967).

Arslan, E, Cam, U and Cicekoglu, O., “Novel lossless grounded inductance simulators employing only a single first generation current conveyor”, *Frequenz*, 57 (9–10), 204–206, (2003).

Arslan, E. and Morgul, A., “Wideband Self-biased CMOS CCII”, *Research in Microelectronics and Electronics*, 2008, PRIME 2008. Ph.D., Istanbul, 217–220, (2008).

Arslan, E., Metin, B., Herencsar, N., Koton, J., Morgul, A. and Cicekoglu, O., “High performance wideband CMOS CCI and its application in inductance simulator design”, *Advances in Electrical and Computer Engineering*, 12 (3), 21–26, (2012).

Bhaskar, D. R., and Senani, R., “New current-conveyor based single-resistance-controlled voltage-controlled oscillator employing grounded capacitors”, *Electronics Letters*, 29, (7), 612-614, (1993).

Bode, H. W., “Network Analysis and Feedback Amplifier Design”, Princeton: Van Nostran, (1945).

Bhushan, M. and Newcomb, R. W., “Grounding of capacitors in integrated circuits”, *Electronics Letters*, 3 (4), 148–149, (1967).

Cam, U., Cicekoglu, O. and Kuntman, H., “Universal series and parallel immittance simulators using four terminal floating nullors”, *Analog Integrated Circuits and Signal Processing*, 25 (1), 59–66, (2000).

Cam, U., Kacar, F., Cicekoglu, O., Kuntman, H. and Kuntman, A., “Novel grounded parallel immittance simulator topologies employing single OTRA”, *AEÜ - International Journal of Electronics and Communications*, 57 (4), 287–290, (2003).

Cam, U., Kacar, F., Cicekoglu, O., Kuntman, H., Kuntman, A., “Novel two OTRA-based grounded immittance simulator topologies”, *Analog Integrated Circuits and Signal Processing*, 39 (2), 169–175, (2004).

Chaturvedi, B., and Maheshwari, S., “Simple voltage-mode quadrature oscillator using CMOS DDCC”, *IEEE, 2011 International Conference on Multimedia, Signal Processing and Communication Technologies (IMPACT)*, 220-223, (2011).

Chaturvedi, B. and Maheshwari, S., “An ideal voltage-mode all-pass filter and its application”, *Journal of Communication and Computer*, 9, 613-623, (2012^a).

Chaturvedi, B. and Maheshwari, S., “Second order mixed mode quadrature oscillator using DVCCs and grounded components”, *International Journal of Computer Applications*, 58 (2), 42-45, (2012^b).

Chen, H.-P., Huang, K.-W. and Huang, P.-M., “DVCC-based first-order filter with grounded capacitor”, *International Journal of Information and Electronics Engineering*, 2 (1), 50–4, (2012).

Chaudhary, A., “Low-voltage analog circuits based on flipped voltage follower cell”, Thapar University, <http://tudr.thapar.edu:8080/jspui/bitstream/10266/1231/3/1231.pdf>, (2010).

Chiu, W., Liu, S.-I., Tsao, H.-W. and Chen, J.-J., “CMOS differential difference current conveyors and their applications”, *IEE Proceedings G-Circuits, Devices and Systems*, 143 (2), 91–96, (1996).

Chong, C. P., Smith, K. C., and Vransic, Z. G., “Using active components to perform voltage division in digital-to-analog conversion”, *IEEE Journal of Solid-State Circuits*, 24 (4), 999-1002, (1989).

Cicekoglu, O., “New current conveyor based active-gyrator implementation”, *Microelectronics Journal*, 29 (8), 525–528, (1998).

Cicekoglu, M. O., “Active simulation of grounded inductors with CCII+s and grounded passive elements”, *International Journal of Electronics*, 85 (4), 455–462, (2010).

Cicekoglu, O., Toker, A., Kuntman, H., “Universal immittance function simulators using current conveyors”, *Computers and Electrical Engineering*, 27 (3), 227–238, (2001).

Dixit, K. V., Gupta, R. and Pal, K., “High-input impedance first order all-pass filters using DDCC”, *2013 Annual IEEE India Conference (INDICON)*, (2013).

Dorf, R. C. and Svoboda, J. A., “Introduction to Electric Circuits”, 8th edition. John Wiley and Sons, (2011).

Elwan, H. O. and Soliman, A. M., “Novel CMOS differential voltage current conveyor and its applications”, *IEE Proceedings G-Circuits, Devices and Systems*, 144 (3), 195–200, (1997).

Fabre, A., “Gyrator implementation from commercially available transimpedance operational amplifiers”, *Electronics Letters*, 28, 263–264, (1992).

Fabre, A. And Alami, M., “Universal current mode biquad implemented from two second generation current conveyors”, *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 42 (7), 383–385, (1995).

Fabre, A., Saaid, O., Wiest, F. and Boucheron, C., “High frequency applications based on a new current controlled conveyor”, *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 43 (2), 82–91, (1996).

Ferri, G. and Guerrini, N. C., “Low-voltage Low-power CMOS Current Conveyors”, Kluwer Academic Publishers, (2003).

Ford, R. L. and Girling, F. E. J., “Active filters and oscillators using simulated inductance”, *Electronics Letters*, 2 (2), 52, (1966).

Gulsoy, M. and Cicekoglu, O., “Lossless and lossy synthetic inductors employing single current differencing buffered amplifier”, *IEICE Transactions on Communications*, E88-B (5), 2152–2155, (2005).

Hamad, A. R. and Ibrahim, M. A., “Grounded generalized impedance converter based on differential voltage current conveyor (DVCC) and its applications”, *ZANCO Journal of Pure and Applied Sciences*, 29 (3), 118–127, (2017).

Herencsar, N., Koton, J. and Vrba, K., “CFTA-based active-C grounded positive inductance simulator and its application”, *Elektro Revue*, 1 (1), 24–27, (2010).

Herencsar, N., Lahiri, A., Koton, J., Vrba, K. and Metin, B., “Realization of resistorless lossless positive and negative grounded inductor simulators using single ZC-CCCITA”, *Radioengineering*, 21 (1), 264–272, (2012).

Horng, J.-W., “Current-mode quadrature oscillator with grounded capacitors and resistors using two DVCCs”, *IEICE Transactions on Fundamentals of Electronics Communications and Computer Sciences*, 86 (8), 2152-2154, (2003).

Horng, J.-W., Hou, C.-I., Chang, C.-M., Lin, Y.-T., Shiu, L.-C. and Chiu, W.-Y., “First-order allpass filter and sinusoidal oscillators using DDCCs”, *International Journal of Electronics*, 93 (7), 457-466, (2006).

Horng, J.-W., “High input impedance first-order allpass, highpass and low pass filters with grounded capacitor using single DVCC”, *Indian Journal of Engineering & Materials Sciences*, 17 (3), 175-178, (2009).

Horng, J.-W., “Lossless inductance simulation and voltage-mode universal biquadratic filter with one input and five outputs using DVCCs”, *Analog Integrated Circuits and Signal Processing*, 62, 407–413, (2010^a).

Horng, J.-W., “DVCCs based high input impedance voltage-mode first-order allpass, highpass and lowpass filters employing grounded capacitor and resistor”, *Radioengineering*, 19 (4), 653–6, (2010^b).

Horng, J.-W., Wu, C.-M. and Herencsar, N., “Fully differential first-order allpass filters using a DDCC”, *Indian Journal of Engineering and Materials Sciences*, 21, 345-350, (2014).

Huang, S. C., and Ismail, M., “Design and applications of a CMOS analog multiplier cell using the differential difference amplifier”, *Analog Integrated Circuits and Signal Processing*, 6 (3), 209-217, (1994).

Huang, S. C., Ismail, M., and Zarabadi, S. R., “A wide range differential difference amplifier: a basic block for analog signal processing in MOS technology”, *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, 40 (5), 289-301, (1993).

Ibrahim, M. A., Kuntman, H. and Cicekoglu, O., “A very high-frequency CMOS self-biasing complementary folded cascode differential difference current conveyor with application examples”, *IEEE, The 2002 45th Midwest Symposium on Circuits and Systems, MWSCAS-2002*, 279-282, (2002).

Ibrahim, M. A., Kuntman, H. and Cicekoglu, O., “First-order all-pass filter canonical in the number of resistors and capacitors employing a single DDCC”, *Circuits Systems Signal Processing*, 22 (5), 525-536, (2003).

Ibrahim, MA, Minaei, S, Yuce, E., “All-pass sections with rich cascadability and IC realization suitability”, *International Journal of Circuit Theory and Applications*, 40 (5), 477–488, (2010).

Ibrahim, A. M., Minaei, S. and Yuce, E., “All-pass sections with high gain opportunity”, *Radioengineering*, 20 (1), 3-9, (2011).

Ibrahim, M. A., Minaei, S., Yuce, E., Herencsar, N. and Koton, J., “Lossy/lossless floating/ grounded inductance simulation using one DDCC”, *Radioengineering*, 21 (1), 3–10, (2012).

Incekaraoglu, M. and Cam, U., “Realization of series and parallel R-L and C-D impedances using single differential voltage current conveyor”, *Analog Integrated Circuits and Signal Processing*, 43 (1), 101–104, (2005).

Jaikla, W., Sotner, R. and Khateb, F., “Design and analysis of floating inductance simulators using VDDAs and their applications”, *International Journal of Electronics and Communications (AEÜ)*, 112, 152937, (2019).

Kacar, F. and Un, M., “DVCC based current-mode first order all-pass filter and quadrature oscillator”, *Trakya Univ. J. Sci.*, 8 (1), 01-05, (2007).

Kacar, F., “New lossless inductance simulators realization using a minimum active and passive components”, *Microelectronics Journal*, 41 (2-3), 109–113, (2010).

Kacar, F., Metin, B. and Kuntman, H. , “A new CMOS dual-X second generation current conveyor (DXCCII) with an FDNR circuit application”, *International Journal of Electronics and Communications (AEÜ)*, 64 (8), 774–778, (2010).

Kacar, F. and Yesil, A., “Novel grounded parallel inductance simulators realization using a minimum number of active and passive components”, *Microelectronics Journal*, 41 (10), 632–638, (2010).

Kacar, F., Kuntman, H., “CFOA-based lossless and lossy inductance simulators”, *Radioengineering*, 20 (3), 627–631, (2011).

Kacar, F., Yesil, A., Minaei, S. and Kuntman, H., “Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements”, *International Journal of Electronics and Communications (AEÜ)*, 68 (1), 73–78, (2014).

Kacar, F., Kuntman, H. and Kuntman, A., “Grounded inductance simulator topologies realization with single current differencing current conveyor”, *IEEE, 2015 European Conference on Circuit Theory and Design (ECCTD)*, 33–36, (2015).

Keskin, A. U. and Toker, A., “A NIC with impedance scaling properties using unity gain cells”, *Analog Integrated Circuits and Signal Processing*, 41 (1), 85–87, (2004).

Keskin, A. U., Pal, K. and Hancioglu, E. “Resistorless first-order all-pass filter with electronic tuning”, *International Journal of Electronics and Communications (AEÜ)*, 62 (4), 304–6, (2008).

Kilinc, S., Salama, K.N. and Cam, U., “Realization of fully controllable negative inductance with single operational transresistance amplifier”, *Circuits, Systems and Signal Processing*, 25 (1), 47–57, (2006).

Kiranon, W. and Pawarangkoon, P., “Floating inductance simulation based on current conveyors”, *Electronics Letters*, 33 (21), 1748-1749, (1997).

Krishna, P. V. S. M., Kumar, N., Srinivasulu, A. and Lal, R. K., “Differential difference current conveyor based cascadable voltage mode first order all pass filters”, *CSCC'11 Proceedings of the 2nd International Conference on Circuits, Systems, Communications & Computers*, 128-132, (2011).

Kumar, P. and Senani, R., “New grounded simulated inductance circuit using a single PFTFN”, *Analog Integrated Circuits and Signal Processing*, 62 (1), 105–112, (2010).

Kumar, N., Vista, J. and Ranjan, A., “A tuneable active inductor employing DXCCTA: Grounded and floating operation”, *Microelectronics Journal*, 90, 1-11, (2019).

Kumngern, M. and Dejhan, K., “DDCC-based quadrature oscillator with grounded capacitors and resistors”, *Hindawi Publishing Corporation Active and Passive Electronic Components*, Article ID 987304, (2009^a).

Kumngern, M. and Dejhan, K., “High-input and low-output impedance voltage-mode all-pass networks”, *IEEE, 12th International Symposium on Integrated Circuits*, 381-384, (2009^b).

Kumngern, M., “Current-mode quadrature sinusoidal oscillator with current and voltage outputs”, *International Conference on Electronic Devices, Systems and Applications*, 97-100, (2010).

Kumngern, M., “Versatile voltage-mode quadrature oscillator circuit using DDCCs”, *2011 IEEE Symposium on Wireless Technology and Applications (ISWTA)*, 44-47, (2011).

Kuntman, H., Gulsoy, M., Cicekoglu, O., “Actively simulated grounded lossy inductors using third generation current conveyors”, *Microelectronics Journal*, 31 (4), 245–250, (2000).

Liu, S. I., Wu, D. S., Tsao, H. W., Wu, J., and Tsay, J. H., “Nonlinear circuit applications with current conveyors”, *IEE Proc. G*, 140 (1), 1-6, (1993).

Liu, S.-J. and Hwang, Y.-S., “Realisation of R-L and C-D impedances using a current feedback amplifier and its applications”, *Electronics Letters*, 30 (5), 380–381, (1994).

Maheshwari, S., “High input impedance VM-APSs with grounded passive elements”, *IET Circuits, Devices and Systems*, 1 (1), 72–8, (2007).

Maheshwari, S., “A canonical voltage-controlled VM-APS with a grounded capacitor”, *Circuits, Systems and Signal Processing*, 27 (1), 123–132, (2008^a).

Maheshwari, S., “High input impedance voltage-mode first-order all-pass sections”, *International Journal of Circuit Theory and Applications*, 36 (4), 511–22, (2008^b).

Maheshwari, S., Mohan, J. and Chauhan, D. S., “High input impedance voltage-mode universal filter and quadrature oscillator”, *Journal of Circuits, Systems, and Computers*, 19 (7), 1597-1607, (2010).

Maheshwari, S., Mohan, J., Chauhan, D. S., “Novel voltage-mode cascadable all-pass sections employing passive components”, *Journal of Circuits, Systems and Computers*, 22 (1), 12, (2013).

Maundy, B. and Gift, S. J. G., “Active grounded inductor circuit”, *International Journal of Electronics*, 98 (5), 555–567, (2011).

Metin, B., Cicekoglu, O. and Pal, K., “DDCC based all-pass filters using minimum number of passive elements”, *IEEE, 50th Midwest Symposium on Circuits and Systems*, 518-521, (2007).

Metin, B., “Supplementary inductance simulator topologies employing single DXCCII”, *Radioengineering*, 20 (3), 614–618, (2011).

Metin, B., Pal, K. and Cicekoglu, O., “All-pass filters using DDCC- and MOSFET-based electronic resistor”, *International Journal of Circuit Theory and Applications*, 39 (8), 881-891, (2011).

Metin, B., “Canonical inductor simulators with grounded capacitors using DCCII”, *International Journal of Electronics*, 99 (7), 1027–1035, (2012).

Metin, B., Herencsar, N., Koton, J. and Horng, J.-W., “DCCII-based novel lossless grounded inductance simulators with no element matching constrains”, *Radioengineering*, 23 (1) 532–539, (2014).

Metin, B., Atasoyu, M., Arslan, E., Herencsar, N. and Cicekoglu, O., “A tunable immittance simulator with a voltage differential current conveyor”, *60th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, 739–742, (2017).

Minaei, S., Ibrahim, M. A. and Kuntman, H., “DVCC based current-mode first-order all-pass filter and it’s application”, *10th IEEE International Conference on Electronics, Circuits and Systems*, 276-279, (2003).

Minaei, S., Yuce, E. and Cicekoglu, O., “A versatile active circuit for realising floating inductance, capacitance, FDNR and admittance converter”, *Analog Integrated Circuits and Signal Processing*, 47 (2), 199-202, (2006).

Minaei, S. and Yuce, E. “Novel voltage-mode all-pass filter based on using DVCCs”, *Circuits, Systems and Signal Processing*, 29 (3), 391–402, (2010).

Minaei, S., Goknar, I. C., Yildiz, M. and Yuce, E., “Memstor, memstance simulations via a versatile 4-port built with new adder and subtractor circuits”, *International Journal of Electronics*, 102 (6), 911–931, (2015).

Mohan, P. A., “Grounded capacitor based grounded and floating inductance simulation using current conveyors”, *Electronics Letters*, 34 (11), 1037-1038, (1998).

Mohan, J. and Garg, G., “Minimum grounded component based voltage-mode quadrature oscillator using a single plus-type DO-DDCC”, *IEEE International Conference on Signal Processing, Computing and Control (ISPCC)*, (2012).

Mohan, J., Maheshwari S. and Chauhan, D. S., “Minimum grounded component based voltage-mode quadrature oscillator using DVCC”, *IEEE*, (2012).

Mohan, J., Chaturvedi, B. and Maheshwari, S., “Grounded components based voltage-mode quadrature oscillators”, *IEEE, International Conference on Multimedia, Signal Processing and Communication Technologies (IMPACT)*, 241-245, (2013).

Myderrizi, I. , Minaei, S. and Yuce, E., “DXCCII-based grounded inductance simulators and filter applications”, *Microelectronics Journal*, 42, 1074–1081, (2011).

Nandi, R., “Inductor simulation using a current conveyor”, *Proceedings of the IEEE*, 65 (10), 1511–1512, (1977).

Nandi, R., “Active inductances using current conveyors and their application in a simple band pass filter realization”, *Electronics Letters*, 14 (12), 373–375, (1978).

Pal, K., “Modified current conveyors and their applications”, *Microelectronics Journal*, 20 (4), 37-40, (1989).

Pandey, R., Pandey, N., Paul, S. K., Singh, A., Sriram, B. and Trivedi, K., “New topologies of lossless grounded inductor using OTRA”, *Journal of Electrical and Computer Engineering*, 1-6, (2011).

Pandey, R., Pandey, N., Paul, S. K., Singh, A., Sriram, B. and Trivedi, K., “Novel grounded inductance simulator using single OTRA”, *International Journal of Circuit Theory and Applications*, 42, 1069–1079, (2014).

Pathak, J. K., Singh, A. K. and Senani, R., “New canonic lossy inductor using a single CDBA and its application”, *International Journal of Electronics*, 103 (1), 1–13, (2016).

Piwowarska, E. and Sidlarewicz, A., “Analysis of spiral inductor model in CMOS circuit”, *International Conference on Mixed Design of Integrated Circuits and System*, 454–459, (2006).

Prescott, A. J., “Loss-compensated active gyrator using differential-input operational amplifiers”, *Electronics Letters*, 2 (7), 283–284, (1966).

Prasad, D., Bhaskar, D. R. and Singh, A. K., “New grounded and floating simulated inductance circuits using current differencing transconductance amplifiers”, *Radioengineering*, 19 (1), 194–198, (2010).

Prasad, D. and Bhaskar, D. R., “Grounded and floating inductance simulation circuits using VDTAs”, *Circuits and Systems*, 3 (4), 342–7, (2012).

Psychalinos, C. and Spanidou, A., “Current amplifier based grounded and floating inductance simulators”, *International Journal of Electronics and Communications (AEÜ)*, 60 (2), 168–171, (2006).

Psychalinos, C., Pal, K. and Vlassis, S., “A floating generalized impedance converter with current feedback operational amplifiers”, *International Journal of Electronics and Communications (AEÜ)*, 62 (2), 81-85, (2008).

Sackinger, E. and Guggenbuhl, W., “A versatile building block the CMOS differential difference amplifier”, *IEEE Journal of Solid-State Circuits*, 22 (2), 287-294, (1987).

Sagbas, M., Ayten, U. E., Sedef, H. and Koksall, M., “Electronically tunable floating inductance simulator”, *International Journal of Electronics and Communications (AEÜ)*, 63 (5), 423-427, (2009).

- Sagbas, M., “Component reduced floating $\pm L$, $\pm C$ and $\pm R$ simulators with grounded passive components”, *International Journal of Electronics and Communications (AEÜ)*, 65 (10), 794-798, (2011).
- Saied, A. B., Salem, S. B. and Masmoudi, D. S., “A quadrature oscillator based on a new “optimized DDCC” all-pass filter”, *Circuits and Systems*, 4 (8), 498-503, (2013).
- Sedra, A. S. and Smith, K., “A second-generation current conveyor and its applications”, *IEEE Transactions on Circuit Theory*, 17 (1), 132–134, (1970).
- Sedra, A. S., Roberts, G. W. and Gohh, F., “The current conveyor: history, progress and new results”, *IEE Proceedings G-Circuits, Devices and Systems*, 137 (2), 78-87, (1990).
- Sedra, A. S., Smith, K. C., Carusone, T. C. and Gaudet V., “Microelectronic Circuits”, Oxford University Press, 8th edition, (2020).
- Senani, R., “Active simulation of inductors using current conveyor”, *Electronics Letters*, 14 (15), 483–484, (1978).
- Senani, R., “Realization of a class of analog signal processing/signal generation circuits: Novel configurations using current feedback op-amps”, *Frequenz*, 52 (9-10), 196-206, (1998).
- Senani, R. and Bhaskar, D. R., “New lossy/loss-less synthetic floating inductance configuration realized with only two CFOAs”, *Analog Integrated Circuits and Signal Processing*, 73 (3), 981-987, (2012).
- Senani, R., Bhaskar, D. R. and Singh, A. K., “Current conveyors: Variants, applications and hardware implementations”, Springer International Publishing, Switzerland, Chap. 12, 371–447, (2015).
- Singh, A. K., and Senani, R., “Low-component-count active-only immittance and their application in realising simple multifunction biquads”, *Electronics Letters*, 34 (8), 718–719, (1998).
- Singh, A. K., Kumar, P. and Senani, R., “Electronically tunable grounded/floating inductance simulators using Z-copy CFCCC”, *Turkish Journal of Electrical Engineering & Computer Sciences*, 26, 1041–1055, (2018).

Singh, A., Jain, M. K. and Wairya, S., “Novel lossless grounded and floating inductance simulators employing a grounded capacitor based on CC-CFA”, *Journal of Circuits, Systems and Computers*, 28 (06), 1-14, 1950093, (2019).

Siripruchyanun, M. and Jaikla W., “Current controlled current conveyor transconductance amplifier (CCCCTA): a building block for analog signal processing”, *Electrical Engineering*, 90, 443–53, (2008).

Siripongdee, S. and Jaikla, W., “Electronically controllable grounded inductance simulators using single commercially available IC: LT1228”, *International Journal of Electronics and Communications (AEÜ)*, 76, 1–10, (2017).

Smith, K. C. and Sedra, A., “The current conveyor—A new circuit building block”, *Proceedings of the IEEE*, 56 (8), 1368–1369, (1968).

Soliman, A. M., “Ford-girling equivalent circuit using c.c.II”, *Electronics Letters*, 14 (22), 721–722, (1978^a).

Soliman, A. M., “New active-gyrator circuit using a single current conveyor”, *Proceedings of the IEEE*, 66 (11), 1580-1581, (1978).

Soliman, A. M., “On the realization of floating inductors”, *Nature and Science*, 8 (5), 167–180, (2010).

Srivastava, M., Prasad, D. and Bhaskar, D. R., “New electronically tunable grounded inductor simulator employing single VDTA and one grounded capacitor”, *Journal of Engineering Science and Technology*, 12 (1) 113–126, (2017).

Tangsrirat, W., “Synthetic grounded lossy inductance simulators using single VDIBA”, *IETE Journal of Research*, 63 (1), 134-141, (2017).

Tangsrirat, W., “Actively floating lossy inductance simulators using voltage differencing buffered amplifiers”, *IETE Journal of Research*, 65 (4), 446-459, (2019).

Thanachayanont, G. and Payne, A., “CMOS floating active inductor and its applications to bandpass filter and oscillator designs”, *IEE Proceedings G-Circuits, Devices and Systems*, 147, 42-48, (2000).

Toker, A., Cicekoglu, O. and Kuntman, H., “New active gyrator circuit suitable for frequency-dependent negative resistor implementation”, *Microelectronics Journal*, 30 (1), 59–62, (1999).

Toker, A., Ozoguz, S. and Acar, C., “CDBA-based fully-integrated gyrator circuit suitable for electronically tunable inductance simulation”, *International Journal of Electronics and Communications (AEÜ)*, 54 (5), 293–296, (2000).

Toker, A. and Ozoguz, S., “Novel all-passfilter section using differential difference amplifier”, *International Journal of Electronics and Communications (AEÜ)*, 58 (2), 153–5, (2004).

Torteachai, U. and Kumngern, M., “Current-tunable current-mode all-pass section using DDCC”, *International Conference on Electronics Devices, Systems and Applications (ICEDSA)*, 217-220, (2011).

Toumazou, C. , Lidgley, F. J. and Haigh, D. G., “Analogue IC design: The current-mode approach”, Peter Peregrinus Ltd, London, U.K., (1990).

Tsukutani, T, Tsunetsugu, H, Sumi, Y. and Yabuki, N., “Electronically tunable first-order allpass circuit employing DVCC and OTA”, *International Journal of Electronics*, 97 (3), 285–93, (2010).

Wang, Z., “2-MOSFET transresistor with extremely low distortion for output reaching supply voltages”, *Electronics Letters*, 26 (13), 951–952, (1990).

Wang, H.Y. and Lee, C.T. , “Realisation of R-L and C-D immittances using single FTFN”, *Electronics Letters*, 34 (6), 502–503, (1998).

Wang, H. Y., Lee, C. T., “Systematic synthesis of R-L and C-D immittances using single CCIII”, *International Journal of Electronics*, 87 (3), 293–301, (2000).

Wilson, B., “Recent developments in current conveyors and current-mode circuits”, *IEE Proceedings G-Circuits, Devices and Systems*, 137 (2), 63-77, (1990).

Yesil, A. and Kacar, F., “New DXCCII-based grounded series inductance simulator topologies”, *Istanbul Univ. - J. Electr. Electron. Eng.*, 14 (2), 1785–1789, (2014).

Yesil, A., Kacar and F., Gurkan, K. , “Lossless grounded inductance simulator employing single VDBA and its experimental band-pass filter application”, *International Journal of Electronics and Communications (AEÜ)*, 68 (2), 143–150, (2014).

Yesil, A., Yuce, E. and Minaei, S., “Grounded capacitance multipliers based on active elements”, *International Journal of Electronics and Communications (AEÜ)*, 79, 243–249, (2017).

Yesil, A., Yuce, E. and Minaei, S., “Inverting voltage buffer based lossless grounded inductor simulators”, *International Journal of Electronics and Communications (AEÜ)*, 83, 131–137, (2018).

Yuce, E., Minaei, S. and Cicekoglu, O., “A novel grounded inductor realization using a minimum number of active and passive components”, *ETRI Journal*, 27 (4), 427–432, (2005).

Yuce, E., “Comment on “realization of series and parallel R-L and C-D impedances using single differential voltage current conveyor””, *Analog Integrated Circuits and Signal Processing*, 49 (1), 91–92, (2006^a).

Yuce, E., “Floating inductance, FDNR and capacitance simulation circuit employing only grounded passive elements”, *International Journal of Electronics*, 93 (10), 679-688, (2006^b).

Yuce, E., Minaei, S. and Cicekoglu, O., “Limitations of the simulated inductors based on a single current conveyor”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, 53 (12), 2860–2867, (2006^a).

Yuce, E., Cicekoglu, O. and Minaei, S., “CCII-based grounded to floating immittance converter and a floating inductance simulator”, *Analog Integrated Circuits and Signal Processing*, 46 (3), 287-291, (2006^b).

Yuce, E., Cicekoglu, O. and Minaei, S., “Novel floating inductance and FDNR simulators employing CCII+s”, *Journal of Circuits, Systems, and Computers*, 15 (01), 75-81, (2006^c).

Yuce, E., “Inductor implementation using a canonical number of active and passive elements”, *International Journal of Electronics*, 94 (4), 317–326, (2007).

Yuce, E., Tokat, S., Minaei, S. and Cicekoglu, O., “Stability problems in universal current-mode filters”, *International Journal of Electronics and Communications (AEÜ)*, 61 (9), 580–588, (2007).

Yuce, E. and Minaei, S., “A modified CFOA and its applications to simulated inductors, capacitance multipliers and analog filters”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, 55 (1), 266–275, (2008^a).

Yuce, E. and Minaei, S., “Universal current-mode filters and parasitic impedance effects on the filter performances”, *International Journal of Circuits Theory and Applications*, 36 (2), 161–171, (2008^b).

Yuce, E., “Grounded inductor simulators with improved low-frequency performances”, *IEEE Transactions on Instrumentation and Measurement*, 57 (5), 1079–1084, (2008).

Yuce, E., “New low component count floating inductor simulators consisting of a single DDCC”, *Analog Integrated Circuits and Signal Processing*, 58 (1), 61–66, (2009^a).

Yuce, E., “Novel lossless and lossy grounded inductor simulators consisting of a canonical number of components”, *Analog Integrated Circuits and Signal Processing*, 59 (1), 77–82, (2009^b).

Yuce, E. and Minaei, S., “Novel floating simulated inductors with wider operating frequency ranges”, *Microelectronics Journal*, 40 (6), 928–938, (2009^a).

Yuce, E. and Minaei, S., “On the realization of simulated inductors with reduced parasitic impedance effects”, *Circuits, Systems and Signal Processing*, 28 (3), 451–465, (2009^b).

Yuce, E., “A novel floating simulation topology composed of only grounded passive components”, *International Journal of Electronics*, 97 (3), 249–262, (2010).

Yuce, E., Minaei, S. and Alpaslan, H., “Single voltage controlled CMOS grounded resistors and their application to video filter”, *Indian Journal of Engineering & Material Sciences*, 21, 501–509, (2014).

Yuce, E., Tokat, S. and Alpaslan, H. “Grounded capacitor-based new floating inductor simulators and a stability test”, *Turkish Journal of Electrical Engineering & Computer Sciences*, 23, 2138–2149, (2015).

Yuce, E., “A single-input multiple-output voltage-mode second-order universal filter using only grounded passive components”, *Indian Journal of Engineering & Material Sciences*, 24 (2), 97–106, (2017^a).

Yuce, E., “DO-CCII/ DO-DVCC based electronically fine tunable quadrature oscillators”, *Journal of Circuits, Systems, and Computers*, 26 (02), 1750025, (2017^b).

Yuce, E. and Minaei, S., “Commercially available active device based grounded inductor simulator and universal filter with improved low frequency performances”, *Journal of Circuits, Systems and Computers*, 26 (4), 1750052 (1-14), (2017).

Yucel, F. and Yuce, E. , “A new electronically fine tunable grounded voltage controlled positive resistor”, *IEEE Transactions on Circuits and Systems - Part-II: Express Briefs*, 65 (4), 451–455, (2018).

9. ÖZGEÇMİŞ

Adı Soyadı : Ahmet ABACI

Doğum Yeri ve Tarihi : İzmir, 23.01.1986

Lisans Üniversite : Pamukkale Üniversitesi, Elektrik – Elektronik Mühendisliği (2009)

Y. Lisans Üniversite : Pamukkale Üniversitesi, Elektrik - Elektronik Mühendisliği (2015)

Elektronik posta : aahmetabaci@gmail.com

İletişim Adresi : 505 Sok. Armağan Apt. No: 2/11 Bahçelievler Mah. Karabağlar/ İZMİR

Yayın Listesi :

- Abaci, A. and Yuce, E., “Second-order voltage-mode universal filters using two DVCCs, two grounded capacitors and four resistors”, *Journal of Circuits, Systems, and Computers*, 25 (12), 1650154-1-15, (2016).
- Abaci, A. and Yuce, E., “Modified DVCC based quadrature oscillator and lossless grounded inductor simulator using grounded capacitor(s)”, *International Journal of Electronics and Communications (AEU)*, 76, 86–96, (2017).
- Abaci, A. and Yuce, E., “A New DVCC based second-order current-mode universal filter consisting of only grounded capacitors”, *Journal of Circuits, Systems, and Computers*, 26 (9), 1750130-1-18, (2017).
- Abaci, A. and Yuce, E., “Voltage-mode first-order universal filter realizations based on subtractors”, *International Journal of Electronics and Communications (AEÜ)*, 90, 140–146, (2018).

- Abaci, A. and Yuce, E., “Single DDCC based new immittance function simulators employing only grounded passive elements and their applications”, *Microelectronics Journal*, 83, 94-103, (2019).

- Abaci, A. and Yuce, E., “Single DDCC- based simulated floating inductors and their applications”, Accepted for publication in *IET Circuits, Devices & Systems*, (2020).