

**T.C.  
PAMUKKALE ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ  
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM  
DALI**

**FARKSAL AKTİF BLOK TABANLI ANALOG DEVRELERİN  
TASARIMLARI, BENZETİMLERİ VE DENEYLERİ**

**DOKTORA TEZİ**

**TAYFUN UNUK**

**DENİZLİ, MAYIS - 2022**

**T.C.  
PAMUKKALE ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ  
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM  
DALI**



**FARKSAL AKTİF BLOK TABANLI ANALOG DEVRELERİN  
TASARIMLARI, BENZETİMLERİ VE DENEYLERİ**

**DOKTORA TEZİ**

**TAYFUN UNUK**

**DENİZLİ, MAYIS - 2022**

**Bu tezin tasarımı, hazırlanması, yürütülmesi, arařtırmalarının yapılması ve bulgularının analizlerinde bilimsel etięe ve akademik kurallara özenle riayet edildiđini; bu alıřmanın dođrudan birincil ürünü olmayan bulguların, verilerin ve materyallerin bilimsel etięe uygun olarak kaynak gösterildiđini ve alıntı yapılan alıřmalara atfedildiđine beyan ederim.**

.....  
**TAYFUN UNUK**

# ÖZET

**FARKSAL AKTİF BLOK TABANLI ANALOG DEVRELERİN  
TASARIMLARI, BENZETİMLERİ VE DENEYLERİ  
DOKTORA TEZİ  
TAYFUN UNUK  
PAMUKKALE ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ  
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI  
(TEZ DANIŞMANI: PROF. DR. ERKAN YÜCE)**

**DENİZLİ, MAYIS - 2022**

Bu tezde diferansiyel fark kuvvetlendirici (DDA), diferansiyel gerilim akım taşıyıcı (DVCC) diferansiyel fark akım taşıyıcı (DDCC) ve işlemsel geçiş iletkenliği yükselticisi (OTA) aktif blokları kullanılarak çeşitli analog devreler tasarlanmıştır.

DVCC tabanlı birinci dereceden gerilim modlu (VM) evrensel süzgeç tasarımı yapılmıştır. Bu süzgeç kullanılarak ayrıca bir kuadratör osilatör (QO) devresi tasarlanmıştır.

DDCC tabanlı yeni birçok girişli tek çıkışlı VM evrensel süzgeç tasarımı yapılmıştır. İkinci dereceden alçak geçiren (LP), yüksek geçiren (HP), bant geçiren (BP), tüm geçiren (AP) ve çentik süzgeç (NF) cevapları elde edilmiştir. Ayrıca AP süzgeç için deneysel çalışma yapılmıştır. Çeşitli benzetim sonuçlarının yanı sıra AP süzgeç zaman ortamı cevabı için deneysel çalışma yapılmıştır.

DVCC tabanlı yeni karışık mod (MM) süzgeç tasarımı yapılmıştır. İkinci dereceden VM LP, HP ve BP cevapları akım modlu (CM) LP, HP, BP, AP ve NF cevapları, geçiş admittansı modunda (TAM) HP ve BP cevapları, geçiş empedansı modunda (TIM) LP, HP ve BP süzgeç cevapları elde edilmiştir. Çeşitli benzetim sonuçlarının yanı sıra VM LP, HP ve BP süzgeçlerin frekans cevaplarının elde edildiği deneysel çalışmalar yapılmıştır.

DDA ve OTA tabanlı bir girişli beş çıkışlı bir VM evrensel süzgeç önerilmiştir. Bu süzgecin en temel özelliği bütün evrensel süzgeç cevaplarını vermesi ve sadece bir ucu topraklı pasif elemanlar içermesidir. Fakat, AP için bir pasif eleman eşleniği mevcuttur.

DVCC tabanlı yeni emitans fonksiyon simülatörleri (IFS) tasarımı yapılmıştır. Tasarlanan devrelerden dört farklı seri kayıplı bobin ve dört farklı paralel kayıplı bobin eşdeğeri elde edilebilmektedir. Devrenin çalışma performansını göstermek için çeşitli benzetim çalışmaları yapılmıştır.

**ANAHTAR KELİMELELER:** DDA, DVCC, DDCC, OTA, süzgeçler, emitans fonksiyon simülatörleri, endüktans simülatörü, analog devreler.

# ABSTRACT

## DESIGNS, SIMULATIONS AND EXPERIMENTS OF THE DIFFERENTIAL ACTIVE BUILDING BLOCK-BASED ANALOG CIRCUITS

PH.D THESIS

TAYFUN UNUK

PAMUKKALE UNIVERSITY INSTITUTE OF SCIENCE  
ELECTRICAL AND ELECTRONICS ENGINEERING  
(SUPERVISOR: PROF. DR. ERKAN YUCE)

DENİZLİ, MAY 2022

In this thesis, various analog circuits are designed using differential difference amplifier (DDA), differential voltage current current conveyor (DVCC), differential difference current conveyor (DDCC) and operational transconductance amplifier (OTA).

DVCC-based first-order voltage-mode (VM) universal filter is designed. A quadrature oscillator (QO) circuit is obtained from this filter.

A new multi-input single-output VM universal filter based on the DDCC is designed. Second-order low-pass (LP), high-pass (HP), band-pass (BP), all-pass (AP) and notch filter (NF) responses are obtained with appropriate selection of input voltages. In addition to a number of simulation results, and some designed experimental studies are performed for the designed filter.

A new DVCC-based mixed mode (MM) filter is designed. Second-order VM LP, HP and BP responses and current mode (CM) LP, HP, BP, AP and NF responses are obtained. Also, HP and BP responses in transadmittance-mode (TAM), LP, HP and BP filter in transimpedance mode (TIM) responses are obtained. In addition to many simulation results, several experimental studies are carried out to obtain the frequency and time domain responses.

DDA and OTA-based a new VM universal filter is given. This filter can simultaneously provide all the second order universal responses. This filter has high input impedance. However, it suffers from a passive element matching condition for the AP filter responses.

Eight new DVCC-based immittance function simulators (IFS) are designed. From the designed circuits, four different series lossy inductor and four different parallel lossy inductor equivalents are obtained. Numerous simulation studies are achieved to show the performance of the circuit.

**KEYWORDS:** DDA, DVCC, DDCC, OTA, filters, immittance function simulators, inductor simulators, analog circuits.

# İÇİNDEKİLER

## Sayfa

<b>ÖZET</b> .....	<b>i</b>
<b>ABSTRACT</b> .....	<b>ii</b>
<b>İÇİNDEKİLER</b> .....	<b>iii</b>
<b>ŞEKİL LİSTESİ</b> .....	<b>iv</b>
<b>TABLO LİSTESİ</b> .....	<b>viii</b>
<b>SEMBOL LİSTESİ</b> .....	<b>ix</b>
<b>KISALTMALAR</b> .....	<b>x</b>
<b>ÖNSÖZ</b> .....	<b>xi</b>
<b>1. GİRİŞ</b> .....	<b>1</b>
1.1 Analog Süzgeç Devreleri.....	2
1.2 Emitans Fonksiyon Simülatör Devreleri .....	3
<b>2. MOSFET TABANLI AKTİF BLOKLAR</b> .....	<b>5</b>
2.1 Diferansiyel Fark Akım Taşıyıcı (DDCC) .....	5
2.2 İşlemsel Geçişiletkenliği Yükseltici (OTA) .....	7
<b>3. DVCC+ TABANLI BİRİNCİ DERECEDEDEN GERİLİM MODLU FARKSAL GİRİŞLİ EVRENSEL SÜZGEÇ TASARIMI</b> .....	<b>9</b>
3.1 Tasarlanan Birinci Dereceden Farksal Girişli Evrensel Süzgeç Devresi.....	10
3.2 Benzetim ve Deneysel Sonuçları .....	13
<b>4. DDCC+ TABANLI GERİLİM MODLU EVRENSEL SÜZGEÇ TASARIMI</b> .....	<b>22</b>
4.1 Tasarlanan Evrensel Süzgeç Devresi .....	24
4.2 Benzetim ve Deneysel Sonuçları .....	26
<b>5. MO-DVCC TABANLI İKİNCİ DERECEDEDEN KARIŞIK MOD EVRENSEL SÜZGEÇ TASARIMI</b> .....	<b>33</b>
5.1 Tasarlanan Karışık Mod Süzgeç Devresi .....	35
5.2 Benzetim ve Deneysel Sonuçları .....	40
<b>6. DDA ve OTA TABANLI EVRENSEL SÜZGEÇ TASARIMI</b> .....	<b>49</b>
6.1 Tasarlanan Evrensel Süzgeç Devresi .....	50
6.2 Benzetim Sonuçları .....	52
<b>7. DVCC+ TABANLI EMİTANS FONKSİYON SİMULATÖRÜ TASARIMI</b> .....	<b>57</b>
7.1 Tasarlanan Seri Kayıplı IFS Devresi.....	59
7.2 Tasarlanan Paralel Kayıplı IFS Devresi .....	61
7.3 Tasarlanan Karışık Mod Çok Amaçlı Süzgeç ve PID Kontrolör .....	64
7.4 Benzetim ve Deneysel Sonuçları .....	67
<b>8. SONUÇ VE ÖNERİLER</b> .....	<b>74</b>
<b>9. KAYNAKLAR</b> .....	<b>75</b>
<b>10. ÖZGEÇMİŞ</b> .....	<b>87</b>

# ŞEKİL LİSTESİ

## Sayfa

Şekil 2.1: Çok çıkışlı diferansiyel fark akım taşıyıcının elektriksel sembolü. ....	5
Şekil 2.2: Çok çıkışlı diferansiyel fark akım taşıyıcının CMOS tabanlı içyapısı. ....	5
Şekil 2.3: AD844 entegresi ile oluşturulan pozitif diferansiyel gerilim akım taşıyıcının devresi.....	6
Şekil 2.4: AD844 entegresi ile oluşturulan pozitif diferansiyel fark akım taşıyıcının devresi.....	7
Şekil 2.5: İşlemsel geçiş iletkenliği yükselticinin elektriksel sembolü.....	7
Şekil 2.6: İşlemsel geçiş iletkenliği yükselticinin CMOS tabanlı içyapısı. ....	8
Şekil 3.1: Tasarlanan çift girişli pozitif diferansiyel gerilim akım taşıyıcı tabanlı birinci dereceden evrensel süzgeç devresi.....	10
Şekil 3.2: Eviren tüm geçiren süzgeçten faydalanarak tasarlanan çok çıkışlı quadratör osilatör devresi. ....	13
Şekil 3.3: Eviren tüm geçiren süzgecin frekans ortamı analizi.....	14
Şekil 3.4: Eviren tüm geçiren süzgece ait Monte Carlo analizi. ....	14
Şekil 3.5: Eviren tüm geçiren süzgecine ait gürültü analizi.....	15
Şekil 3.6: Eviren tüm geçiren süzgecin zaman ortamı analizi. ....	15
Şekil 3.7: Alçak geçiren ve yüksek geçiren süzgeçlerin frekans ortamı analizi.....	15
Şekil 3.8: Evirmeyen tüm geçiren süzgecin frekans ortamı analizi. ....	16
Şekil 3.9: Evirmeyen tüm geçiren süzgece ait Monte Carlo analizi. ....	16
Şekil 3.10: Evirmeyen tüm geçiren süzgecine ait gürültü analizi.....	17
Şekil 3.11: Evirmeyen tüm geçiren süzgecin zaman ortamı analizi. ....	17
Şekil 3.12: Ortak mod bastırma oranının frekans ortamı analizi. ....	17
Şekil 3.13: Osilatör devresinin zaman ortamı analizi. ....	18
Şekil 3.14: Osilatör devresine ait Lissajous eğrisi. ....	18
Şekil 3.15: Evirmeyen alçak geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.....	19
Şekil 3.16: Eviren alçak geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.....	20
Şekil 3.17: Eviren tüm geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.....	20
Şekil 3.18: Eviren yüksek geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.....	20
Şekil 3.19: Eviren tüm geçiren süzgece ait frekans ortamı deney, benzetim ve ideal sonuçları. ....	21
Şekil 3.20: Alçak geçiren ve yüksek geçiren süzgeçlerin frekans ortamı deney, benzetim ve ideal sonuçları. ....	21
Şekil 4.1: Önerilen gerilim modlu evrensel süzgeç. ....	24
Şekil 4.2: Alçak geçiren ve yüksek geçiren süzgeçlerin frekans ortamı analizi. ....	26
Şekil 4.3: Çentik ve bant geçiren süzgeçlerin frekans ortamı analizi. ....	27
Şekil 4.4: Tüm geçiren süzgecin frekans ortamı analizi. ....	27

Şekil 4.5: Yüksek geçiren ve alçak geçiren süzgeçlerin zaman ortamı analizi.....	27
Şekil 4.6: Bant geçiren süzgecin zaman ortamı analizi.....	28
Şekil 4.7: Tüm geçiren süzgecin zaman ortamı analizi.....	28
Şekil 4.8: Alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlerine ait toplam harmonik bozulma değerleri. ....	28
Şekil 4.9: Tüm geçiren süzgece ait Monte Carlo analizi. ....	29
Şekil 4.10: Tüm geçiren süzgece ait Monte Carlo analizi. ....	29
Şekil 4.11: Farklı sıcaklıklardaki tüm geçiren süzgecin frekans cevapları. ....	30
Şekil 4.12: Farklı besleme gerilimleri tüm geçiren süzgecin frekans cevapları. ....	30
Şekil 4.13: Tüm geçiren süzgecine ait gürültü analizi. ....	30
Şekil 4.14: Önerilen bant geçiren süzgeç için ortogonal kontrol. ....	31
Şekil 4.15: 4. dereceden alçak geçiren süzgecin frekans ortamı analizi. ....	31
Şekil 4.16: Tüm geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.....	32
Şekil 5.1: Tasarlanan karışık mod süzgeç devresi. ....	35
Şekil 5.2: Gerilim modlu alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlerin frekans ortamı analizi.....	41
Şekil 5.3: Akım modlu alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlerin frekans ortamı analizi.....	41
Şekil 5.4: Akım modlu evirmeyen tüm geçiren süzgecin frekans ortamı analizi. ....	42
Şekil 5.5: Akım modlu eviren tüm geçiren süzgecin frekans ortamı analizi. ....	42
Şekil 5.6: Akım modlu evirmeyen çentik süzgecin frekans ortamı analizi. ....	42
Şekil 5.7: Akım modlu eviren çentik süzgecin frekans ortamı analizi. ....	43
Şekil 5.8: Gerilim modlu alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlere ait Monte Carlo analizi. ....	43
Şekil 5.9: Akım modlu alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlere ait Monte Carlo analizi. ....	44
Şekil 5.10: Gerilim modlu bant geçiren süzgecine ait gürültü analizi. ....	44
Şekil 5.11: Akım modlu evirmeyen tüm geçiren süzgecin zaman ortamı analizi. ....	44
Şekil 5.12: Akım modlu eviren tüm geçiren süzgecin zaman ortamı analizi. ....	45
Şekil 5.13: Gerilim modlu alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlerine ait toplam harmonik bozulma değerleri. ....	45
Şekil 5.14: Akım modlu alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlerine ait toplam harmonik bozulma değerleri. ....	46
Şekil 5.15: Akım modlu evirmeyen tüm geçiren süzgecine ait toplam harmonik bozulma değerleri.....	46
Şekil 5.16: Akım modlu eviren tüm geçiren süzgecine ait toplam harmonik bozulma değerleri.....	46
Şekil 5.17: Tasarlanan devrenin deneysel çalışmasında elde edilen gerilim modlu alçak geçiren, yüksek geçiren ve bant geçiren çıkışlarına ait frekans ortamı kazanç cevapları. ....	47



Şekil 5.18: Gerilim modlu alçak geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü. ....	47
Şekil 5.19: Gerilim modlu yüksek geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü. ....	48
Şekil 5.20: Gerilim modlu bant geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü. ....	48
Şekil 6.1: Tasarlanan gerilim modlu evrensel süzgeç devresi. ....	50
Şekil 6.2: Alçak geçiren ve yüksek geçiren süzgeçlerin frekans ortamı analizi. ....	53
Şekil 6.3: Çentik ve bant geçiren süzgeçlerin frekans ortamı analizi. ....	53
Şekil 6.4: Tüm geçiren süzgecin frekans ortamı analizi. ....	53
Şekil 6.5: Tüm geçiren süzgece ait Monte Carlo analizi. ....	54
Şekil 6.6: Alçak geçiren ve yüksek geçiren süzgeçlerin zaman ortamı analizi. ....	54
Şekil 6.7: Bant geçiren süzgecin zaman ortamı analizi. ....	55
Şekil 6.8: Tüm geçiren süzgecin zaman ortamı analizi. ....	55
Şekil 6.9: Tüm geçiren süzgece ait gürültü cevapları. ....	55
Şekil 6.10: Alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlerine ait toplam harmonik bozulma değerleri. ....	56
Şekil 6.11: Tüm geçiren süzgece ait toplam harmonik bozulma değerleri. ....	56
Şekil 7.1: Bir ucu topraklı pozitif seri kayıplı emitans fonksiyon simulatörü devresi. ....	59
Şekil 7.2: Bir ucu topraklı -L seri +R devresi. ....	60
Şekil 7.3: Bir ucu topraklı +L seri -R devresi. ....	60
Şekil 7.4: Bir ucu topraklı -L seri -R devresi. ....	61
Şekil 7.5: Bir ucu topraklı +L paralel +R devresi. ....	61
Şekil 7.6: Bir ucu topraklı -L paralel +R devresi. ....	62
Şekil 7.7: Bir ucu topraklı +L paralel -R devresi. ....	63
Şekil 7.8: Bir ucu topraklı -L paralel -R devresi. ....	63
Şekil 7.9: Karışık mod çok amaçlı süzgeç devresi. ....	64
Şekil 7.10: +L seri +R'den türetilen PID kontrolcü. ....	66
Şekil 7.11: Seri kayıplı emitans fonksiyon simulatörün frekans ortamı analizi. ....	68
Şekil 7.12: Paralel kayıplı emitans fonksiyon simulatörün frekans ortamı analizi. ....	68
Şekil 7.13: Seri kayıplı emitans fonksiyon simulatörüne ait Monte Carlo analizi. ....	69
Şekil 7.14: Paralel kayıplı emitans fonksiyon simulatörüne ait Monte Carlo analizi. ....	69
Şekil 7.15: Gerilim modlu alçak geçiren ve bant geçiren süzgeçlerin frekans ortamı analizi. ....	69
Şekil 7.16: Alçak geçiren ve bant geçiren süzgeçlere ait toplam harmonik bozulma değerleri. ....	70
Şekil 7.17: Alçak geçiren ve bant geçiren süzgeçlerin zaman ortamı analizi. ....	70
Şekil 7.18: Bant geçiren süzgece ait gürültü analizi. ....	70
Şekil 7.19: Alçak geçiren ve bant geçiren süzgeçlere ait Monte Carlo analizi. ....	71
Şekil 7.20: PID kontrolörün frekans ortamı analizi. ....	71

Şekil 7.21: PID kontrolörün zaman ortamı analizi. ....	71
Şekil 7.22: Gerilim modlu alçak geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü. ....	72
Şekil 7.23: Gerilim modlu bant geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü. ....	72
Şekil 7.24: Tasarlanan devrenin deneysel çalışmasında elde edilen alçak geçiren ve bant geçiren çıkışlarına ait frekans ortamı kazanç cevapları. ....	73

## TABLO LİSTESİ

### Sayfa

Tablo 3.1: Şekil 3.1’de tasarlanan devre ile literatürdeki benzer çalışmaların karşılaştırma tablosu. ....	9
Tablo 4.1: Şekil 4.1’de tasarlanan devre ile literatürdeki benzer çalışmaların karşılaştırma tablosu. ....	23
Tablo 5.1: Şekil 5.1’de tasarlanan devre ile literatürdeki benzer çalışmaların karşılaştırma tablosu. ....	35
Tablo 6.1: Şekil 5.1’de tasarlanan devre ile literatürdeki benzer çalışmaların karşılaştırma tablosu. ....	49
Tablo 7.1: Şekil 7.1’de ve Şekil 7.5’te tasarlanan devreler ile literatürdeki benzer çalışmaların karşılaştırma tablosu. ....	58

## SEMBOL LİSTESİ

<b>A</b>	: Amper
<b>C</b>	: Kapasitör
<b>dB</b>	: Desibel
<b>F</b>	: Farad
<b>f</b>	: Frekans
<b><math>f_0</math></b>	: Rezonans frekans
<b><math>f_0</math></b>	: Kutup frekans
<b><math>f_0</math></b>	: Osilasyon frekansı
<b><math>f_c</math></b>	: Alçak ve yüksek geçiren süzgeçlerin köşe frekansı
<b><math>f_1</math></b>	: Bant geçiren ve çentik süzgeçlerin alt kesim frekansı
<b><math>f_2</math></b>	: Bant geçiren ve çentik süzgeçlerin üst kesim frekansı
<b>Hz</b>	: Hertz
<b>I</b>	: Akım
<b>IC</b>	: Tümüleşik devre
<b>L</b>	: Bobin
<b>L</b>	: Kanal uzunluğu
<b>Q</b>	: Kalite faktörü
<b>R</b>	: Direnç
<b>s</b>	: Saniye
<b>V</b>	: Volt
<b>W</b>	: Watt
<b><math>\Omega</math></b>	: Ohm
<b><math>\rho</math></b>	: Akım kazancı
<b><math>\gamma</math></b>	: Akım kazancı
<b><math>\alpha</math></b>	: Akım kazancı
<b><math>\beta</math></b>	: Gerilim kazancı
<b><math>\eta</math></b>	: Gerilim kazancı
<b><math>\delta</math></b>	: Gerilim kazancı
<b><math>\varepsilon</math></b>	: İzleme hatası
<b><math>\omega_0</math></b>	: Açısal rezonans frekansı
<b><math>\omega_0</math></b>	: Açısal kutup frekansı

## KISALTMALAR

<b>AP</b>	: Tüm geçiren
<b>BP</b>	: Bant geçiren
<b>CCI</b>	: Birinci nesil akım taşıyıcı
<b>CCII</b>	: İkinci nesil akım taşıyıcı
<b>CM</b>	: Akım modlu
<b>CMOS</b>	: Tümleşik metal oksit yarıiletken
<b>CMRR</b>	: Ortak mod bastırma oranı
<b>DDA</b>	: Diferansiyel fark kuvvetlendirici
<b>DDCC</b>	: Diferansiyel fark akım taşıyıcı
<b>DDCC+</b>	: Pozitif çıkışlı diferansiyel fark akım taşıyıcı
<b>DVCC</b>	: Diferansiyel gerilim akım taşıyıcı
<b>DVCC+</b>	: Pozitif çıkışlı diferansiyel gerilim akım taşıyıcı
<b>IFS</b>	: Emitans fonksiyon simülatörü
<b>HP</b>	: Yüksek geçiren
<b>LP</b>	: Alçak geçiren
<b>MOS</b>	: Metal oksit yarıiletken
<b>MC</b>	: Monte Carlo
<b>MO-DDCC</b>	: Çok çıkışlı diferansiyel fark akım taşıyıcı
<b>MO-DVCC</b>	: Çok çıkışlı diferansiyel gerilim akım taşıyıcı
<b>NF</b>	: Çentik süzgeç
<b>NMOS</b>	: N tipi metal oksit yarıiletken
<b>PMOS</b>	: P tipi metal oksit yarıiletken
<b>SI</b>	: Endüktans simülatörü
<b>TAM</b>	: Geçişadmitans modlu
<b>TIM</b>	: Geçişiletken modlu
<b>TF</b>	: Transfer fonksiyonu
<b>THD</b>	: Toplam harmonik bozulma
<b>VM</b>	: Gerilim modlu

## ÖNSÖZ

Yaklaşık 25 yıllık eğitim öğretim hayatım boyunca üzerimde emeği olan tüm öğretim elemanı ve öğretmenlerime teşekkürü bir borç bilirim. Kendisinden gerek çalışma disiplini gerekse akademik alandaki başarılarıyla örnek aldığım, değerli vaktini bana cömert bir şekilde ayıran danışmanım sayın Prof. Dr. Erkan YÜCE'ye, tez çalışmam boyunca kıymetli fikirlerine başvurduğum sayın Prof. Dr. Abdullah T. TOLA ve sayın Doç. Dr. Halil ALPASLAN'a desteklerinden dolayı teşekkür ederim.

Bugünlere gelmemde en büyük pay sahibi olan desteklerini sürekli hissettiğim başta annem, babam ve kardeşlerim olmak üzere tüm aile büyüklerime, beni her koşulda destekleyen eşim Arş. Gör. Gülfem Balasu FIRAT UNUK ve oğlum Salih Batu UNUK'a sevgilerimi ve şükranlarımı sunarım.

# 1. GİRİŞ

Elektronik ve elektrik devrelerinin çalışabilmeleri için gerekli iki temel bileşen bulunmaktadır. Bu bileşenler akım ve gerilimdir. Akım ve gerilim birbirlerine neden sonuç ilişkisiyle bağlı terimlerdir. Gerilim yani potansiyel fark olmadan akımdan, akım olmadan da bir potansiyel farktan bahsetmek mümkün değildir. Dolayısıyla her türlü elektrik ve elektronik devrede gerilimler ve akımlar bulunmaktadır. Fakat genel olarak bazı elektronik devreler akım modlu (CM), bazı devreler ise gerilim modlu (VM) olarak ifade edilmektedir. Burada bir devrenin CM veya VM olmasını belirleyen iki temel unsur vardır. Birincisi devrelerin giriş ve çıkış ifadeleridir. Giriş ve çıkışın gerilim olduğu durumlarda, devre VM olarak ifade edilir. Giriş ve çıkış işaretleri akım ise devre CM olarak adlandırılır. Giriş işaretinin akım, çıkış işaretinin gerilim olması durumunda ilgili devre geçiş empedans modlu (TIM) olarak adlandırılırken, giriş işaretinin gerilim ve çıkış işaretinin akım olması durumunda devre geçiş admintas modlu (TAM) olarak adlandırılır. Yukarıdaki dört modun tamamını sağlayan devreler ise genellikle karışık modlu (MM) olarak tanımlanır. Literatürde çok sayıda VM ve CM olarak tasarlanmış çeşitli devreler bulunmaktadır (İbrahim ve diğ. 2005, Maheshwari ve diğ. 2011, Horng ve diğ. 2004, Chen 2010, Chen ve Wu 2007, Temizyurek ve Myderrizi 2004, Abaci ve Yuce 2017, Chaturvedi ve Maheshwari 2011, Minaei 2003, Arif ve diğ. 2014).

Birinci nesil akım taşıyıcı (CCI) olarak adlandırılan ilk akım taşıyıcı ilk defa 1968 yılında Kenneth C. Smith ve Adel S. Sedra tarafından önerilmiştir. İki yıl sonra ikinci nesil akım taşıyıcı (CCII) Sedra ve Smith tarafından önerilmiş ve aynı makalede bu aktif blok kullanılarak tasarlanan birkaç devreye yer verilmiştir.

Eduard Sackinger ve Walter Guggenbuhl tarafından ilk olarak 1987 yılında literatüre kazandırılan diferansiyel fark yükselteci (DDA) CMOS tabanlı, yüksek giriş empedansı sahip ve aritmetik işlem yapabilme özelliğine sahiptir.

1996 yılında Chiu ve çalışma arkadaşları tarafından DDA ve CCII'nın üstün özelliklerinin birleştirildiği ilk diferansiyel fark akım taşıyıcısı (DDCC) önerilmiştir. Önerilen devrenin giriş kısmı DDA özelliği gösterirken çıkış kısmı ise CCII özelliği

göstermektedir. Bu sebeple DDCC, CCII'nın yüksek bant genişliği, doğrusallık vb. yanı sıra DDA'nın aritmetik işlem yapabilme, düşük çıkış empedansı ve yüksek giriş empedansına sahip olma gibi avantajların tamamını barındırmaktadır.

İşlemsel geçiş iletkenliği yükselticisi (OTA) ticari amaçlı olarak 1969 yılında üretilmiştir (Geiger ve Sanchez-Sinencio, 1985). OTA'nın çeşitli uygulamaları literatürde bulunmaktadır (Keskin ve diğ., 2008, Sagbas ve diğ., 2009, Tsukutani ve diğ., 2010).

Bu tezde, literatürdeki benzer çalışmalara kıyasla, mümkün olduğunca daha düşük güç tüketimli, besleme gerilimi düşük, pasif eşlenik eleman kısıtı bulunmayan, bir ucu topraklanmış pasif elemanlardan oluşan, THD'si düşük, gürültü düzeyi düşük, duyarlılığı düşük, dinamik aralığı geniş analog devreler tasarlamaktır. Süzgeç devreleri için ortogonal olarak kontrol edilebilen kalite faktörüne sahip olan devreler önermektir. Buna ek olarak, gerilim modlu süzgeçler için yüksek giriş empedansına, düşük çıkış empedansına ve akım modlu süzgeçler için de düşük giriş empedansına, yüksek çıkış empedansına sahip olma gibi avantajlara sahip yeni devrelerin tasarlanması, benzetim ve deneylerinin yapılması amaçlanmıştır.

## 1.1 Analog Süzgeç Devreleri

Analog bir işaretin bir saniyedeki tekrar sayısına o işaretin frekansı denir. Bazı elektronik sistemlere girecek veya sistemlerden çıkacak işaretlerin belirli frekanslarda olması veya belirli frekanslarda olmaması istenebilir. Bu yüzden elektronik sistemler, girişlerine veya çıkışlarına belirli bir frekans aralığını seçecek bir analog süzgeç devresine ihtiyaç duyabilirler.

Analog süzgeçler, alçak geçiren (LP), yüksek geçiren (HP), bant geçiren (BP), çentik süzgeç (NF) ve tüm geçiren (AP) süzgeç olarak sınıflandırılabilir. İdeal şartlar altında kesim frekansından ( $f_c$ ) daha düşük frekanstaki işaretleri geçiren süzgeçlere LP süzgeç,  $f_c$  dan yüksek frekanstaki işaretleri geçiren süzgeçlere HP süzgeç, sadece alt kesim frekansı (alt köşe frekansı,  $f_1$ ) ve üst kesim frekansı (üst köşe frekansı,  $f_2$ ) arasındaki frekansları sahip işaretleri geçiren süzgeçlere BP, sadece  $f_1$  ve  $f_2$  dışındaki frekansları sahip işaretleri geçiren süzgeçlere NF ve tüm frekanslardaki işaretleri



geçiren süzgeçlere AP süzgeç adı verilmektedir. Ayrıca AP süzgeçler faz kaydırma için kullanılabilir.

Analog süzgeçler, transfer fonksiyonlarının payda kısmındaki  $s$ 'li terimlerin en yüksek üst sayısına göre sınıflandırılabilir. Paydaki en büyük üst sayısı ilgili süzgeç devresinin derecesini belirtir. Bobin (L) ve kondansatör (C) gibi empedansı frekansa bağlı pasif elemanlar transfer fonksiyonlarındaki  $s$  ifadeleri sağlamaktadır. Bir süzgeç devresinde en az ilgili derecesi kadar L ve/veya C elemanı bulunmalıdır. Birinci dereceden süzgeçler sadece LP, HP ve AP süzgeç çıkışlarını sağlayabilirken, iki veya daha fazla dereceye sahip süzgeçler LP, HP, BP, NF ve AP süzgeç çıkışlarının tamamını sağlayabilirler.

## 1.2 Emitans Fonksiyon Simülatör Devreleri

Analog elektronik devrelerin tasarımında direnç, kondansatör ve bobin gibi pasif devre elemanları sıklıkla kullanılmaktadır. Tümüleşik devre (IC) teknolojisinde çok sayıda transistör gibi aktif elemanlar çok küçük bir alana sığabilmektedir. L pasif elemanı IC'lerde çok fazla alan kaplama, manyetik alan oluşturma, düşük değere sahip olma, düşük kalite faktörü vb sebeplerden dolayı fazla tercih edilmezler. Bu dezavantajların üstesinden direnç, kondansatör gibi pasif elemanlar ve aktif elemanlar kullanılarak tasarlanan endüktans ve emitans fonksiyon simülatör devreleriyle gelinmiştir. Direnç, kondansatör ve aktif bloklarla sentetik bobin ve emitans fonksiyon simülatörleri tasarlanmaktadır.

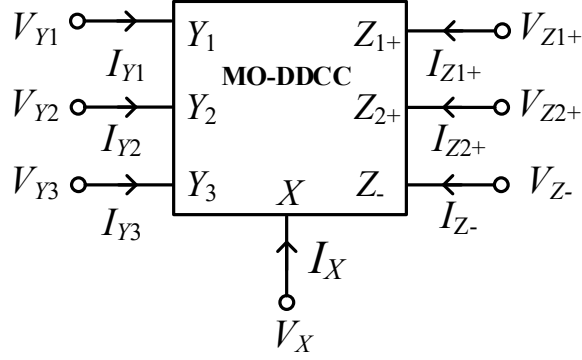
Literatürde bulunan emitans simülatörleri (Hamad ve Ibrahim 2017, Abaci ve Yuce 2017, Incekaraoglu ve Cam 2005, Yuce 2006, Ibrahim ve diğ. 2012, Abaci ve Yuce 2019, Yuce ve Minaei 2009, Elwan ve Soliman 1997, Yuce 2010, Horng 2010, Yuce ve diğ. 2015, Yuce 2009, Abaci ve Yuce 2020, Soliman 2010, Sedra ve Smith 1970, Al-Absi ve Abuelma'atti 2019, Fabre 1992, Yuce 2008, Cicekoglu 1998, Fabre ve Alami 1995, Fabre ve diğ. 1997, Soliman 1978, Saad ve Soliman 2008, Cicekoglu 1998, Cicekoglu ve diğ. 2001, Ferri ve diğ. 2008, Stornelli ve diğ. 2021, Safari ve diğ. 2020) kayıplı ve kayıpsız simülatörler olarak ikiye ayırmak mümkündür. Kayıplı ve kayıpsız ifadesi elde edilen eş değer devre elemanına göre değişmektedir. Örneğin tasarlanan devre girişinden bakıldığında görülen empedans sadece bobin özelliği

gösteriyorsa bu devreye kayıpsız emitans simülatörü adı verilir. Benzer şekilde girişten bakıldığında görülen karakteristikte bobine seri bağlı bir direnç etkisi görülüyorsa seri kayıplı bobin simülatörü, bobine paralel bağlı bir direnç karakteristiği görülüyorsa paralel kayıplı emitans simülatörü olarak adlandırılırlar.

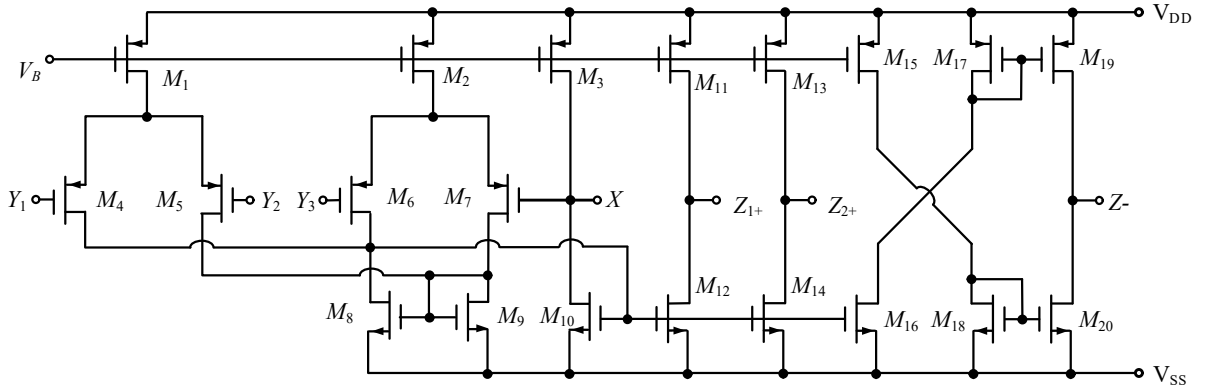
## 2. MOSFET TABANLI AKTİF BLOKLAR

### 2.1 Diferansiyel Fark Akım Taşıyıcı (DDCC)

Yedi giriş/çıkış ucu bulunan çok çıkışlı DDCC (MO-DDCC)'nin elektriksel sembolü Şekil 2.1'de gösterilirken, ilgili MO-DDCC'nin CMOS tabanlı içyapısı Şekil 2.2'de verilmiştir. Bu içyapı (Chiu ve diğ. 1996)'dan türetilerek elde edilmiştir. Bu verilen devrede  $Y_1$ ,  $Y_2$  ve  $Y_3$  giriş terminalleri yüksek giriş empedansına sahip iken  $X$  giriş terminali düşük giriş empedansına sahiptir.  $Z_{1+}$ ,  $Z_{2+}$  ve  $Z$  terminalleri yüksek çıkış empedanslarına sahiptir.



Şekil 2.1: Çok çıkışlı diferansiyel fark akım taşıyıcının elektriksel sembolü.



Şekil 2.2: Çok çıkışlı diferansiyel fark akım taşıyıcının CMOS tabanlı içyapısı.

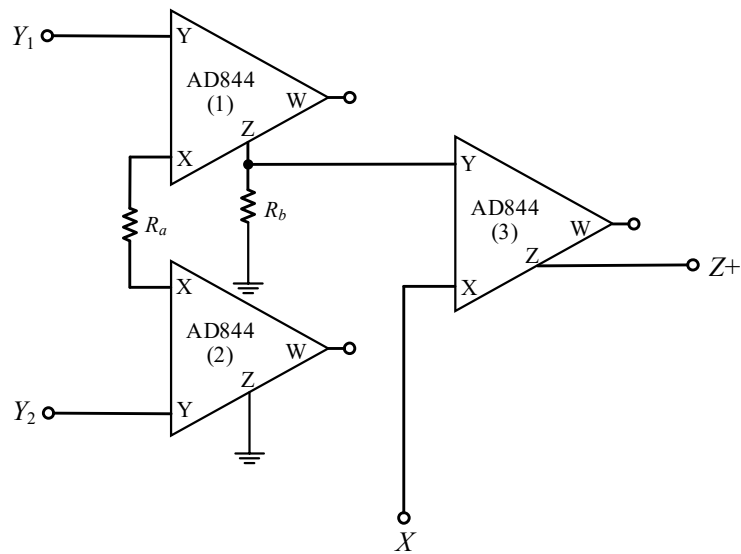
Şekil 2.1'de gösterilen MO-DDCC'nin terminalleri arasındaki bağıntı aşağıdaki matris denkleminde verilmiştir.

$$\begin{bmatrix} I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_{Z1+} \\ I_{Z2+} \\ I_{Z-} \\ V_X \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & \alpha \\ 0 & 0 & 0 & \rho \\ 0 & 0 & 0 & -\gamma \\ \beta & -\eta & \delta & 0 \end{bmatrix} \begin{bmatrix} V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ I_X \end{bmatrix} \quad (2.1)$$

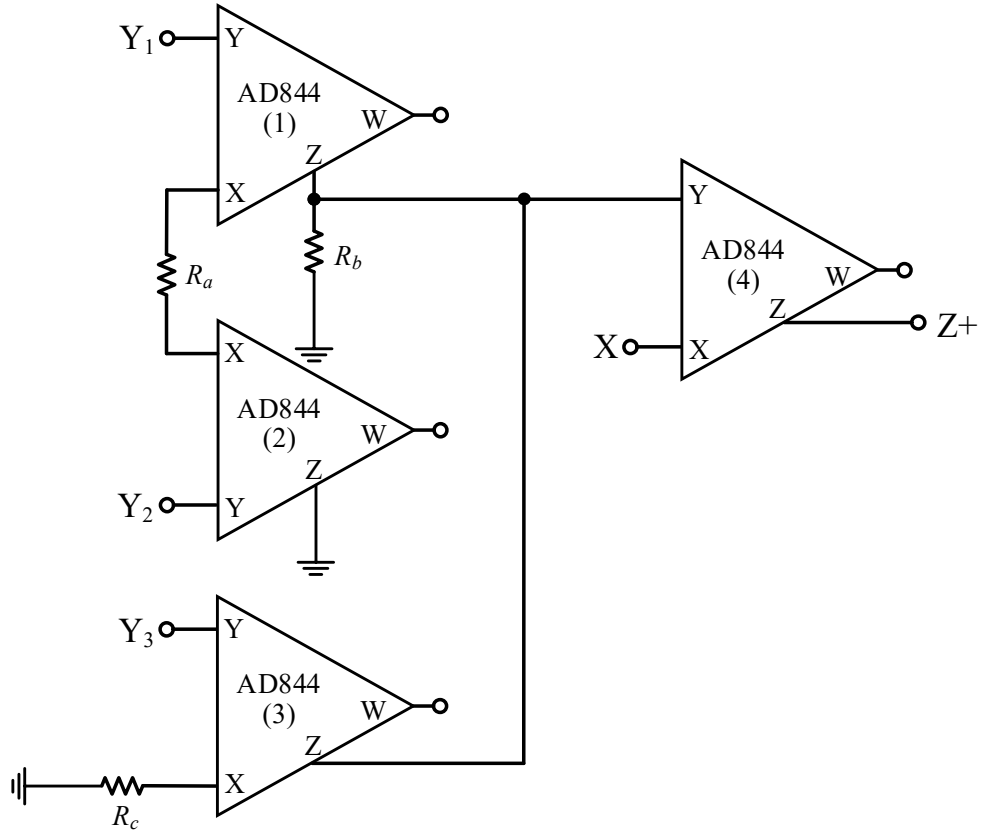
Yukarıdaki denklemde,  $\alpha$ ,  $\rho$  ve  $\gamma$  frekansa bağlı ideal olmayan akım kazançlarını,  $\beta$ ,  $\eta$  ve  $\delta$  frekansa bağlı ideal olmayan gerilim kazançlarını ifade etmektedir. İdeal durumda,  $\alpha$ ,  $\rho$ ,  $\gamma$ ,  $\beta$ ,  $\eta$  ve  $\delta$  ifadeleri bire eşittir.

Çok çıkışlı diferansiyel gerilim akım taşıyıcı (MO-DVCC) aktif bloğu ise MO-DDCC'nin  $Y_3$  terminalinin referans gerilime bağlanmasıyla kolayca elde edilebilir. Tez çalışmasında standart pozitif Z uçlu bir DDCC/DVCC (DDCC+/DVCC+) elde etmek için Şekil 2.2'de verilen içyapıdaki  $M_1$ - $M_{12}$  transistörleri kullanılmıştır. DDA elde etmek için ise Şekil 2.2'de verilen içyapıdaki  $M_1$ - $M_{10}$  transistörleri kullanılmıştır.

Tez kapsamında tasarlanan devrelerin deneysel çalışmaları için DVCC+'nın AD844 entegreleriyle gerçekleştirilen devresi Şekil 2.3'te verilmiştir. Benzer şekilde DDCC+ kullanılarak tasarlanan devrelerin deneysel çalışması sırasında Şekil 2.4'te gösterilen devre kullanılmıştır.



Şekil 2.3: AD844 entegresi ile oluşturulan pozitif diferansiyel gerilim akım taşıyıcının devresi.

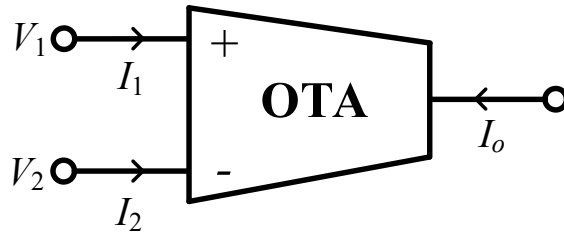


Şekil 2.4: AD844 entegresi ile oluşturulan pozitif diferansiyel fark akım taşıyıcının devresi.

Şekil 2.3'te  $R_a=R_b$  ve Şekil 2.4'te  $R_a=R_b=R_c$ 'dir.

## 2.2 İşlemsel Geçişiletkenliği Yükseltici (OTA)

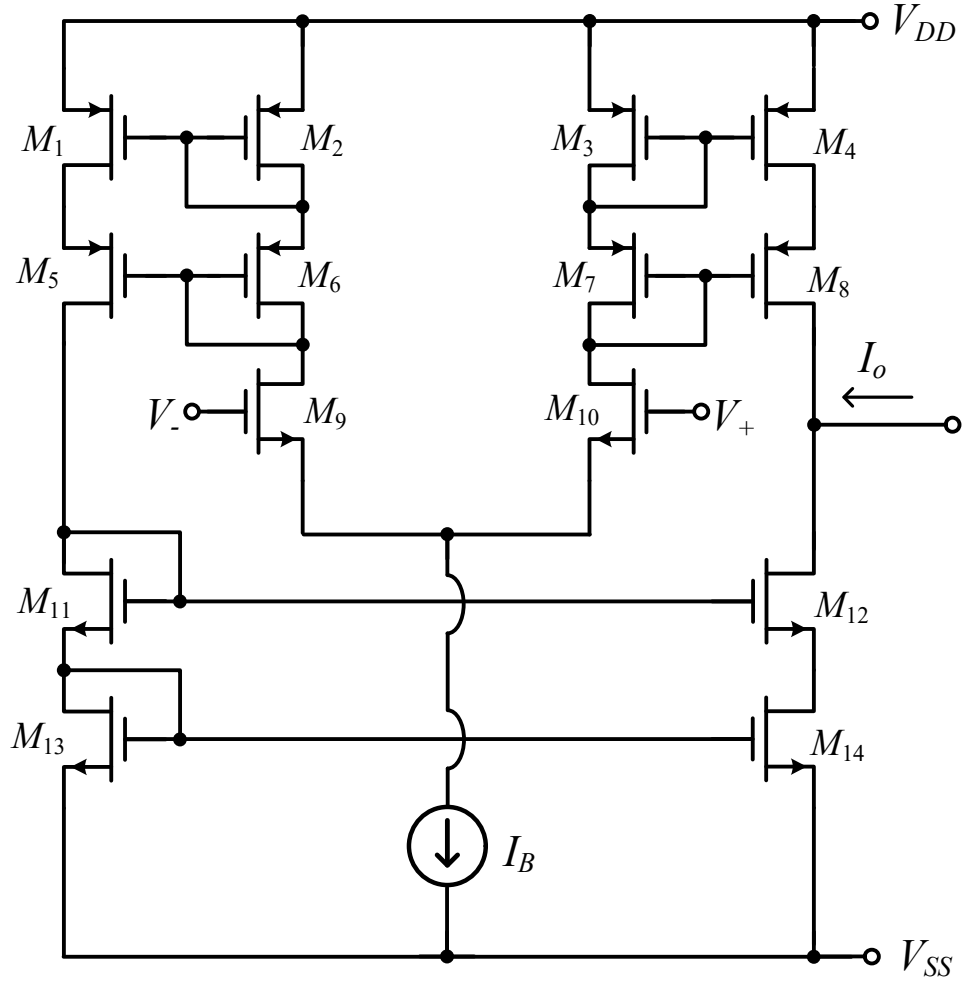
İki gerilim girişi ve bir akım çıkışı bulunan OTA'nın elektriksel sembolü Şekil 2.5'te verilmiştir. (Huaihongthong ve diğ. 2019)'dan türetilen OTA'nın CMOS tabanlı içyapısı Şekil 2.6'da verilmiştir.  $V_1$  ve  $V_2$  giriş terminalleri yüksek giriş empedansına sahip iken çıkış terminali yüksek çıkış empedansına sahiptir.



Şekil 2.5: İşlemsel geçiş iletkenliği yükselticinin elektriksel sembolü.

Şekil 2.6’da sembolü gösterilen OTA’nın giriş ve çıkış terminalleri arasındaki bağıntı aşağıda verilmiştir.

$$I_o = g_m(V_2 - V_1) \quad (2.2)$$



Şekil 2.6: İşlemsel geçiş iletkenliği yükselticinin CMOS tabanlı içyapısı.

### 3. DVCC+ TABANLI BİRİNCİ DERECEDEKİ GERİLİM MODLU FARKSAL GİRİŞLİ EVRENSEL SÜZGEÇ TASARIMI

DVCC tabanlı birinci derece süzgeçler özellikle (Horng 2009, Maheshwari 2008<sup>a</sup> Chen ve diğ. 2012<sup>a</sup>, Maheshwari 2009, Maheshwari 2007, Maheshwari 2008<sup>b</sup>, Ibrahim ve diğ. 2010, Minaei ve Yuce 2010, Maheshwari ve diğ. 2013, Horng 2010)'daki tüm geçiren süzgeçler literatürde geniş uygulama alanları bulmuştur. Birinci dereceden evrensel süzgeçler LP, HP ve AP süzgeç yanıtlarını sağlayabilirler. Pasif devre elemanları olan direnç ve kondansatörler ile birinci dereceden süzgeç elde etmek mümkündür. Fakat aktif blok veya eleman kullanılmadan tasarlanan devreler eviren çıkış sağlayamazlar. Benzer şekilde pasif süzgeç devrelerinde LP ve HP süzgeç çıkışları için en az iki adet kondansatör gereklidir. Literatürde bulunan benzer devreler ile tez kapsamında tasarlanan devrenin çeşitli yönlerden karşılaştırılması Tablo 3.1'de verilmiştir.

**Tablo 3.1:** Şekil 3.1'de tasarlanan devre ile literatürdeki benzer çalışmaların karşılaştırma tablosu.

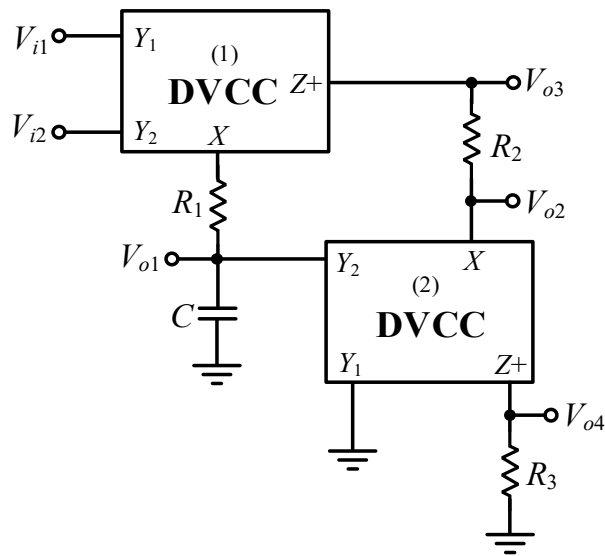
Referanslar	Aktif Blok Sayısı	Topraklanmış (Yüzen) Kondansatör Sayısı	Topraklanmış (Yüzen) Direnç Sayısı	Teknoloji	Güç Tüketimi (mW)	Besleme Gerilimi (V)	Evrensellik	Yüksek Giriş Empedansı	Eviren ve Evirmeyen Çıkış Sağlama	Standart Aktif Blok Kullanımı
Chen ve diğ. 2012 <sup>a</sup> Şekil 2	1	1 (1)	0 (1)	0.18 µm	*	± 0.9	✓	X	X	X
Horng 2009 Şekil 2	1	1 (1)	1 (2)	0.35 µm	*	± 1.65	✓	✓	X	X
Horng 2010 <sup>a</sup> Şekil 2	2	1 (1)	1 (1)	0.18 µm	*	± 1.25	✓	✓	X	✓
Ibrahim ve diğ. 2006 Şekil 3	1	0 (3)	1 (1)	0.5 µm	*	± 2.5	X	X	X	X
Ibrahim ve diğ. 2010 Şekil 2	2	1 (1)	1 (1)	0.25 µm	1.32	± 1.25	X	✓	X	✓
Maheshwari 2007 Şekil 3.1	2	1 (1)	2 (2)	0.5 µm	*	± 2.5	X	✓	X	✓
Maheshwari 2008 <sup>a</sup> Şekil 1	2	1 (1)	-	0.5 µm	*	± 1.65	X	X	X	X
Maheshwari 2008 <sup>b</sup> Tablo II. C1	2	1 (1)	2 (2)	0.5 µm	*	± 2.5	X	✓	X	✓
Maheshwari 2009 Şekil 3.9	1	0 (1)	1 (2)	0.5 µm	*	± 2.5	X	X	X	✓
Maheshwari ve diğ. 2013 Şekil 2	2	1 (1)	2 (2)	0.5 µm	*	± 2.3	X	✓	X	✓
Minaei ve Yuce 2010 <sup>b</sup> Şekil 2	2	1 (1)	0 (1)	0.18 µm	0.3	± 1.5	Xo	✓	X	✓
Şekil 3.1	2	1 (1)	1 (3)	0.18 µm	2.7	± 1.25	✓	✓	✓	✓

\* : Erişilemeyen

(Horng 2009, Maheshwari 2008<sup>a</sup> Chen ve diğ. 2012<sup>a</sup>, Maheshwari 2009, Maheshwari 2007, Maheshwari 2008<sup>b</sup>, Ibrahim ve diğ. 2010, Minaei ve Yuce 2010, Maheshwari ve diğ. 2013, Horng 2010)'da sunulan DVCC tabanlı birinci dereceden süzgeçlerin bazı dezavantajları bulunmaktadır. (Maheshwari 2008<sup>a</sup>, Maheshwari 2007, Maheshwari 2008<sup>b</sup>, Ibrahim ve diğ. 2010, Minaei ve Yuce 2010, Maheshwari ve diğ. 2013)'te tasarlanan devreler evrensel süzgeç özelliği taşımamaktadır. (Horng 2009, Maheshwari 2008<sup>a</sup>, Chen ve diğ. 2012<sup>a</sup>, Maheshwari 2009, Maheshwari 2007, Maheshwari 2008<sup>b</sup>)'de sunulan devrelerin tasarımında standart DVCC+ kullanılmamıştır. (Maheshwari 2008<sup>a</sup>, Chen ve diğ. 2012<sup>a</sup>, Maheshwari 2009)'da önerilen devreler yüksek giriş empedansına sahip değildir. (Maheshwari 2009)'da verilen birkaç devrede yüzen kondansatör bulunmaktadır.

### 3.1 Tasarlanan Birinci Dereceden Farksal Girişli Evrensel Süzgeç Devresi

Tezin bu bölümünde DVCC+ tabanlı farksal girişli birinci dereceden evrensel süzgeç tasarımı yapılmıştır. Şekil 3.1'de gösterilen devrede üç adet direnç ve bir adet bir ucu toprağa bağlı kondansatör bulunmaktadır. Tasarlanan devre çift girişi sayesinde birinci dereceden eviren ve evirmeyen tüm süzgeç çıkışlarını sağlayabilmektedir.



Şekil 3.1: Tasarlanan çift girişli pozitif diferansiyel gerilim akım taşıyıcı tabanlı birinci dereceden evrensel süzgeç devresi.



$V_{i1}$ 'e giriş gerilimi uygulandığında ve  $V_{i2}$  referans gerilime bağlandığında  $V_{o1}$ ,  $V_{o2}$ ,  $V_{o3}$  ve  $V_{o4}$  düğümlerinden sırasıyla evirmeyen LP, eviren LP, eviren AP ve eviren HP çıkışları elde edilir. Benzer şekilde  $V_{i2}$  düğümüne giriş gerilimi uygulandığında ve  $V_{i1}$  referans gerilime bağlandığında  $V_{o1}$ ,  $V_{o2}$ ,  $V_{o3}$  ve  $V_{o4}$  düğümlerinden sırasıyla eviren LP, evirmeyen LP, evirmeyen AP ve evirmeyen HP çıkışları elde edilir. DVCC+'nın ideal durumdaki akım ve gerilim kazançları ile devredeki  $V_{o1}$ ,  $V_{o2}$ ,  $V_{o3}$  ve  $V_{o4}$  çıkış cevapları sırasıyla aşağıdaki şekilde verilmiştir.

$$V_{o1} = \frac{V_{i1} - V_{i2}}{1 + sCR_1} \quad (3.1)$$

$$V_{o2} = -\frac{V_{i1} - V_{i2}}{1 + sCR_1} \quad (3.2)$$

$$V_{o3} = -\frac{(V_{i1} - V_{i2})(1 - sCR_2)}{1 + sCR_1} \quad (3.3)$$

$$V_{o4} = -\frac{R_3}{R_1} \frac{sCR_1(V_{i1} - V_{i2})}{1 + sCR_1} \quad (3.4)$$

İdeal olmayan akım ve gerilim kazançlarının etkisi altında,  $V_{o1}$ ,  $V_{o2}$ ,  $V_{o3}$  ve  $V_{o4}$  cevapları sırasıyla aşağıdaki gibidir.

$$V_{o1} = \frac{V_{i1}\beta_1 - V_{i2}\eta_1}{1 + sCR_1} \quad (3.5)$$

$$V_{o2} = -\frac{V_{i1}\beta_1\eta_2 - V_{i2}\eta_1\eta_2}{1 + sCR_1} \quad (3.6)$$

$$V_{o3} = -\frac{(V_{i1}\beta_1 - V_{i2}\eta_1)(\eta_2 - sCR_2\alpha_1)}{1 + sCR_1} \quad (3.7)$$

$$V_{o4} = -\frac{R_3}{R_1} \frac{sCR_1\alpha_1\alpha_2(V_{i1}\beta_1 - V_{i2}\eta_1)}{1 + sCR_1} \quad (3.8)$$

Denklem (3.4) ve Denklem (3.8)'den görüleceği üzere HP çıkışının kazancı  $R_3$  direncinin  $R_1$  direncine oranıyla değiştirilebilmektedir. AP süzgeç çıkışı için  $R_1$  direnci  $R_2$  direncine eşit seçilmelidir. Tasarlanan devrenin kutup frekansı aşağıda verilmiştir.

$$f_0 = \frac{1}{2\pi} \frac{1}{CR_1} \quad (3.9)$$

Eviren ve evirmeyen AP süzgecin faz cevapları sırasıyla aşağıdaki denklemlerde verilmiştir.

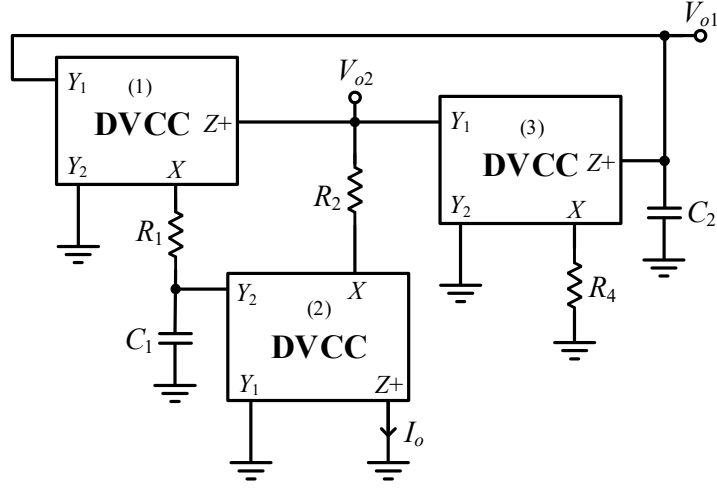
$$\varphi_1(\omega) = \pi - 2 \text{Arctan}(\omega CR_1) \quad (3.10)$$

$$\varphi_2(\omega) = -2 \text{Arctan}(\omega CR_1) \quad (3.11)$$

Diferansiyel giriş kazancının ( $A_{dm}$ ) ortak giriş kazancına ( $A_{cm}$ ) oranı ortak mod bastırma oranı (CMRR) olarak adlandırılmaktadır. AP süzgecin CMRR dB olarak aşağıdaki denklemde verilmiştir.

$$\text{CMRR} = 20 \log \left| \frac{A_{dm}}{A_{cm}} \right| = 20 \log \left( \frac{1}{2} \left| \frac{\beta_1 + \eta_1}{\beta_1 - \eta_1} \right| \right) \quad (3.12)$$

Yukarıdaki denklemde  $A_{dm} = V_{o3}/V_{id}$  dir. Burada,  $V_{i1} = V_{id}/2$  ve  $V_{i2} = -V_{id}/2$  seçilmiştir. Buna ek olarak,  $A_{cm} = V_{o3}/V_{cm}$  dir. Burada,  $V_{i1} = V_{cm}$  ve  $V_{i2} = V_{cm}$  olarak alınmıştır. Şekil 3.1'in bir uygulama örneği olarak, Şekil 3.2'de eviren AP süzgeci çıkışına DVCC+ tabanlı bir pozitif integral alıcı devrenin bağlanmasıyla elde edilen çok çıkışlı kuadratör osilatör devresi verilmiştir. Osilatör devresini bir adet akım çıkışı ve iki adet gerilim çıkışı bulunmaktadır. Bu iki gerilim çıkışında işaretlerin arasında  $90^\circ$  faz farkı bulunmaktadır.



**Şekil 3.2:** Eviren tüm geçiren süzgeçten faydalanarak tasarlanan çok çıkışlı quadratör osilatör devresi.

Osilatör devresinin karakteristik denklemi ideal ve ideal olmayan kazançlar dahil edildiğinde sırasıyla aşağıdaki gibi elde edilmiştir.

$$D(s) = s^2 C_1 C_2 R_1 R_4 + s(C_2 R_4 - C_1 R_2) + 1 \quad (3.13)$$

$$D(s) = s^2 C_1 C_2 R_1 R_4 + s(C_2 R_4 - C_1 R_2 \alpha_1 \alpha_3 \beta_1 \beta_3) + \alpha_3 \beta_1 \beta_3 \eta_2 \quad (3.14)$$

Şekil 3.2'deki osilatör devresine ait osilasyon frekansı ( $f_0$ ) ve osilasyon şartı (OC) ideal olarak sırasıyla aşağıda hesaplanmıştır.

$$f_0 = \frac{1}{2\pi} \frac{1}{\sqrt{C_1 C_2 R_1 R_4}} \quad (3.15)$$

$$C_2 R_4 \leq C_1 R_2 \quad (3.16)$$

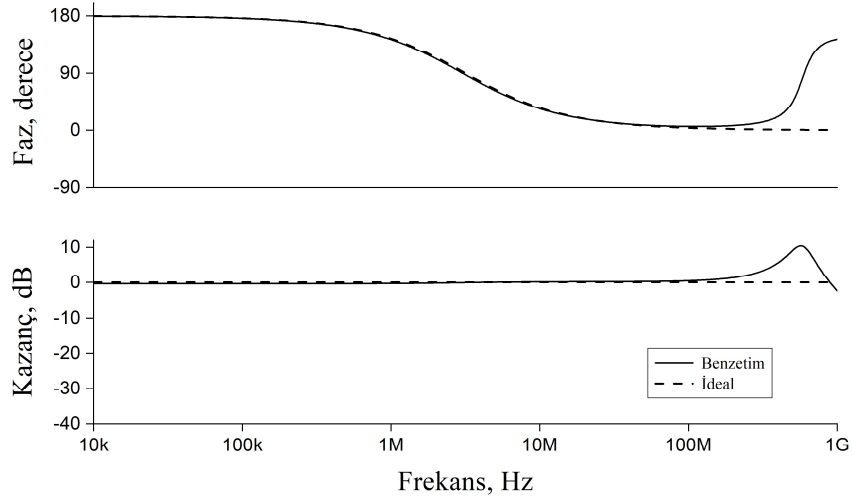
$f_0$ ,  $R_1$  ile ortogonal olarak kontrol edilebilir.

### 3.2 Benzetim ve Deneysel Sonuçları

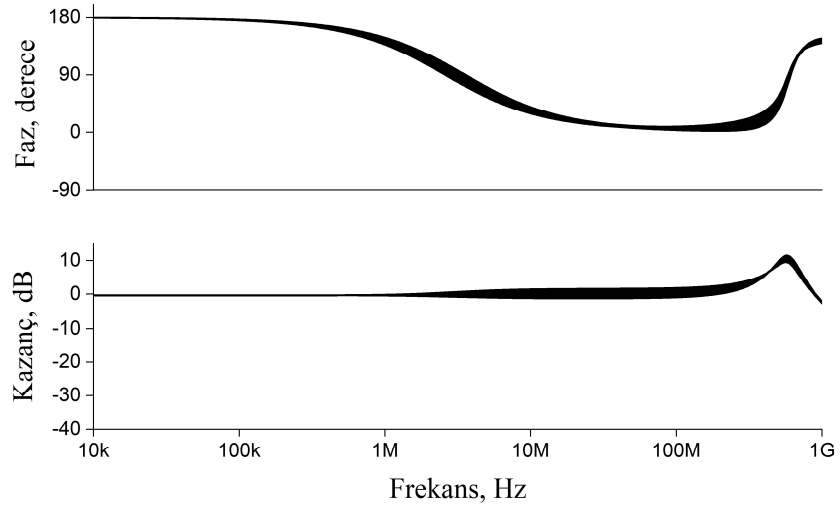
Şekil 3.1 ve Şekil 3.2'de bulunan devreleri benzetimleri sırasında DVCC+ içyapısında 0.18µm TSCM CMOS teknoloji parametreleri kullanılmıştır. Tüm NMOS ve PMOS transistörlerin en boy oranları sırasıyla 13 µm / 0.5 µm ve 39 µm / 0.5 µm olarak seçilmiştir. Ayrıca besleme gerilimi ±1.25 V ve öngerilimleme gerilimi 0.55 V

olarak seçilmiştir. Yapılan benzetimler esnasında pasif devre elemanları süzgeç için  $R_1 = R_2 = R_3 = 1 \text{ k}\Omega$ ,  $C = 50 \text{ pF}$  olarak seçilmiştir. Bu değerler neticesinde  $f_0$  yaklaşık olarak 3.18 MHz olarak hesaplanmaktadır.

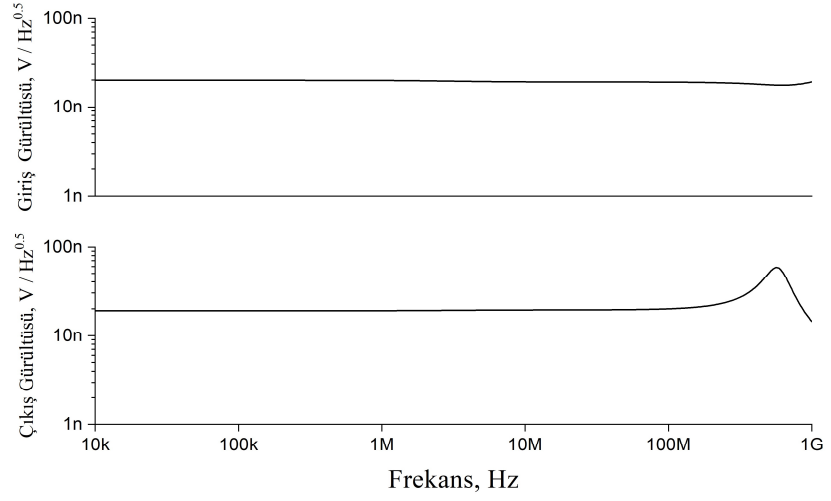
$V_{i1}$ 'den giriş gerilimi uygulanıp  $V_{i2}$  referans gerilime bağlandığında elde edilen AP süzgecinin AC analizi sonucunda faz ve kazanç grafikleri Şekil 3.3'te verilmiştir. Pasif devre elemanlarının %10 tekdüze olarak değişmesiyle alınan 120 örnek için AP süzgecin AC Monte Carlo (MC) analiz sonucu Şekil 3.4'te verilmiştir. AP süzgecin gürültü analizi ve zaman ortamı giriş çıkış işaretleri benzetimi sırasıyla Şekil 3.5 ve Şekil 3.6'da verilmiştir. LP ve HP süzgeçlere ait AC analiz kazanç sonuçları Şekil 3.7'de verilmiştir.



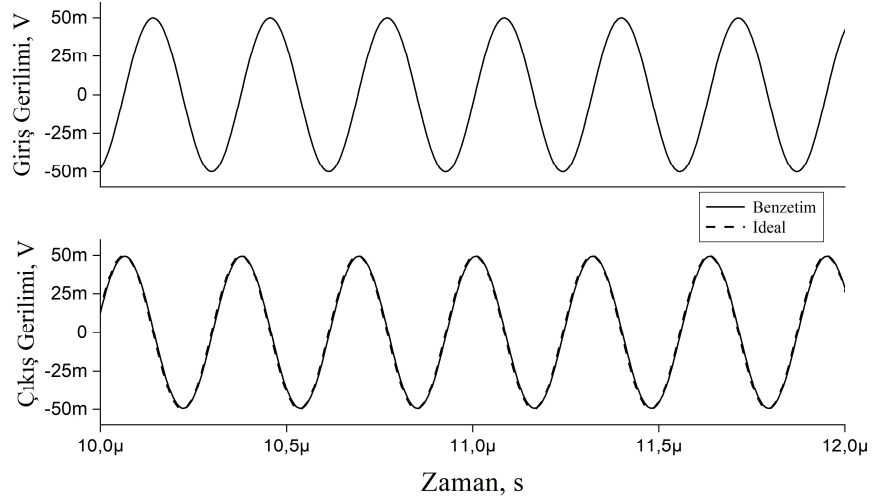
**Şekil 3.3:** Eviren tüm geçiren süzgecin frekans ortamı analizi.



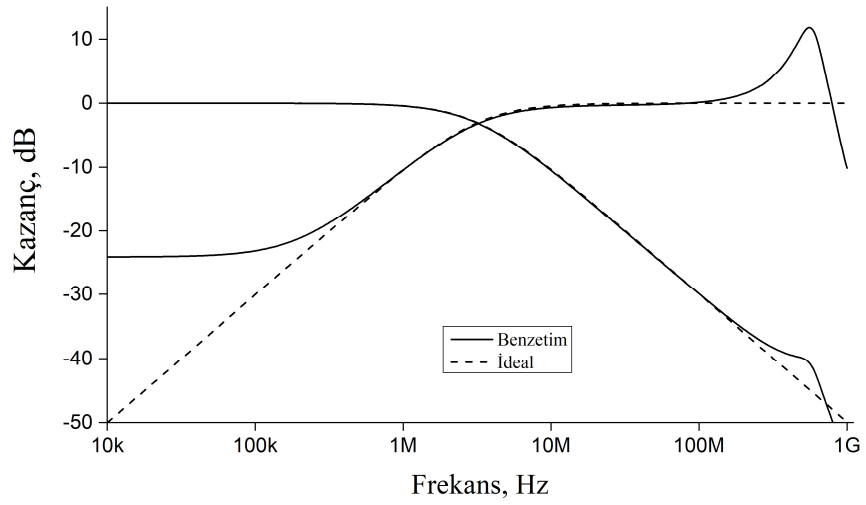
**Şekil 3.4:** Eviren tüm geçiren süzgece ait Monte Carlo analizi.



Şekil 3.5: Eviren tüm geçiren süzgecine ait gürültü analizi.

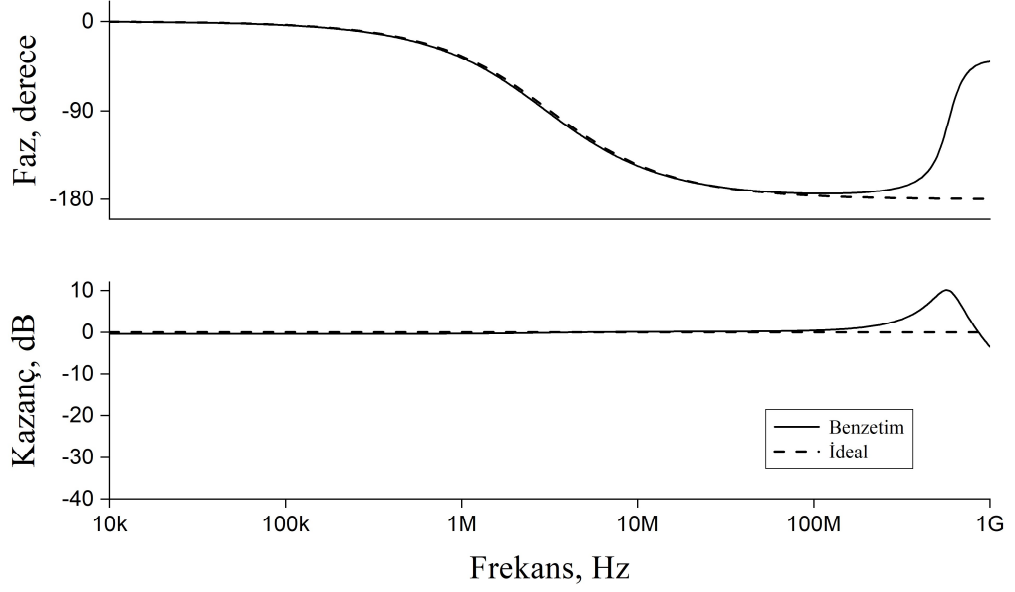


Şekil 3.6: Eviren tüm geçiren süzgecin zaman ortamı analizi.

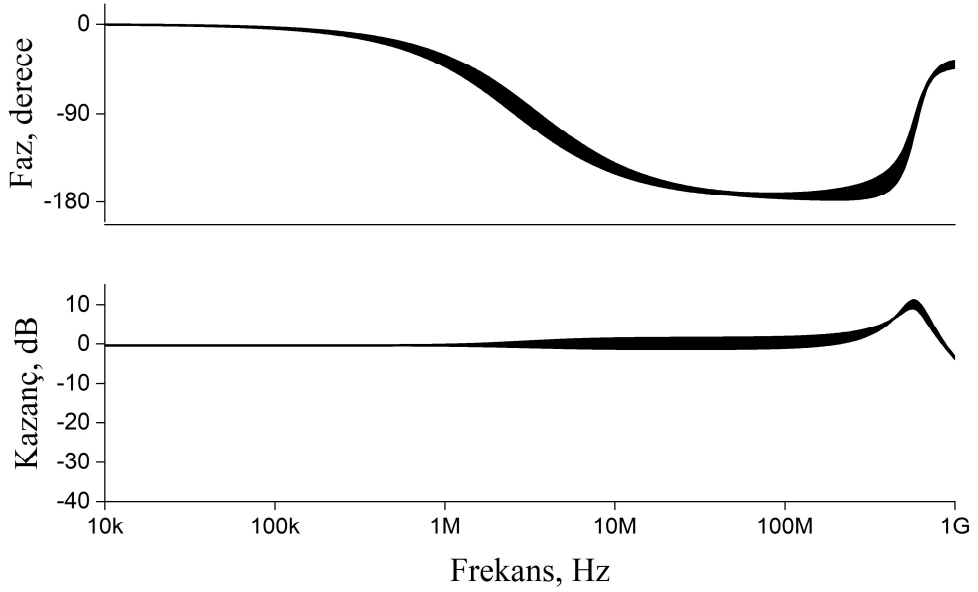


Şekil 3.7: Alçak geçiren ve yüksek geçiren süzgeçlerin frekans ortamı analizi.

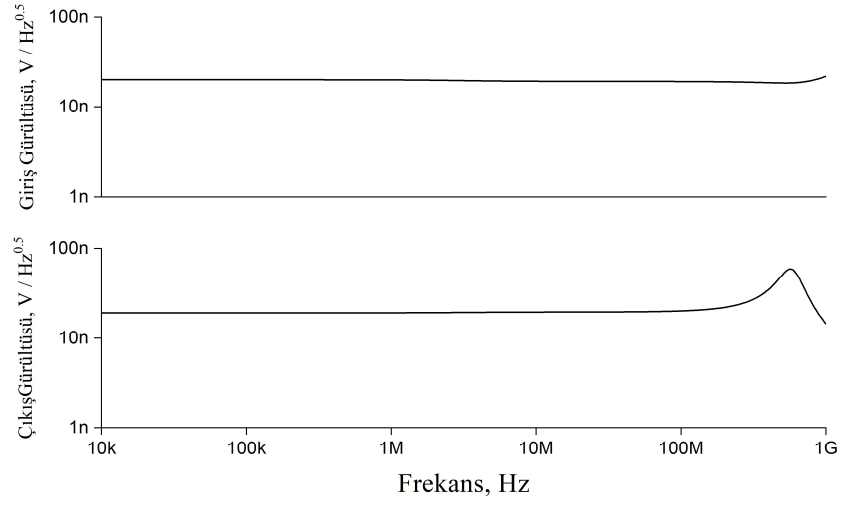
Giriş gerilim  $V_{i2}$ 'den uygulanıp  $V_{i1}$  referans gerilime bağlandığında elde edilen AP süzgecin AC analizi sonucunda faz ve kazanç grafikleri Şekil 3.8'de verilmiştir. Pasif devre elemanlarının %10 tekdüze olarak değişmesiyle alınan 120 örnek için AP süzgecin AC MC analiz sonucu Şekil 3.9'da verilmiştir. AP süzgecin gürültü analizi ve zaman ortamı giriş çıkış işaretleri benzetimi sırasıyla Şekil 3.10 ve Şekil 3.11'de verilmiştir. Ayrıca, ortak mod bastırma oranı (CMRR) Şekil 3.12'de verilmiştir.



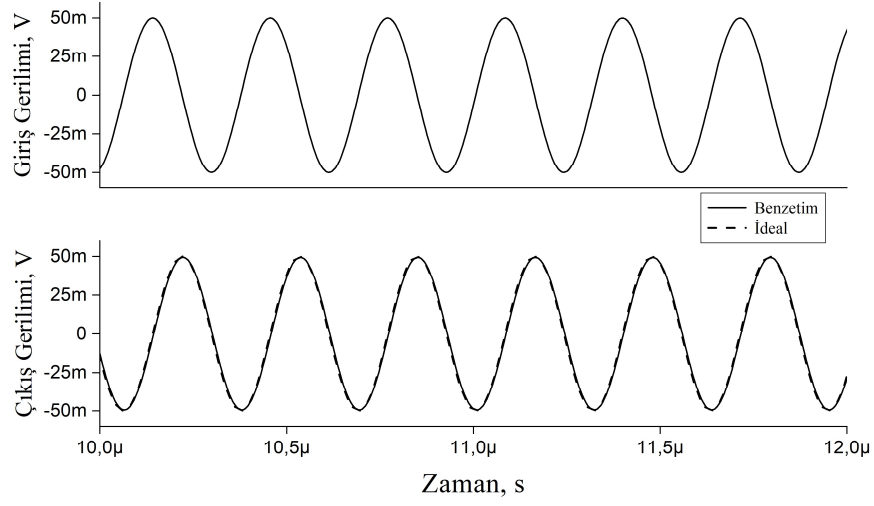
Şekil 3.8: Evirmeyen tüm geçiren süzgecin frekans ortamı analizi.



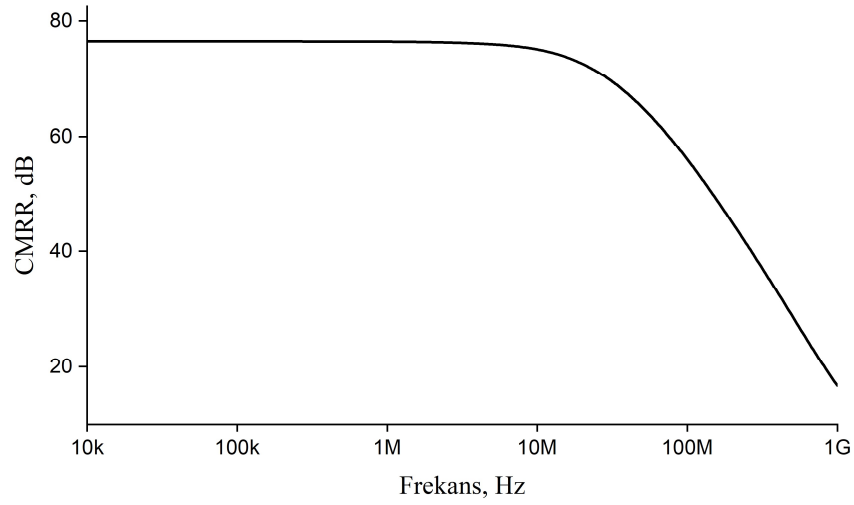
Şekil 3.9: Evirmeyen tüm geçiren süzgece ait Monte Carlo analizi.



Şekil 3.10: Evirmeyen tüm geçiren süzgecine ait gürültü analizi.

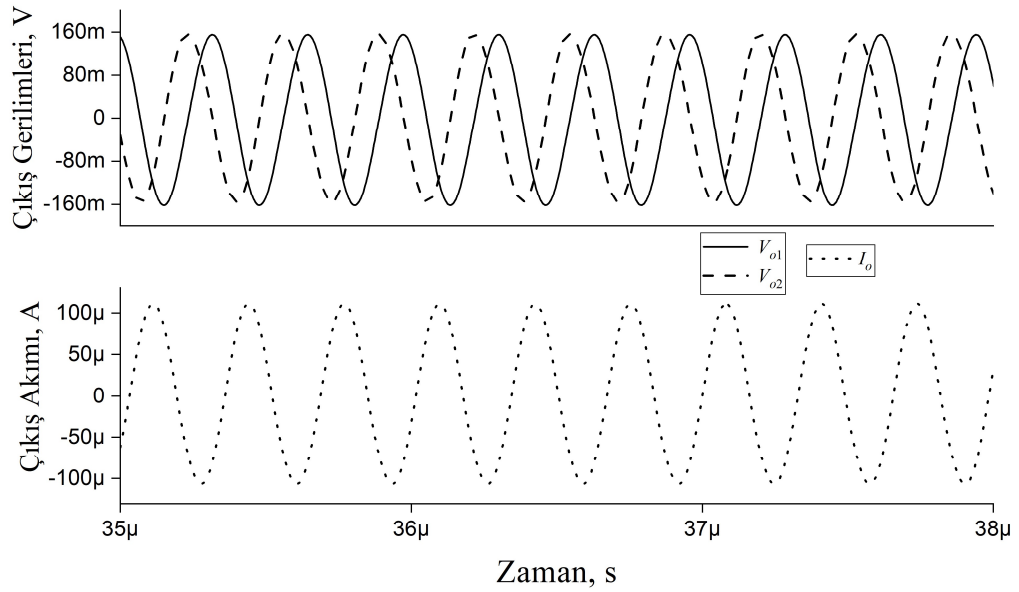


Şekil 3.11: Evirmeyen tüm geçiren süzgecin zaman ortamı analizi.

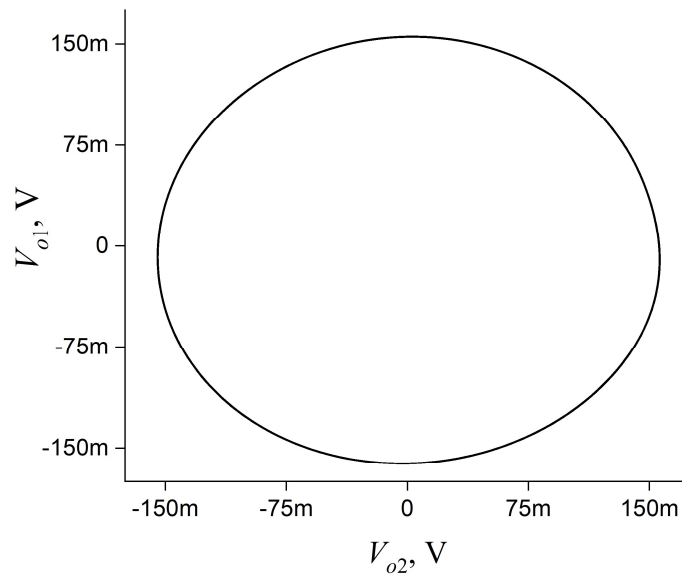


Şekil 3.12: Ortak mod bastırma oranının frekans ortamı analizi.

Şekil 3.1’de tasarlanan devrenin güç tüketimi 5.6mW’dır. Şekil 3.2’de tasarlanan osilatör devresinin benzetimler esnasında pasif devre elemanları süzgeç için  $R_1 = R_3 = R_4 = 1 \text{ k}\Omega$ ,  $R_2 = 1.01 \text{ k}\Omega$ ,  $C_1 = C_2 = 50 \text{ pF}$  olarak seçilmiştir. Bu değerler neticesinde  $f_0$  yaklaşık olarak 3.18 MHz olarak hesaplanmaktadır. Osilatör devresinin çıkış işaretlerinin zaman ortamı benzetim sonuçları Şekil 3.13’te verilmiştir. Osilatör devresinin Lissajous eğrisi Şekil 3.14’te verilmiştir. Osilatör devresinin  $V_{o1}$ ,  $V_{o2}$  ve  $I_o$  çıkışlarının THD değerleri sırasıyla %2.18, %2.22 ve %2.6 olarak SPICE programı aracılığıyla elde edilmiştir.



Şekil 3.13: Osilatör devresinin zaman ortamı analizi.



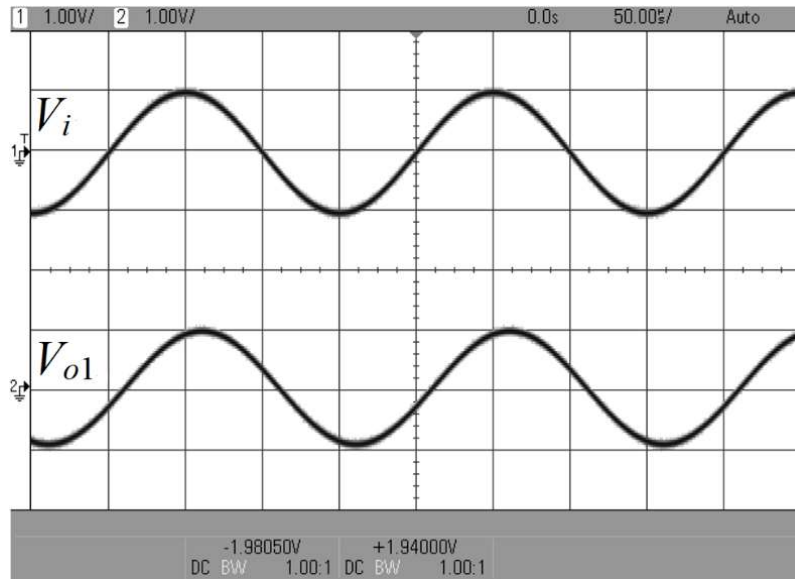
Şekil 3.14: Osilatör devresine ait Lissajous eğrisi.



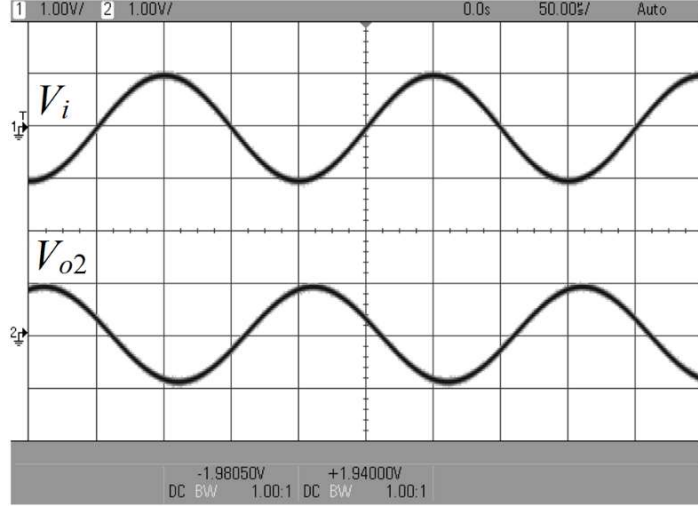
Deneyisel çalışmalarda DVCC+'yı gerçekleyebilmek için üç adet AD844 ve iki adet 2.2 kΩ deęerinde eř dirençler kullanılmıřtır. AD844'lerin besleme gerilimi olarak  $\pm 7.5$  V seęilmiřtir. Deney çalışmalarda dięer dirençler 3.3 kΩ ve kondansatör ise 3.3 nF seęilmiřtir. Pasif elemanların bu deęerleri için  $f_0$  deęeri ideal olarak 14.6 kHz olarak hesaplanmıřtır.

Devrenin girişine 1V genlikli 5 kHz frekansa sahip bir gerilim verildiğinde, giriş işareti, evirmeyen ve eviren LP süzgeç çıkışlarına ait işaretlarin zaman ortamı osiloskop görüntüsü sırasıyla Şekil 3.15 ve Şekil 3.16'da verilmiştir. Devrenin girişine 14.6 kHz frekansa sahip 1 V genliğe sahip bir gerilim uygulandığında elde edilen, giriş ve eviren AP süzgeç çıkışının zaman ortamı osiloskop görüntüsü Şekil 3.17'de verilmiştir. 1V genlikli 50 kHz giriş işareti ve devrenin HP süzgeç çıkış işaretinin zaman ortamı osiloskop görüntüsü Şekil 3.18'de verilmiştir.

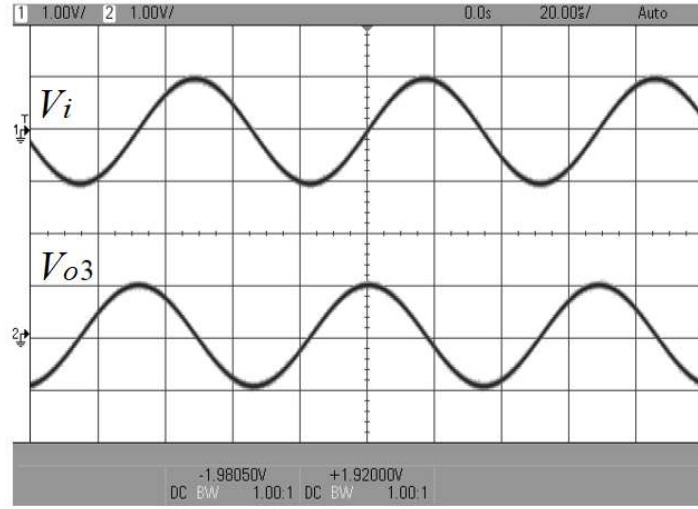
AD844 ile oluşturulan deney devresinde çeşitli frekanslarda yapılan ölçüm ve hesaplamalar sonucunda eviren AP süzgecinin frekans ortamı faz ve kazanç grafikleri Şekil 3.19'da verilmiştir. Benzer şekilde devrenin LP ve HP süzgeç çıkışlarına ait frekans ortamı kazanç grafikleri Şekil 3.20'de verilmiştir.



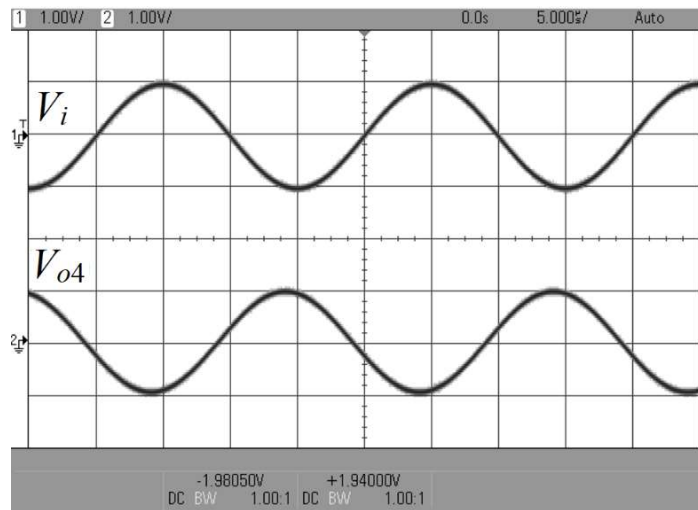
Şekil 3.15: Evirmeyen alçak geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.



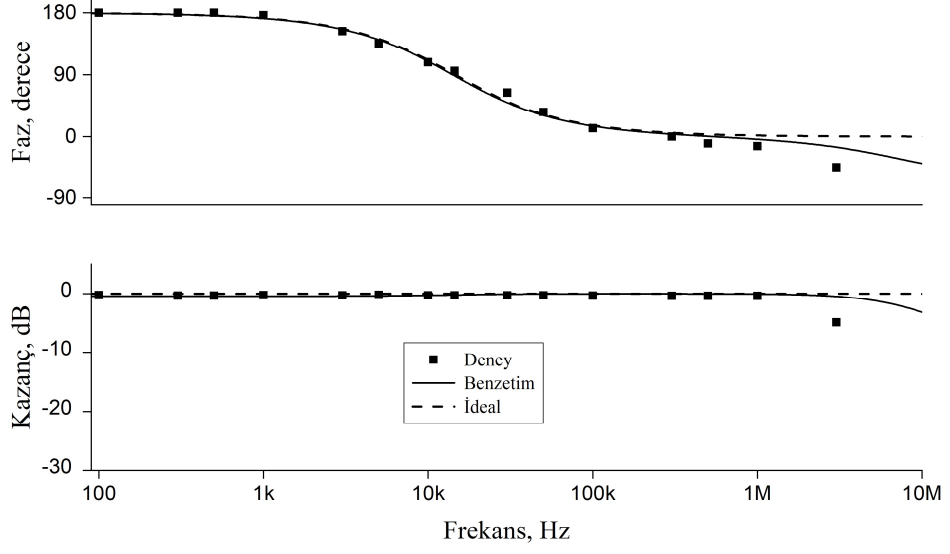
Şekil 3.16: Eviren alçak geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.



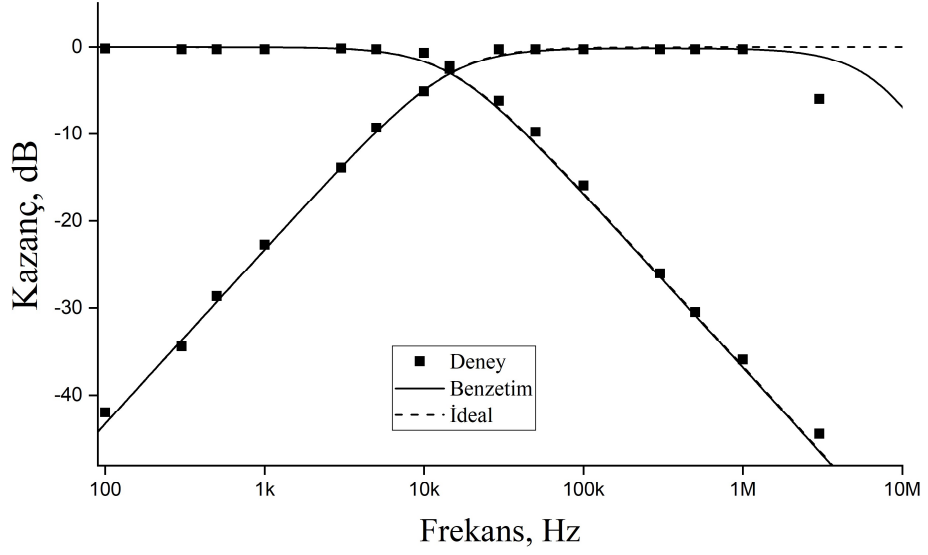
Şekil 3.17: Eviren tüm geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.



Şekil 3.18: Eviren yüksek geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.



Şekil 3.19: Eviren tüm geçiren süzgece ait frekans ortamı deney, benzetim ve ideal sonuçları.



Şekil 3.20: Alçak geçiren ve yüksek geçiren süzgeçlerin frekans ortamı deney, benzetim ve ideal sonuçları.

#### 4. DDCC+ TABANLI GERİLİM MODLU EVRENSEL SÜZGEÇ TASARIMI

DDCC aktif blok yapısı kullanılarak günümüze kadar pek çok ikinci dereceden VM çok amaçlı süzgeçler (İbrahim ve diğ. 2005, Maheshwari ve diğ. 2011, Horng ve diğ. 2004, Chen 2010, Chiu ve Horng 2012<sup>a</sup>, Chen ve Wu 2007) ve evrensel süzgeçler (Chen ve Wu 2007, Chang ve Chen 2003, Chen 2007, Horng ve Chiu 2011, Lee 2017, Yuce 2017, Horng ve diğ. 2012, Sladok ve diğ. 2017, Temizyurek ve Myderrizi 2004<sup>a</sup>, Chiu ve Horng 2007, Horng 2008) gibi devreler literatüre kazandırılmıştır. Ancak (İbrahim ve diğ. 2005, Maheshwari ve diğ. 2011, Horng ve diğ. 2004, Chen 2010, Chiu ve Horng 2012<sup>a</sup>, Chen ve Wu 2007, Chang ve Chen 2003, Chen 2007, Horng ve Chiu 2011, Lee 2017, Yuce 2017, Horng ve diğ. 2012, Sladok ve diğ. 2017, Temizyurek ve Myderrizi 2004<sup>a</sup>)’da tasarlanan süzgeçlerin bazı dezavantajları vardır. Bunlar; (İbrahim ve diğ. 2005)’te bulunan süzgeç düşük çıkış empedansı sağlamazken 3 adet yüzen pasif eleman bulunmaktadır. (Maheshwari ve diğ. 2011)’de de tasarlanan süzgeç sadece NF ve AP süzgeci gerçekleyebilir. Ayrıca bu tasarımda iki pasif elemanda eşleşme ve yüzen bir direnç bulunmaktadır. (Horng ve diğ. 2011)’de tanımlanan süzgeç sadece LP, BP ve HP süzgeç çıkışları sağlamaktadır. Ayrıca düşük çıkış empedansı sağlamaz ve kullanılan aktif blokların tamamı standart pozitif tip tek çıkışlı DDCC değildir. (Chen 2010)’da önerilen süzgeç düşük çıkış empedansı sağlamaz. Yüksek giriş empedansı olmayan (Chiu ve Horng 2012a)’daki süzgeç iki yüzen direnç barındırır ve tasarımda çok çıkışlı DDCC kullanılmıştır. (Chen ve Wu 2007)’de evrensel süzgeç çok çıkışlı DDCC+ ve iki yüzen pasif devre elemanı kullanılmaktadır. Bunun yanı sıra, düşük çıkış empedansı sağlamaz. (Chang ve Chen 2003)’te verilen süzgeç devresinde yüzen bir direnç bulunmaktadır, düşük çıkış empedansı sağlamaz ve birden fazla çeşit DDCCler kullanılmıştır. Ayrıca üç çıkıştan yalnızca ikisi yüksek giriş empedansına sahiptir. (Chen 2007)’deki süzgeç devresinde iki yüzen dirençten oluşmaktadır ve hem yüksek giriş empedansı hemde düşük çıkış empedanslarını sağlamaz. (Horng ve Chiu 2011)’de verilen süzgeç devresinde tüm çıkışlar için düşük empedans sağlamazken bir adet yüzen direnç kullanılmıştır. (Lee 2017) süzgecinde standart tek çıkışlı DDCC+dan oluşmamaktadır, yüzen bir direnç bulunmaktadır ve düşük çıkış empedansı sağlamaz. (Yuce 2017)’de tasarlanan süzgeç devresinde bir anahtar bulunmaktadır ve tüm süzgeç çıkışları düşük empedansa sahip

değildir. (Horng ve diğ. 2012)'de sunulan süzgeçlerde düşük çıkış empedansı özelliği yoktur. (Sladok ve diğ. 2017)'de önerilen süzgeç standart DDCC içermezken, (Temizyurek ve Myderrizi 2004<sup>a</sup>)'da tasarlanan devrede yüzen pasif devre elemanları bulunmaktadır. Ayrıca düşük giriş ve yüksek çıkış empedansları özelliğine sahip değildir. Tasarlanan süzgeç devresi eviren AP çıkışa sahipken (Chiu ve Horng 2007, Horng 2008)'de evirmeyen AP çıkışa sahiptir. Literatürde bulunan benzer devreler ile tez kapsamında tasarlanan devrenin çeşitli yönlerden karşılaştırılması Tablo 4.1'de verilmiştir.

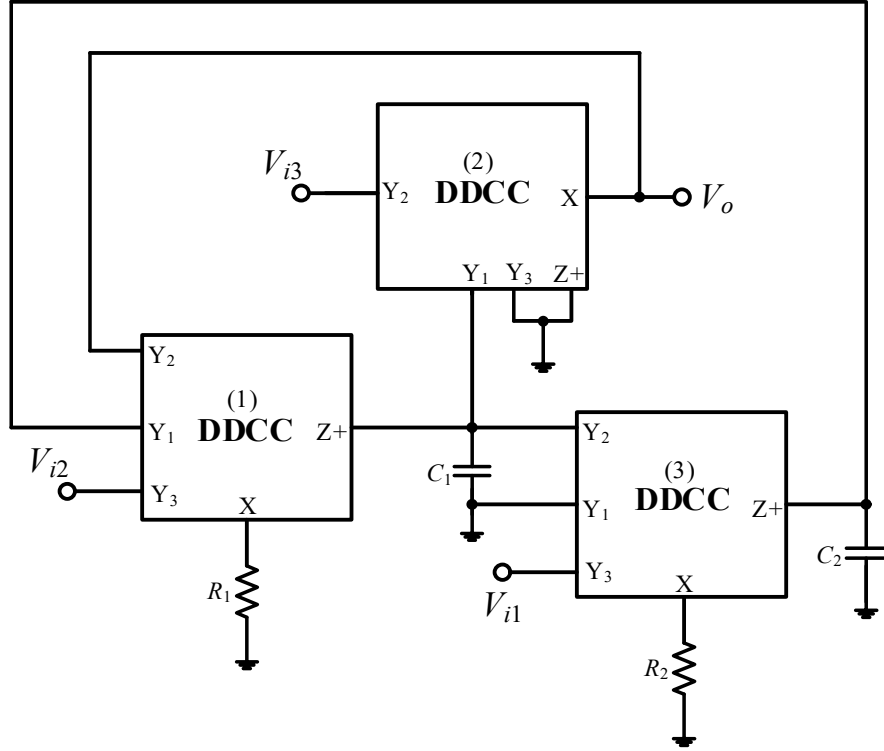
**Tablo 4.1:** Şekil 4.1'de tasarlanan devre ile literatürdeki benzer çalışmaların karşılaştırma tablosu.

Referanslar	Aktif Blok Sayısı	Topraklanmış (Yüzen) Kondansatör Sayısı	Topraklanmış (Yüzen) Direnç Sayısı	Teknoloji	Güç Tüketimi (mW)	Besleme Gerilimi (V)	Eşlenik	Evrensellik	Rezonans Frekansı (MHz)	Yüksek Giriş Empedansı	Düşük Çıkış Empedansı
Chang ve Chen 2003	2	2 (0)	1 (1)	0.5 $\mu\text{m}$	*	$\pm 3.3$	X	✓	0.159	X	X
Chen 2007	2	2 (0)	1 (2)	0.25 $\mu\text{m}$	*	$\pm 1.25$	✓	✓	1	X	X
Chen ve Wu 2007	2	1 (1)	2 (1)	0.25 $\mu\text{m}$	*	$\pm 1.25$	X	✓	1	X	X
Chen 2009	2	2 (0)	0 (3)	0.25 $\mu\text{m}$	*	$\pm 1.25$	✓	✓	1	X	X
Chen 2010	2	2 (0)	2 (0)	0.35 $\mu\text{m}$	0.52	$\pm 1.65$	X	X	1	✓	X
Chen ve diğ. 2012 <sup>b</sup>	2	2 (0)	3 (0)	0.18 $\mu\text{m}$	*	$\pm 0.9$	X	X	1	✓	X
Chen ve diğ. 2012 <sup>c</sup>	2	2 (0)	1 (1)	0.18 $\mu\text{m}$	*	$\pm 0.9$	X	✓	1	X	X
Chiu ve diğ. 1996	2	2 (0)	3 (0)	CD4007	*	$\pm 7.5$	X	X	0.0168	✓	X
Chiu ve Horng 2007	3	2 (0)	2 (0)	0.35 $\mu\text{m}$	*	$\pm 1.65$	X	✓	0.15	✓	✓
Chiu ve Horng 2012 <sup>a</sup>	1	2 (0)	1 (2)	0.18 $\mu\text{m}$	*	$\pm 1.25$	✓	X	15.9	X	X
Chiu ve Horng 2012 <sup>b</sup>	3	2 (0)	2 (1)	0.25 $\mu\text{m}$	*	$\pm 1.25$	X	✓	1.59	✓	X
Horng ve diğ. 2004	2	2 (0)	2 (0)	1.2 $\mu\text{m}$	*	$\pm 3.3$	X	X	0.318	✓	X
Horng 2008	3	2 (0)	2 (0)	0.18 $\mu\text{m}$	*	$\pm 1.25$	X	✓	1.59	✓	✓
Horng ve Chiu 2011	3	2 (0)	1 (1)	0.18 $\mu\text{m}$	*	$\pm 1.25$	X	✓	15.91	✓	X
Horng ve diğ. 2012	3	2 (0)	4 (0)	0.18 $\mu\text{m}$	4.262	$\pm 1.25$	✓	✓	1.59	✓	X
Ibrahim ve diğ. 2005	1	1 (1)	1 (2)	0.5 $\mu\text{m}$	*	$\pm 2.5$	X	X	11.25	✓	X
Kumngern ve diğ. 2013	3	2 (0)	2 (0)	0.18 $\mu\text{m}$	0.03	$\pm 0.5$	X	✓	0.001	✓	✓
Lee 2017	3	2 (0)	4 (1)	0.18 $\mu\text{m}$	*	$\pm 0.9$	X	✓	1.59	X	X
Maheshwari ve diğ. 2011	2	2 (0)	1 (1)	0.5 $\mu\text{m}$	*	$\pm 2$	✓	X	0.075	✓	✓
Maheshwari ve Gangwar 2011	3	0 (2)	2 (0)	0.5 $\mu\text{m}$	*	$\pm 2.5$	X	✓	1	X	X
Sharma ve Sharma 2016	3	0 (2)	2 (0)	0.045 $\mu\text{m}$	*	$\pm 1$	*	✓	**	X	✓
Slodak ve diğ. 2017	3	2 (0)	3 (0)	?????	*	$\pm 1.65$	✓	✓	0.1	✓	X
Temizyurek ve Myderrizi 2004	2	0 (2)	2 (0)	0.5 $\mu\text{m}$	*	$\pm 2.5$	X	✓	11.25	X	X
Tran ve diğ. 2015	3	2 (0)	3 (0)	0.35 $\mu\text{m}$	*	$\pm 1.65$	✓	✓	1	✓	X
Yuce 2017	3	2 (0)	2 (0)	0.13 $\mu\text{m}$	2.62	$\pm 0.75$	X	✓	3.18	✓	X
Şekil 4.1	3	2 (0)	2 (0)	0.13 $\mu\text{m}$	3.65	$\pm 0.75$	X	✓	6.37	✓	✓

\* : Erişilemeyen \*\* : UCC N1 0520

#### 4.1 Tasarlanan Evrensel Süzgeç Devresi

Üç adet DDCC+'dan ve sadece topraklanmış pasif elemanlardan oluşan tek çıkışlı üç girişli VM'li önerilen evrensel süzgeç devresi (Unuk ve Yüce 2021<sup>a</sup>) Şekil 4.1'de verilmiştir. Önerilen süzgeç üç yüksek giriş empedansına ve bir düşük çıkış empedansına sahiptir. Uygun giriş gerilimlerinin seçilmesiyle LP, BP, NF, AP ve HP süzgeç cevaplarının tamamı sağlamaktadır.



Şekil 4.1: Önerilen gerilim modlu evrensel süzgeç.

Önerilen devrenin Denklem (4.1)'de çıkış karakteristiği gösterilmiştir. Giriş işaretlerinin durumuna göre çıkış işareti aşağıdaki süzgeç tiplerini sağlamaktadır.

$$V_o = \frac{V_{i1} \frac{1}{R_1 R_2 C_1 C_2} + V_{i2} s \frac{1}{R_1 C_1} - V_{i3} \left( s^2 + \frac{1}{R_1 R_2 C_1 C_2} \right)}{s^2 + s \frac{1}{R_1 C_1} + \frac{1}{R_1 R_2 C_1 C_2}} \quad (4.1)$$

1. Eğer  $V_{i1} = V_{in}$  ve  $V_{i2} = V_{i3} = 0$  seçilirse, çıkışta terslemeyen LP süzgeç cevabı görülmektedir.

2. Eğer  $V_{i2} = V_{in}$  ve  $V_{i1} = V_{i3} = 0$  seçilirse, çıkışta terslemeyen BP süzgeç cevabı görülmektedir.
3. Eğer  $V_{i3} = V_{in}$  ve  $V_{i1} = V_{i2} = 0$  seçilirse, çıkışta tersleyen NF cevabı görülmektedir.
4. Eğer  $V_{i3} = V_{i2} = V_{in}$  ve  $V_{i1} = 0$  seçilirse, çıkışta tersleyen AP süzgeç cevabı görülmektedir.
5. Eğer  $V_{i3} = V_{i1} = V_{in}$  ve  $V_{i2} = 0$  seçilirse, çıkışta tersleyen HP süzgeç cevabı görülmektedir.

İdeal şartlarda birim kazançla göre tasarlanan devrenin rezonans ( $f_0$ ) frekansı ve kalite faktörü sırasıyla aşağıda hesaplanmıştır.

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{1}{R_1 R_2 C_1 C_2}} \quad (4.2)$$

$$Q = \sqrt{\frac{R_1 C_1}{R_2 C_2}} \quad (4.3)$$

İdeal olmayan kazançlar dikkate alındığında çıkış cevabı aşağıda verilmiştir.

$$V_o = \frac{V_{i1} \frac{\alpha_1 \alpha_3 \beta_1 \beta_2 \delta_3}{R_1 R_2 C_1 C_2} + V_{i2} s \frac{\alpha_1 \beta_2 \delta_1}{R_1 C_1} - V_{i3} \eta_2 \left( s^2 + \frac{\alpha_1 \alpha_3 \beta_1 \eta_3}{R_1 R_2 C_1 C_2} \right)}{s^2 + s \frac{\alpha_1 \beta_2 \eta_1}{R_1 C_1} + \frac{\alpha_1 \alpha_3 \beta_1 \eta_3}{R_1 R_2 C_1 C_2}} \quad (4.4)$$

Benzer şekilde ideal olmayan kazançlar dikkate alındığında rezonans frekansı ve kalite faktörü sırasıyla aşağıdaki gibi ifade edilmektedir.

$$f_{0n} = \frac{1}{2\pi} \sqrt{\frac{\alpha_1 \alpha_3 \beta_1 \eta_3}{R_1 R_2 C_1 C_2}} \quad (4.5)$$

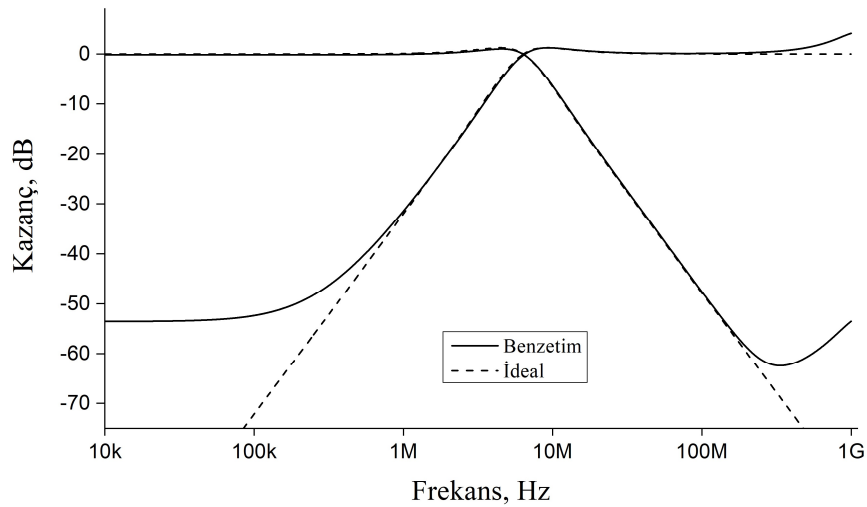
$$Q_n = \frac{1}{\beta_2 \eta_1} \sqrt{\frac{\alpha_3 \beta_1 \eta_3 R_1 C_1}{\alpha_1 R_2 C_2}} \quad (4.6)$$

Denklem (4.5) ve (4.6)'dan görüldüğü gibi ideal olmayan kazançlar çarpma/bölme şeklindedir. Böylece,  $f_0$  ve  $Q$ , elektronik olarak kazancı ayarlanabilen DDCC+'lar kullanılarak ayarlanabilir.

## 4.2 Benzetim ve Deneysel Sonuçları

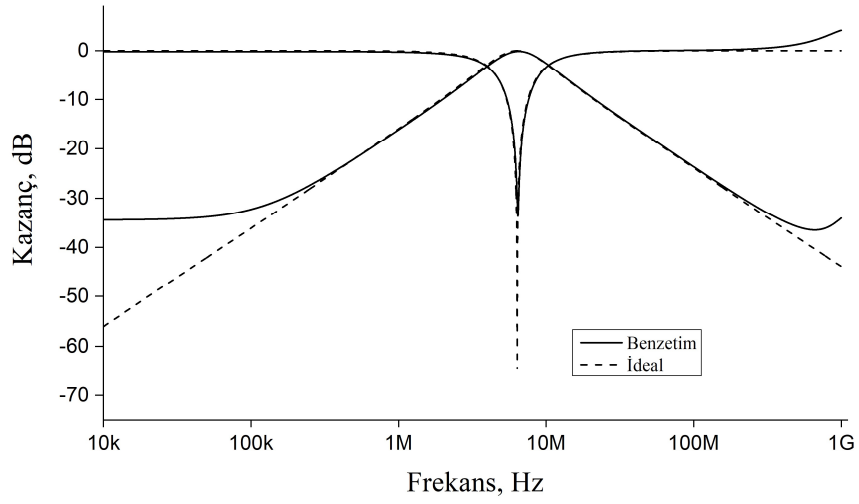
Tasarlanan devrenin SPICE programında benzetimi yapılmıştır. Benzetim sırasında 0.13  $\mu\text{m}$  IBM CMOS transistor parametreleri (Yuce 2017) kullanılmıştır. Tüm NMOS ve PMOS transistörlerin en boy oranları sırasıyla 13  $\mu\text{m}$  / 0.52  $\mu\text{m}$  ve 39  $\mu\text{m}$  / 0.52  $\mu\text{m}$  olarak seçilmiştir.  $V_{DD} = -V_{SS} = 0.75$  V, öngerilimleme gerilimi  $V_B = 0.23$  V,  $R_1 = R_2 = 250 \Omega$  (X ucundaki parazitik direnci  $R_X \cong 35 \Omega$  dahil edilmiştir),  $C_1 = C_2 = 100$  pF olarak seçilmiştir. Önerilen süzgecin toplam güç tüketimi 3.65 mW'dir.

Şekil 4.2 ve Şekil 4.3'te önerilen devrenin sırasıyla LP, HP, NF ve BP süzgeç cevaplarının frekans ortamı analiz sonuçları gösterilmektedir. Şekil 4.4'te tasarlanan devrenin AP süzgecine ait çıkışının faz ve kazanç grafiği verilmiştir. Zaman ortamı analizi sırasında LP süzgeç çıkışı için 50 mV genlikli 3 MHz frekansa sahip giriş uygulanırken HP süzgeç karakteristiği için 50 mV genlikli 12 MHz frekansa sahip giriş işareti uygulanmıştır ve elde edilen benzetim sonucu Şekil 4.5'te verilmiştir. Tasarlanan devrenin BP süzgeç karakteristiği için 50 mV ve 6.37 MHz frekansa sahip giriş işareti için zaman ortamı giriş ve çıkış işaretleri Şekil 4.6'da verilmiştir. AP süzgeç karakteristiği için 25 mV genlikli 6.37 MHz frekansa sahip giriş işareti için zaman ortamı giriş ve çıkış işaretlerine ait benzetim sonuçları Şekil 4.7'de verilmiştir. Evrensel Süzgecin LP, AP ve BP süzgeç çıkışları için yapılan THD analiz sonuçları Şekil 4.8'de gösterilmiştir.

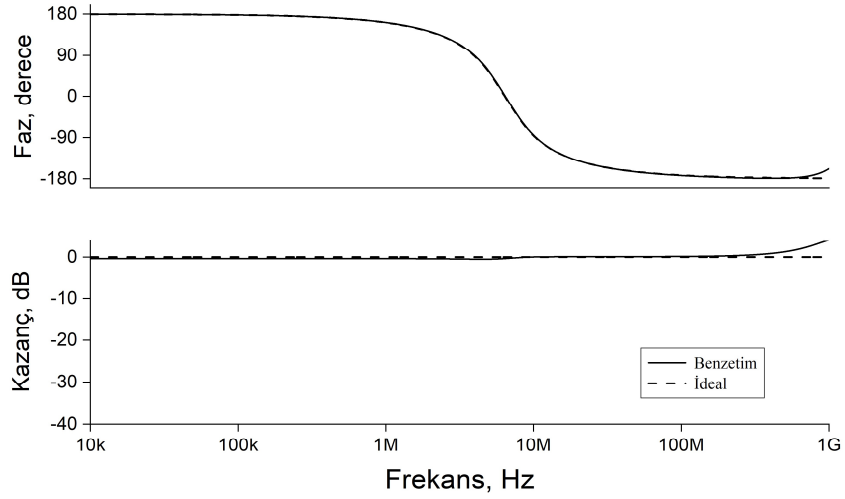


Şekil 4.2: Alçak geçiren ve yüksek geçiren süzgeçlerin frekans ortamı analizi.

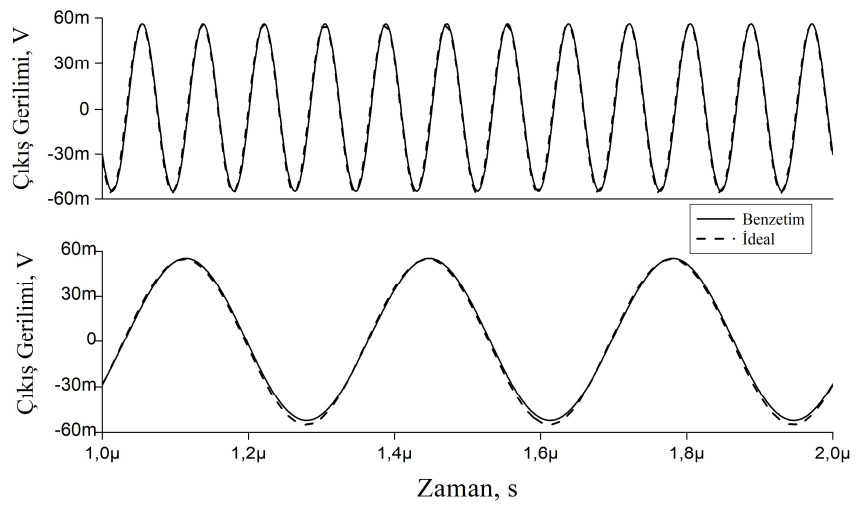




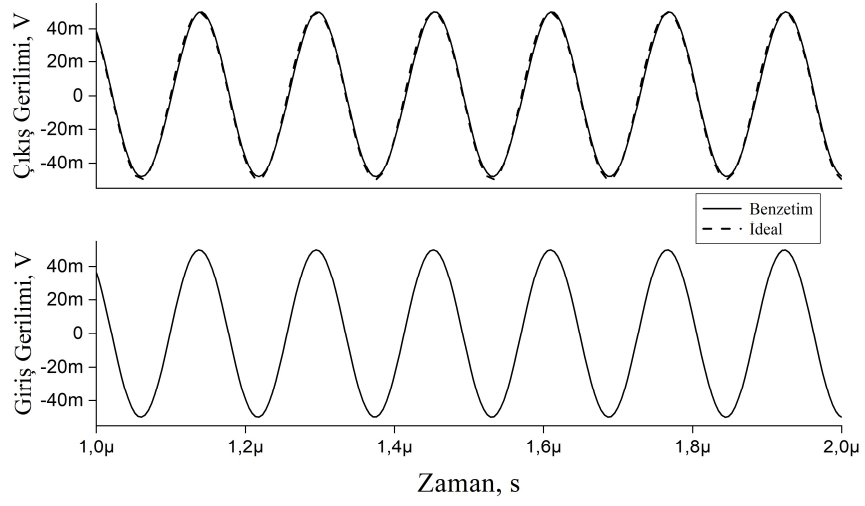
Şekil 4.3: Çentik ve bant geçiren süzgeçlerin frekans ortamı analizi.



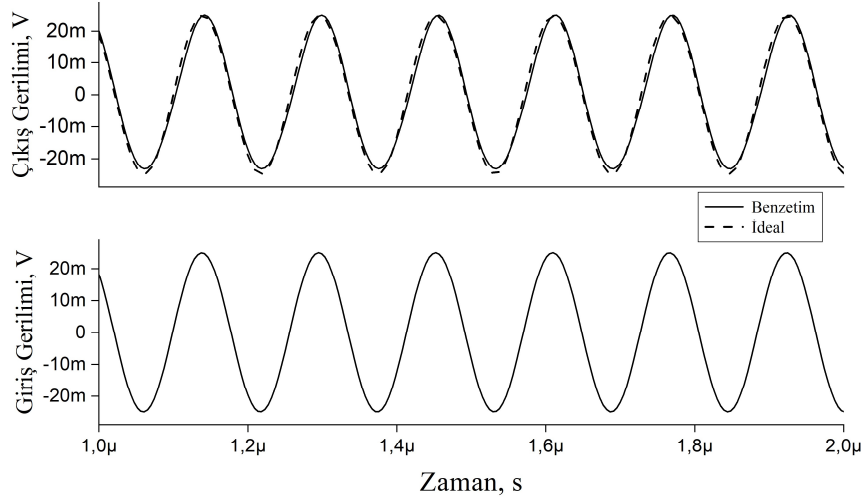
Şekil 4.4: Tüm geçiren süzgecin frekans ortamı analizi.



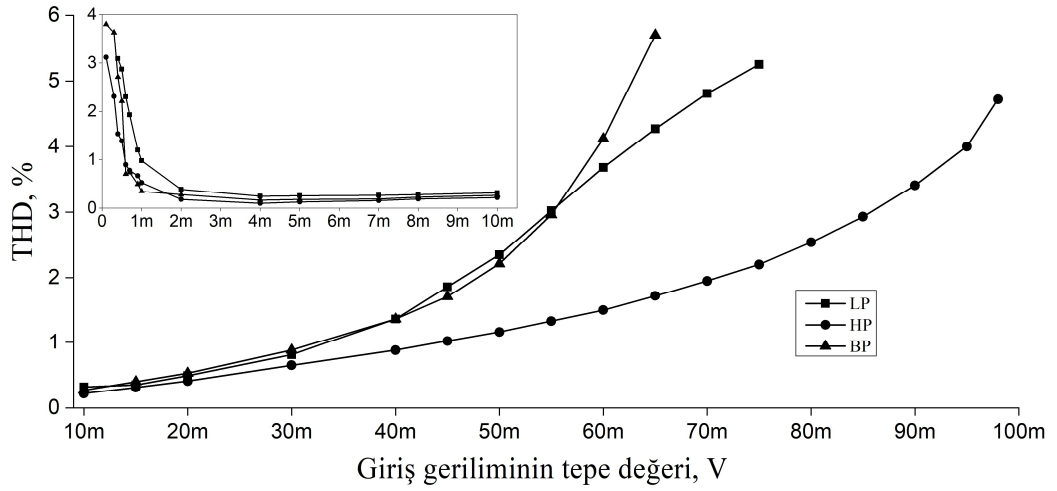
Şekil 4.5: Yüksek geçiren ve alçak geçiren süzgeçlerin zaman ortamı analizi.



Şekil 4.6: Bant geçiren süzgecin zaman ortamı analizi.

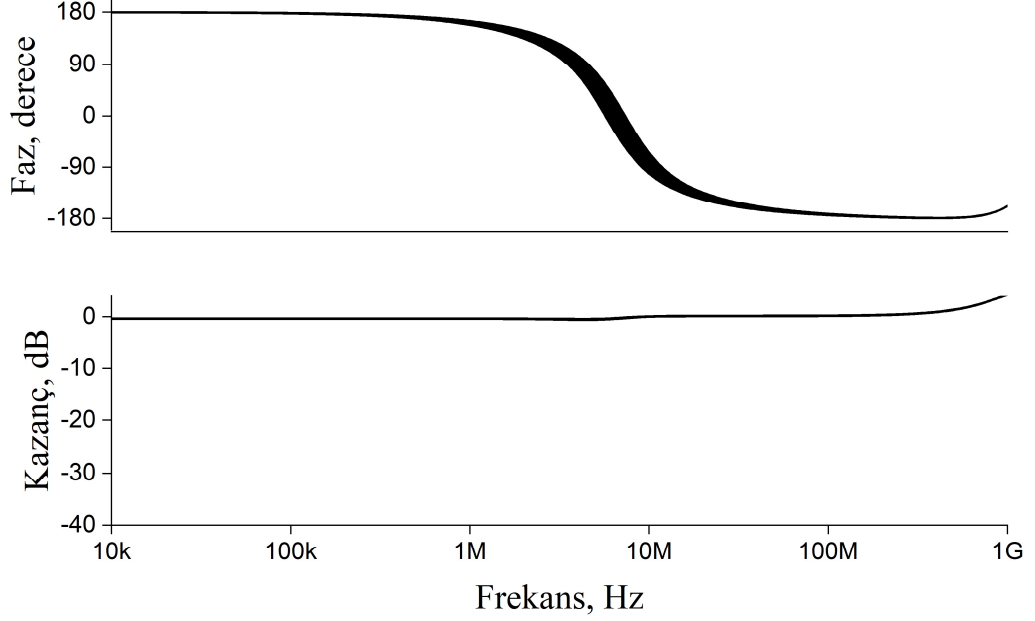


Şekil 4.7: Tüm geçiren süzgecin zaman ortamı analizi.

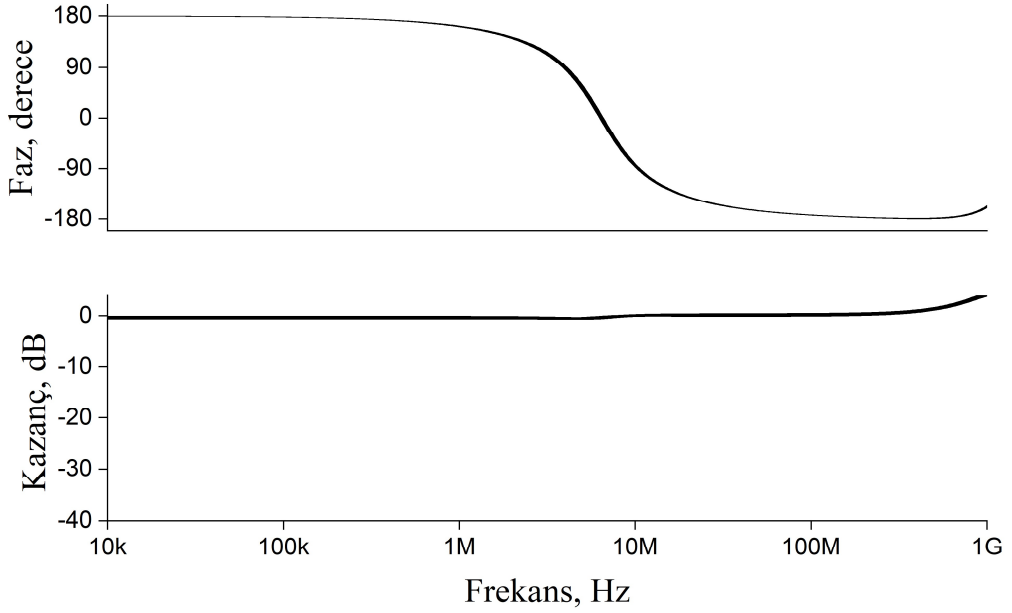


Şekil 4.8: Alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlerine ait toplam harmonik bozulma değerleri.

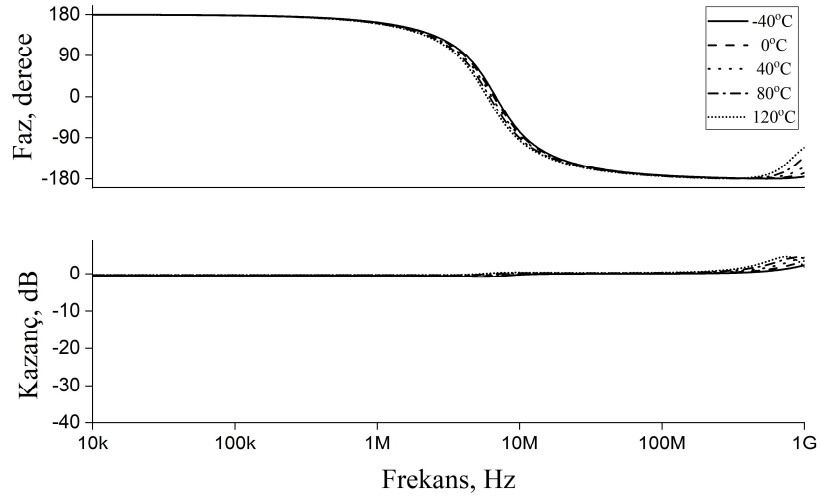
Pasif elemanların değerlerinin tekdüze olarak %10 ve MOS transistörlerin eşik gerilimlerinin %2 tolerans dâhilindeki değişimleri ile AP süzgecin 100 kez işleme alınmış MC analizi sonuçları sırasıyla Şekil 4.9 ve Şekil 4.10'da verilmiştir. AP süzgecin -40 °C'den 120 °C'ye kadar sıcaklık değişimindeki ve besleme gerilimindeki değişimlere ait frekans cevapları sırasıyla Şekil 4.11 ve Şekil 4.12'de verilmiştir. AP süzgece ait gürültü analizinin benzetim sonuçları Şekil 4.13'te gösterilmiştir.



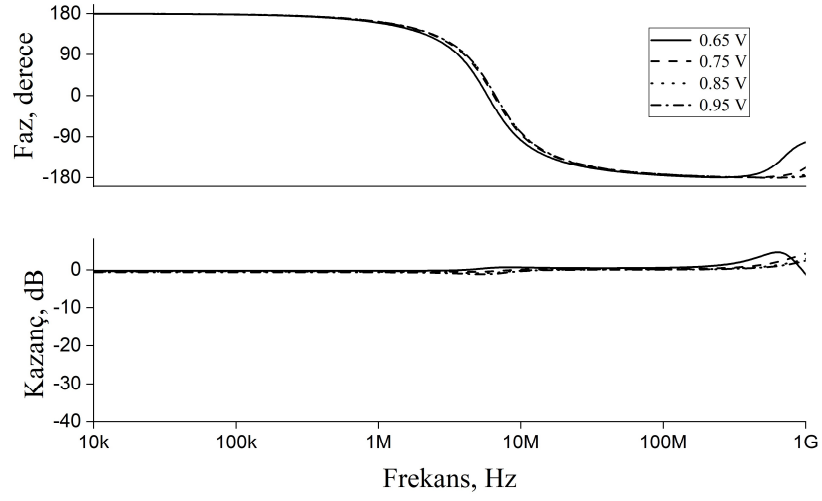
Şekil 4.9: Tüm geçiren süzgece ait Monte Carlo analizi.



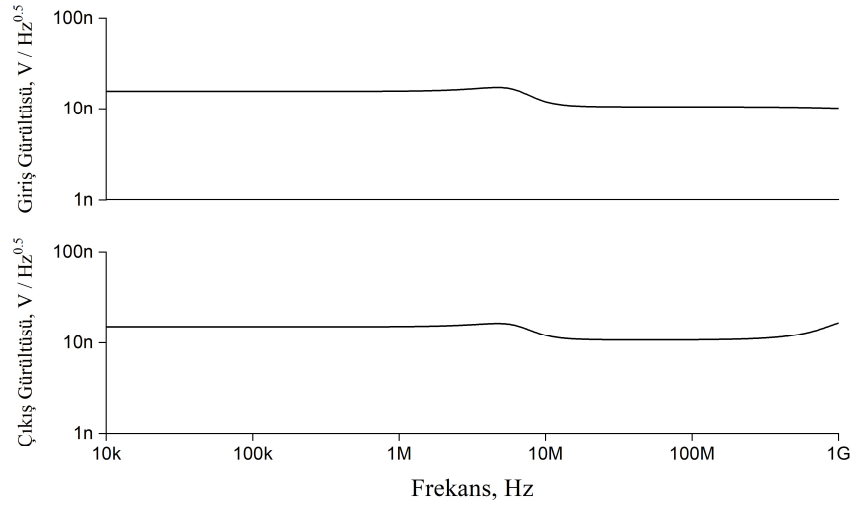
Şekil 4.10: Tüm geçiren süzgece ait Monte Carlo analizi.



Şekil 4.11: Farklı sıcaklıklardaki tüm geçiren süzgecin frekans cevapları.

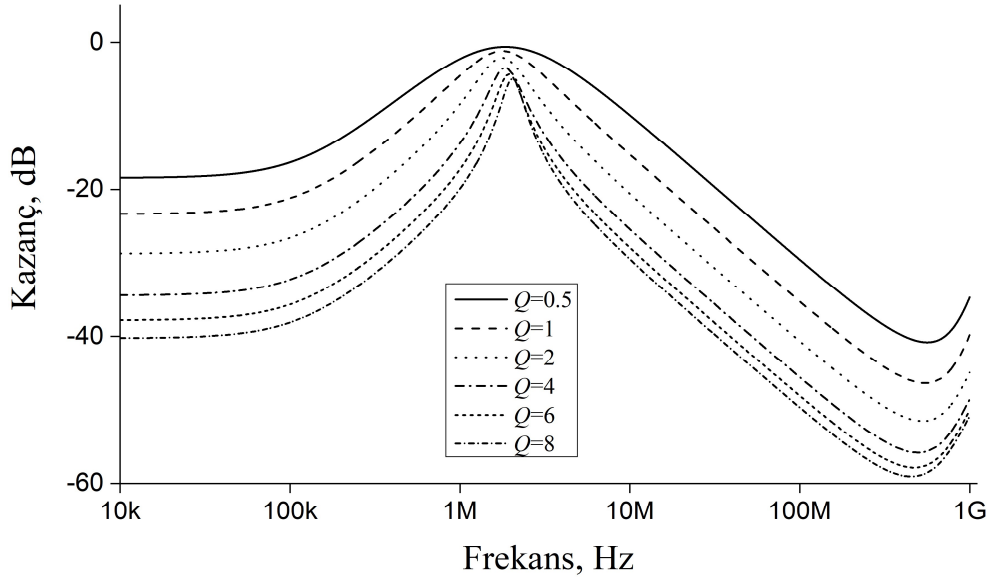


Şekil 4.12: Farklı besleme gerilimleri tüm geçiren süzgecin frekans cevapları.

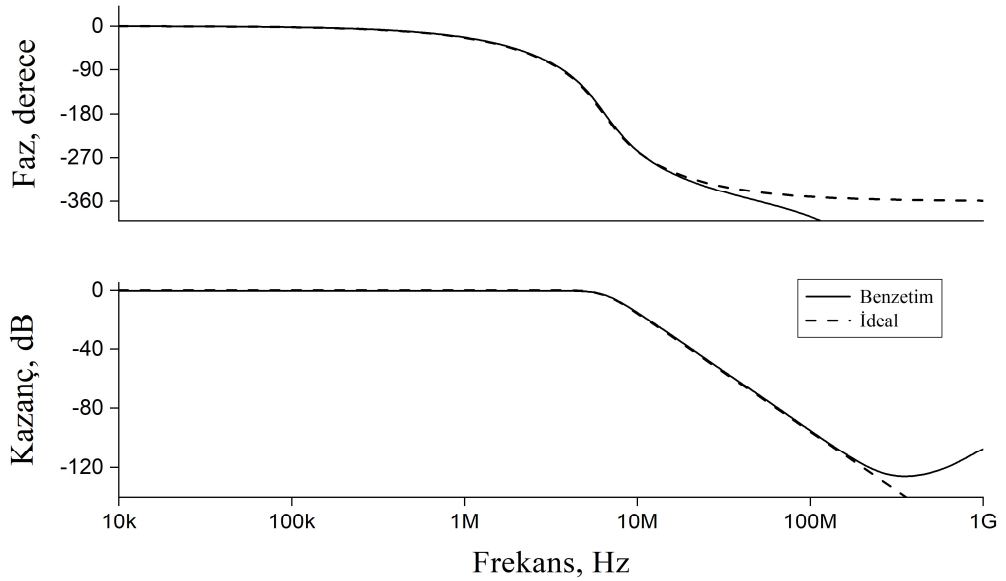


Şekil 4.13: Tüm geçiren süzgecine ait gürültü analizi.

Önerilen BP süzgecin ortogonal kontrolü Şekil 4.14'te gösterilmektedir. Pasif devre elemanları  $C_1 = C_2 = 100$  pF,  $R_1 = 0.5$  k $\Omega$  ve  $R_2 = 2$  k $\Omega$  iken  $Q = 0.5$ , kondansatör deęerleri aynı  $R_1 = 1$  k $\Omega$  ve  $R_2 = 1$  k $\Omega$  iken  $Q = 1$ ,  $R_1 = 2$  k $\Omega$  ve  $R_2 = 0.5$  k $\Omega$  iken  $Q = 2$ ,  $R_1 = 4$  k $\Omega$  ve  $R_2 = 0.25$  k $\Omega$  iken  $Q = 4$ ,  $R_1 = 6$  k $\Omega$  ve  $R_2 = 0.166$  k $\Omega$  iken  $Q = 6$ ,  $R_1 = 6$  k $\Omega$  ve  $R_2 = 0.125$  k $\Omega$  iken  $Q = 8$  olarak seçilmektedir. Ayrıca  $f_0$  yaklaşık olarak ( $R_X$  direnci dahil edilmiştir) 1.59 MHz olarak elde edilir. İki tane LP süzgecin kaskad bağlanmasıyla 4. dereceden süzgeç elde edilmiştir. Bu süzgecin frekans ortamı analizi Şekil 4.15'te verilmiştir.

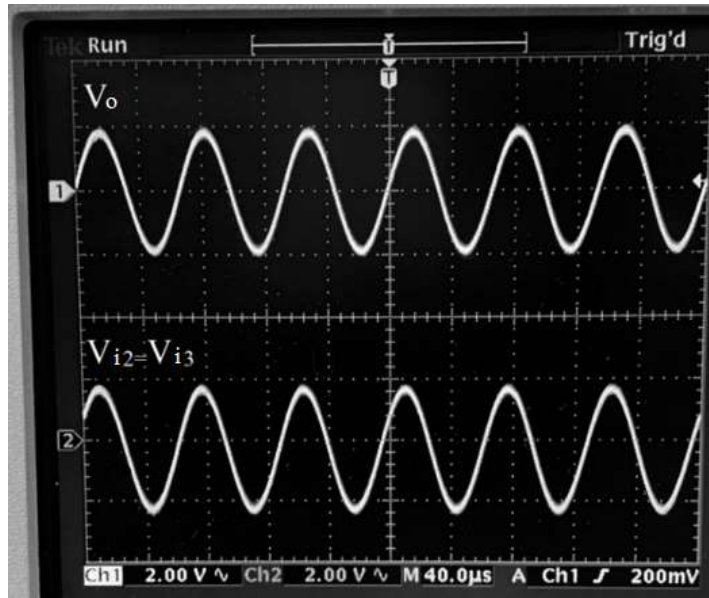


Şekil 4.14: Önerilen bant geçiren süzgeç için ortogonal kontrol.



Şekil 4.15: 4. dereceden alçak geçiren süzgecin frekans ortamı analizi.

Teorik çalışmayı doğrulamak amacıyla Şekil 2.4'te gösterilen DDCC+ devresi ile Şekil 4.1'deki VM tasarlanan evrensel süzgecin deneyi yapılmıştır. Bu deneyde kullanılan AD844'ler için besleme gerilimleri  $\pm 10$  V ve kullanılan dirençler  $R_a = R_b = R_c = 2.2$  k $\Omega$  olarak seçilmiştir. Şekil 4.1'deki devre elemanlarının değerleri  $f_0 \cong 15$  kHz ve  $Q = 1$  olacak şekilde  $R_1 = R_2 = 10$  k $\Omega$  ve  $C_1 = C_2 = 1$  nF seçilmiştir. Devredeki  $V_{i1}$  giriş referans gerilime bağlanarak  $V_{i2}$  ve  $V_{i3}$  girişlerine ise 15 kHz ve 2 V tepe değerine sahip sinüzoidal bir giriş gerilimi uygulanmış ve AP cevap elde edilmiştir. Uygulanan giriş gerilimi ve devreden elde edilen çıkış gerilimi Şekil 4.16'da gösterilmiştir.



Şekil 4.16: Tüm geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.

## 5. MO-DVCC TABANLI İKİNCİ DERECEDEDEN KARIŞIK MOD EVRENSEL SÜZGEÇ TASARIMI

Literatürde, DVCC tabanlı ikinci dereceden süzgeç devreleri incelendiğinde genel olarak VM süzgeçler (Horng ve Jhao 2013, Arif ve diğ. 2014<sup>a</sup>, Abaci ve Yuce 2016, Choubey ve diğ. 2016, Horng ve diğ. 2012, Imran ve diğ. 2014, Ismail ve diğ. 2014<sup>a</sup>, Ismail ve diğ. 2014<sup>b</sup>, Yuce 2009, Alpaslan ve Yuce 2020, Horng ve diğ. 2006<sup>a</sup>, Chiu ve diğ. 2010, Horng ve diğ. 2006<sup>b</sup>, Chen ve Shen 2007, Maheshwari ve diğ. 2010, Horng 2010<sup>b</sup>, Tangsrirat ve Channumsin 2011, Horng 2012, Mohan ve Maheshwari 2012, Ibrahim ve diğ. 2006, Chen ve Wu 2007, Minaei ve Yuce 2010<sup>a</sup>, Hassan ve Mahmoud 2010, Yuce 2010, Yucel ve Yuce 2017, Sladok ve diğ. 2017, Khateb ve diğ. 2011, Soliman 2008, Yuce ve diğ. 2016), CM süzgeçler (Temizyurek ve Myderrizi 2004<sup>a</sup>, Abaci ve Yuce 2017<sup>a</sup>, Chaturvedi ve Maheshwari 2011, Minaei 2003, Arif ve diğ. 2014<sup>b</sup>) ve MM süzgeçler (Minaei ve Ibrahim 2009, Soliman 2011, Tsukutani ve Yabuki 2018, Feseehuddin ve diğ. 2021) üzerine çalışmalar yapıldığı görülmektedir. MM süzgeçler VM ve CM süzgeçlerle karşılaştırıldığında gerilim ve akım cevapları yanı sıra TIM ve TAM cevaplarını da verdikleri görülmektedir. Literatürde verilen (Horng ve Jhao 2013, Arif ve diğ. 2014,<sup>a</sup> Abaci ve Yuce 2016, Choubey ve diğ. 2016, Horng ve diğ. 2012, Imran ve diğ. 2014, Ismail ve diğ. 2014<sup>a</sup>, Ismail ve diğ. 2014<sup>b</sup>, Maheshwari, 2008<sup>c</sup>, Yuce 2009, Alpaslan ve Yuce 2020, Horng ve diğ. 2006<sup>a</sup>, Chiu ve diğ. 2010, Horng ve diğ. 2006<sup>b</sup>, Chen ve Shen 2007, Maheshwari ve diğ. 2010, Horng 2010<sup>b</sup>, Tangsrirat ve Channumsin 2011, Horng 2012, Mohan ve Maheshwari 2012, Ibrahim ve diğ. 2006, Chen ve Wu 2007, Minaei ve Yuce 2010<sup>a</sup>, Hassan ve Mahmoud 2010, Yuce 2010, Yucel ve Yuce 2017, Sladok ve diğ. 2017, Khateb ve diğ. 2011, Soliman 2008, Yuce ve diğ. 2016, Temizyurek ve Myderrizi 2004<sup>a</sup>, Abaci ve Yuce 2017<sup>a</sup>, Chaturvedi ve Maheshwari 2011, Minaei 2003, Arif ve diğ. 2014<sup>b</sup>, Minaei ve Ibrahim 2009, Soliman 2011, Tsukutani ve Yabuki 2018, Feseehuddin ve diğ. 2021) ikinci dereceden süzgeçlerin bazı dezavantajları bulunmaktadır. (Horng ve Jhao 2013, Arif ve diğ. 2014,<sup>a</sup> Abaci ve Yuce 2016, Choubey ve diğ. 2016, Horng ve diğ. 2012, Imran ve diğ. 2014, Ismail ve diğ. 2014<sup>a</sup>, Ismail ve diğ. 2014<sup>b</sup>, Maheshwari, 2008<sup>c</sup>, Yuce 2009, Alpaslan ve Yuce 2020, Horng ve diğ. 2006<sup>a</sup>, Chiu ve diğ. 2010, Horng ve diğ. 2006<sup>b</sup>, Chen ve Shen 2007, Maheshwari ve diğ. 2010, Horng 2010<sup>b</sup>, Tangsrirat ve Channumsin 2011, Horng 2012, Mohan ve Maheshwari 2012, Ibrahim ve diğ. 2006,

Chen ve Wu 2007, Minaei ve Yuce 2010<sup>a</sup>, Hassan ve Mahmoud 2010, Yuce 2010, Yucel ve Yuce 2017, Sladok ve diğ. 2017, Khateb ve diğ. 2011, Soliman 2008, Yuce ve diğ. 2016)'de verilen süzgeçler sadece gerilim işareti işleyebilirken (Temizyurek ve Myderrizi 2004<sup>a</sup>, Abaci ve Yuce 2017<sup>a</sup>, Chaturvedi ve Maheshwari 2011, Minaei 2003, Arif ve diğ. 2014<sup>b</sup>) sadece akım işaretlerini işleyebilmektedir. (Horng ve Jhao 2013, Arif ve diğ. 2014,<sup>a</sup> Abaci ve Yuce 2016, Choubey ve diğ. 2016, Horng ve diğ. 2012, Imran ve diğ 2014, Ismail ve diğ. 2014<sup>a</sup>, Ismail ve diğ. 2014<sup>b</sup>, Maheshwari, 2008<sup>c</sup>, Yuce 2009, Alpaslan ve Yuce 2020, Horng ve diğ. 2006<sup>a</sup>, Chiu ve diğ. 2010, Horng ve diğ. 2006<sup>b</sup>, Chen ve Shen 2007, Maheshwari ve diğ. 2010, Horng 2010<sup>b</sup>, Tangsrirat ve Channumsin 2011, Horng 2012, Mohan ve Maheshwari 2012, Ibrahim ve diğ. 2006, Chen ve Wu 2007, Temizyurek ve Myderrizi 2004<sup>a</sup>, Abaci ve Yuce 2017<sup>a</sup>, Chaturvedi ve Maheshwari 2011, Minaei 2003, Fesehuddin ve diğ. 2021)'de sunulan devre yapılarında yüzen pasif eleman bulundururken, (Hassan ve Mahmoud 2010, Soliman 2011, Tsukutani ve Yabuki 2018)'de önerilen devrelerde ise üçten fazla DVCC kullanılmıştır. (Temizyurek ve Myderrizi 2004<sup>a</sup>, Abaci ve Yuce 2017<sup>a</sup>, Chaturvedi ve Maheshwari 2011, Minaei 2003, Arif ve diğ. 2014<sup>b</sup>, Minaei ve Ibrahim 2009, Soliman 2011, Tsukutani ve Yabuki 2018, Fesehuddin ve diğ. 2021)'de önerilen çalışmaların hiçbirinde hem eviren hem de evirmeyen CM LP, HP ve BP çıkışları alınamamaktadır. (Horng 2012, Ibrahim ve diğ. 2006)'daki süzgeç devrelerinde üç kondansatör kullanılmasından dolayı IC teknolojisinde geniş yer kaplamalarına neden olmaktadır. (Imran ve diğ. 2014, Ibrahim ve diğ. 2006, Chen ve Wu 2007, Yuce 2010, Minaei 2003) gibi bazı tasarımlarda DVCC'nin X terminali doğrudan bağlı bir kondansatör bulunmaktadır, bu durum ise devrelerin yüksek frekans performansını sınırlandırmaktadır (Shah ve Malik 2006). (Soliman 2011)'de tanıtılan süzgeç devresi ise sadece geçiş empedansı çıkışlarını sağlayabilmektedir.

Tezin bu bölümünde MO-DVCC tabanlı bir ikinci dereceden MM analog süzgeç devresi (Unuk ve Yüce 2022) tanıtılmaktadır. Önerilen MM süzgecin tasarımında sadece bir ucu topraklanmış pasif elemanlar kullanıldığından IC teknolojisine uygundur. Önerilen devre herhangi bir pasif eleman eşleşmesine ihtiyaç duymadan LP, HP ve BP gibi standart gerilim çıkışlarını aynı anda sağlayabilir. LP, HP ve BP olmak üzere üçü eviren üçü evirmeyen akım çıkışı verebilmektedir. Bu akım çıkışların çeşitli kombinasyonlarıyla NF ve AP süzgeç cevapları elde edilebilmektedir. Önerilen süzgeç devresinde LP, HP ve BP TIM yanıtları ve HP, BP TAM yanıtları



elde edilebilmektedir. Literatürde bulunan benzer devreler ile tez kapsamında tasarlanan devrenin çeşitli yönlerden karşılaştırılması Tablo 5.1’de verilmiştir.

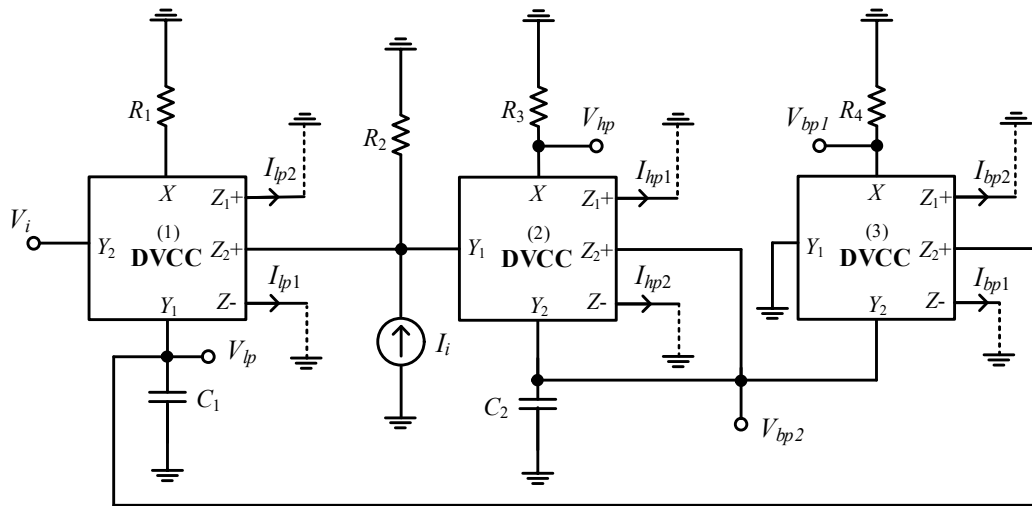
**Tablo 5.1:** Şekil 5.1’de tasarlanan devre ile literatürdeki benzer çalışmaların karşılaştırma tablosu.

Referanslar	Aktif Blok Sayısı	Topraklanmış (Yüzen) Kondansatör Sayısı	Topraklanmış (Yüzen) Direnç Sayısı	Teknoloji	Güç Tüketimi (mW)	Besleme Gerilimi (V)	Evensellik	Cascadability	Dinamik aralık	CM eviren ve evirmeyen çıkış sağlama
Faseehuddin ve diğ. 2021 (Şekil 3)	2	2 (2)	2 (3)	0.18 $\mu\text{m}$	4.28	$\pm 1$	✓	✓	15 dB	X
Minaei ve Ibrahim 2009 (Şekil 3)	3	2 (2)	3 (3)	0.35 $\mu\text{m}$	5.76	$\pm 1.5$	✓	✓	*	X
Soliman 2011 (Şekil 3)	4	2 (2)	4 (4)	0.5 $\mu\text{m}$	*	$\pm 1.5$	X	✓	*	X
Tsukutani ve Yabuki 2018 (Şekil 2)	5	2 (2)	5 (5)	0.5 $\mu\text{m}$	0.471	$\pm 0.8$	✓	✓	*	X
Şekil 5.1	3	2 (2)	4 (4)	0.18 $\mu\text{m}$	8.47	$\pm 1.25$	✓	✓	40 dB	✓

\* : Erişilemeyen

## 5.1 Tasarlanan Karışık Mod Süzgeç Devresi

Tasarlanan MO-DVCC tabanlı ikinci derece MM süzgeç devresi Şekil 5.1’de verilmiştir. Şekil 5.1’de verilen devreye sadece  $V_i$  işareti uygulandığında tasarlanan süzgeç VM olarak çalışmaktadır ( $I_i$  açık devredir).



**Şekil 5.1:** Tasarlanan karışık mod süzgeç devresi.

VM sırasıyla LP, eviren HP, evirmeyen BP ve eviren BP süzgeçlere ait çıkışların transfer fonksiyonları sırasıyla aşağıda verilmiştir.

$$\frac{V_{lp}}{V_i} = \frac{R_2}{C_1 C_2 R_1 R_3 R_4 D(s)} \quad (5.1)$$

$$\frac{V_{hp}}{V_i} = -\frac{R_2}{R_1} \times \frac{s^2}{D(s)} \quad (5.2)$$

$$\frac{V_{bp1}}{V_i} = \frac{R_2}{R_1} \times \frac{s}{D(s)} \quad (5.3)$$

$$\frac{V_{bp2}}{V_i} = -\frac{R_2}{R_1} \times \frac{1}{D(s)} \quad (5.4)$$

Yukarıdaki denklemlerdeki  $D(s)$  ifadesi aşağıda gösterilmiştir.

$$D(s) = s^2 + s \frac{1}{C_2 R_3} + \frac{R_2}{C_1 C_2 R_1 R_3 R_4} \quad (5.5)$$

CM çalışması için Şekil 5.1'deki devredeki gerilim girişi kısa devre yapılır.  $I_i$  girişinden bir işaret uygulanır. CM çalışma sırasında LP, HP ve BP süzgeçlere ait transfer fonksiyonları sırasıyla aşağıdaki gibi ifade edilebilir.

$$\frac{I_{lp1}}{I_i} = -\frac{I_{lp2}}{I_i} = \frac{R_2}{C_1 C_2 R_1 R_3 R_4 D(s)} \quad (5.6)$$

$$\frac{I_{hp1}}{I_i} = -\frac{I_{hp2}}{I_i} = \frac{R_2}{R_3} \times \frac{s^2}{D(s)} \quad (5.7)$$

$$\frac{I_{bp1}}{I_i} = -\frac{I_{bp2}}{I_i} = \frac{R_2}{R_4} \times \frac{1}{D(s)} \quad (5.8)$$

$R_2=R_3$  eşitliği ile birlikte devredeki LP ve HP akım çıkışları birleştirilirse Denklem (5.9)'daki evirmeyen ve eviren NF cevabı kolayca elde edilebilir.  $R_2=R_3=R_4$  eşitliği ile devredeki evirmeyen LP, HP ve eviren BP çıkış akımlarının toplamıyla

evirmeyen AP süzgeç cevabı ve eviren LP, HP ve evirmeyen BP çıkış akımlarının toplamıyla eviren AP süzgeç cevabı Denklem (5.10)'daki gibi elde edilebilir.

$$\frac{I_{\text{çentik1}}}{I_i} = -\frac{I_{\text{çentik2}}}{I_i} = \frac{s^2 + \frac{1}{C_1 C_2 R_1 R_4}}{s^2 + s \frac{1}{C_2 R_3} + \frac{1}{C_1 C_2 R_1 R_4}} \quad (5.9)$$

$$\frac{I_{ap1}}{I_i} = -\frac{I_{ap2}}{I_i} = \frac{s^2 - s \frac{1}{C_2 R_3} + \frac{1}{C_1 C_2 R_1 R_4}}{s^2 + s \frac{1}{C_2 R_3} + \frac{1}{C_1 C_2 R_1 R_4}} \quad (5.10)$$

Devreye sadece giriş gerilimi uygulanır ve çıkışlar Z terminallerinden alınırsa devre TAM çalışır. Bu modda elde edilen HP ve BP transfer fonksiyonları sırasıyla aşağıda verilmiştir.

$$\frac{I_{hp1}}{V_i} = -\frac{I_{hp2}}{V_i} = -\frac{R_2}{R_1 R_3} \times \frac{s^2}{D(s)} \quad (5.11)$$

$$\frac{I_{bp1}}{V_i} = -\frac{I_{bp2}}{V_i} = -\frac{R_2}{R_1 R_4} \times \frac{s \frac{1}{C_2 R_3}}{D(s)} \quad (5.12)$$

Eğer devrenin gerilim girişi kısa devre yapıp sadece akım girişi uygulanır ve gerilim düğümlerinden çıkış alınırsa devre TIM çalışır. Bu modda elde edilen LP, HP ve BP transfer fonksiyonları sırasıyla aşağıda verilmiştir.

$$\frac{V_{lp}}{I_i} = -\frac{\frac{R_2}{C_1 C_2 R_3 R_4}}{D(s)} \quad (5.13)$$

$$\frac{V_{hp}}{I_i} = \frac{s^2 R_2}{D(s)} \quad (5.14)$$

$$\frac{V_{bp1}}{I_i} = -\frac{V_{bp2}}{I_i} = -\frac{s \frac{R_2}{C_2 R_3}}{D(s)} \quad (5.15)$$

Şekil 5.1'teki önerilen devrenin kalite faktörü ve rezonans frekansı sırasıyla aşağıda hesaplanmıştır.

$$Q = \sqrt{\frac{C_2 R_2 R_3}{C_1 R_1 R_4}} \quad (5.16)$$

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{R_2}{C_1 C_2 R_1 R_3 R_4}} \quad (5.17)$$

Ortogonalite  $R_3 \times R_4$  değeri sabit tutulurken  $R_3/R_4$  değeri değiştirilerek elde edilebilir. Ayrıca devredeki tüm dirençlerin yerine MOSFET tabanlı elektronik olarak ayarlanabilen direnç eşdeğerleri kullanarak devrenin kalite faktörünü ve rezonans frekansını kontrol edebilmek mümkündür (Yucel ve Yuce, 2018). MO-DVCC'deki ideal olmayan akım ve gerilim kazançlarına göre VM transfer fonksiyonları aşağıdaki gibi ifade edilebilir.

$$\frac{V_{hp}}{V_i} = \frac{R_2 \beta_2 \eta_1 \eta_3 \rho_1 \rho_2 \rho_3}{C_1 C_2 R_1 R_3 R_4 D_n(s)} \quad (5.18)$$

$$\frac{V_{hp}}{V_i} = -\frac{R_2}{R_1} \times \frac{s^2 \beta_2 \eta_1 \rho_1}{D_n(s)} \quad (5.19)$$

$$\frac{V_{bp1}}{V_i} = \frac{R_2}{R_1} \times \frac{s \beta_2 \eta_1 \eta_3 \rho_1 \rho_2}{C_2 R_3 D_n(s)} \quad (5.20)$$

$$\frac{V_{bp2}}{V_i} = -\frac{R_2}{R_1} \times \frac{s \beta_2 \eta_1 \rho_1 \rho_2}{C_2 R_3 D_n(s)} \quad (5.21)$$

Yukarıdaki denklemlerdeki  $D_n(s)$  ifadesi aşağıda gösterilmiştir.

$$D_n(s) = s^2 + s \frac{\eta_2 \rho_2}{C_2 R_3} + \frac{R_2 \beta_1 \beta_2 \eta_3 \rho_1 \rho_2 \rho_3}{C_1 C_2 R_1 R_3 R_4} \quad (5.22)$$

İdeal olmayan kazançlar için CM transfer fonksiyonları aşağıdaki gibi hesaplanabilir.

$$\frac{I_{hp1}}{I_i} = \frac{R_2 \beta_1 \beta_2 \gamma_1 \eta_3 \rho_2 \rho_3}{C_1 C_2 R_1 R_3 R_4 D_n(s)} \quad (5.23)$$

$$\frac{I_{hp2}}{I_i} = -\frac{R_2 \alpha_1 \beta_1 \beta_2 \eta_3 \rho_2 \rho_3}{C_1 C_2 R_1 R_3 R_4 D_n(s)} \quad (5.24)$$

$$\frac{I_{hp1}}{I_i} = \frac{R_2}{R_3} \times \frac{s^2 \alpha_2 \beta_2}{D_n(s)} \quad (5.25)$$

$$\frac{I_{hp2}}{I_i} = -\frac{R_2}{R_3} \times \frac{s^2 \beta_2 \gamma_2}{D_n(s)} \quad (5.26)$$

$$\frac{I_{bp1}}{I_i} = \frac{R_2}{R_4} \times \frac{s \frac{\beta_2 \gamma_3 \eta_3 \rho_2}{C_2 R_3}}{D_n(s)} \quad (5.27)$$

$$\frac{I_{bp2}}{I_i} = -\frac{R_2}{R_4} \times \frac{s \frac{\alpha_3 \beta_2 \eta_3 \rho_2}{C_2 R_3}}{D_n(s)} \quad (5.28)$$

İdeal olmayan kazançlar dahilinde TAM transfer fonksiyonları aşağıda verilmiştir.

$$\frac{I_{hp1}}{V_i} = -\frac{R_2}{R_1 R_3} \times \frac{s^2 \alpha_2 \beta_2 \eta_1 \rho_1}{D_n(s)} \quad (5.29)$$

$$\frac{I_{hp2}}{V_i} = \frac{R_2}{R_1 R_3} \times \frac{s^2 \beta_2 \gamma_2 \eta_1 \rho_1}{D_n(s)} \quad (5.30)$$

$$\frac{I_{bp1}}{V_i} = -\frac{R_2}{R_1 R_4} \times \frac{s \frac{\beta_2 \gamma_3 \eta_1 \eta_3 \rho_1 \rho_2}{C_2 R_3}}{D_n(s)} \quad (5.31)$$

$$\frac{I_{bp2}}{V_i} = \frac{R_2}{R_1 R_4} \times \frac{s \frac{\alpha_3 \beta_2 \eta_1 \eta_3 \rho_1 \rho_2}{C_2 R_3}}{D_n(s)} \quad (5.32)$$

İdeal olmayan akım gerilim kazançlarının etkisi altındaki TIM transfer fonksiyonları ise aşağıda verilmiştir.

$$\frac{V_{lp}}{I_i} = -\frac{R_2\beta_2\eta_3\rho_2\rho_3}{C_1C_2R_3R_4} \frac{1}{D_n(s)} \quad (5.33)$$

$$\frac{V_{hp}}{I_i} = R_2 \times \frac{s^2\beta_2}{D_n(s)} \quad (5.34)$$

$$\frac{V_{bp1}}{I_i} = -R_2 \times \frac{s\beta_2\eta_3\rho_2}{C_2R_3} \frac{1}{D_n(s)} \quad (5.35)$$

$$\frac{V_{bp2}}{I_i} = R_2 \times \frac{s\beta_2\rho_2}{C_2R_3} \frac{1}{D_n(s)} \quad (5.36)$$

Önerilen devrenin kalite faktörü ve rezonans frekansı ideal olmayan kazançlar dikkate alındığında sırasıyla aşağıda hesaplanmıştır.

$$Q = \frac{1}{\eta_2} \sqrt{\frac{C_2R_2R_3\beta_1\beta_2\eta_3\rho_1\rho_3}{C_1R_1R_4\rho_2}} \quad (5.37)$$

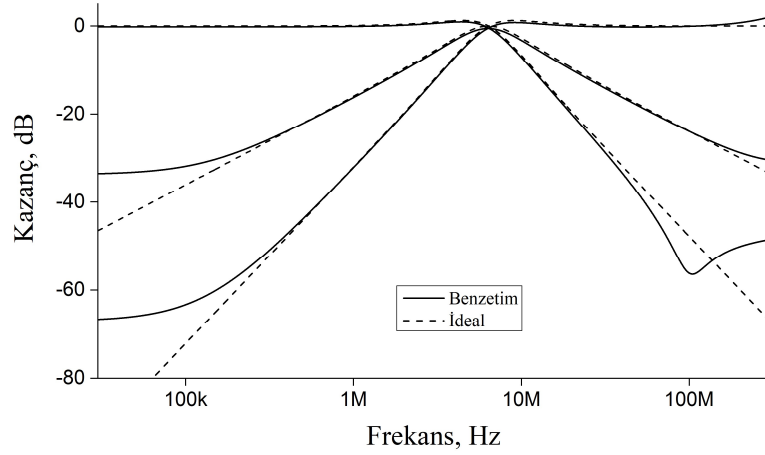
$$f_0 = \frac{1}{2\pi} \sqrt{\frac{R_2\beta_1\beta_2\eta_3\rho_1\rho_2\rho_3}{C_1C_2R_1R_3R_4}} \quad (5.38)$$

## 5.2 Benzetim ve Deneysel Sonuçları

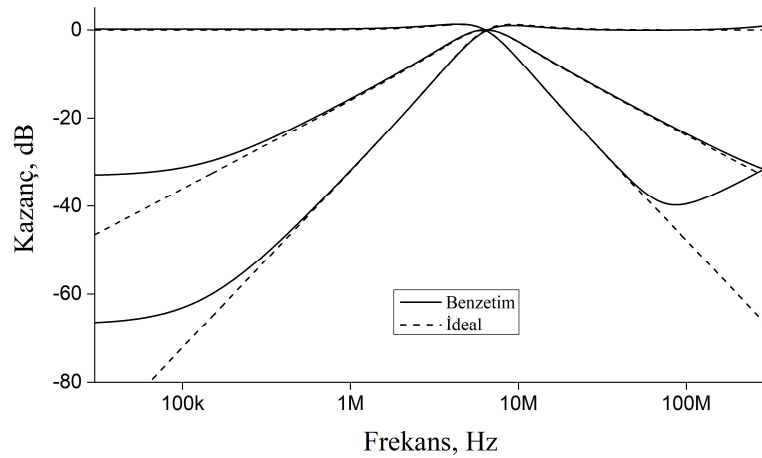
Şekil 5.1’de verilen devrenin SPICE programında benzetimleri sırasında MO-DVCC’nin içyapısındaki besleme gerilimi  $\pm 1.25$  V ve öngerilimleme gerilimi 0.55 V olarak seçilmiştir. İçyapıda 0.18 $\mu$ m TSMC CMOS teknoloji parametreleri kullanılmıştır. Tüm NMOS ve PMOS transistörlerin en boy oranları sırasıyla 13  $\mu$ m / 0.5  $\mu$ m ve 39  $\mu$ m / 0.5  $\mu$ m olarak seçilmiştir. İdeal olmayan DC kazançlar  $\alpha_0 = 0.9995$ ,  $\rho_0 = 0.9995$ ,  $\eta_0 = 0.9995$ ,  $\beta_0 = 0.9997$  ve  $\gamma_0 = 1.0444$  olarak hesaplanmıştır. Bu kazançların kutup frekansları ise  $f_\alpha \cong f_\rho \cong 945$  MHz,  $f_\eta \cong 935$  MHz,  $f_\beta \cong 980$  MHz ve  $f_\gamma \cong 830$  MHz olarak bulunmuştur. MO-DVCC’ye ait parazitik empedanslar SPICE

program yardımıyla  $R_X \cong 23 \Omega$ ,  $R_{Z+} \cong 47 \text{ k}\Omega$ ,  $C_{Z+} \cong 38 \text{ fF}$ ,  $C_{Y1} \cong 100 \text{ fF}$  ve  $C_{Y2} \cong 100 \text{ fF}$  olarak bulunmuştur. Pasif devre eleman değerleri benzetimler sırasında  $R_1 = R_2 = R_3 = R_4 = 1 \text{ k}\Omega$  ve  $C_1 = C_2 = 25 \text{ pF}$  olarak seçilmiştir. Bu değerler sonucunda  $f_0 \cong 6.37 \text{ MHz}$  ve  $Q = 1$  olmaktadır.

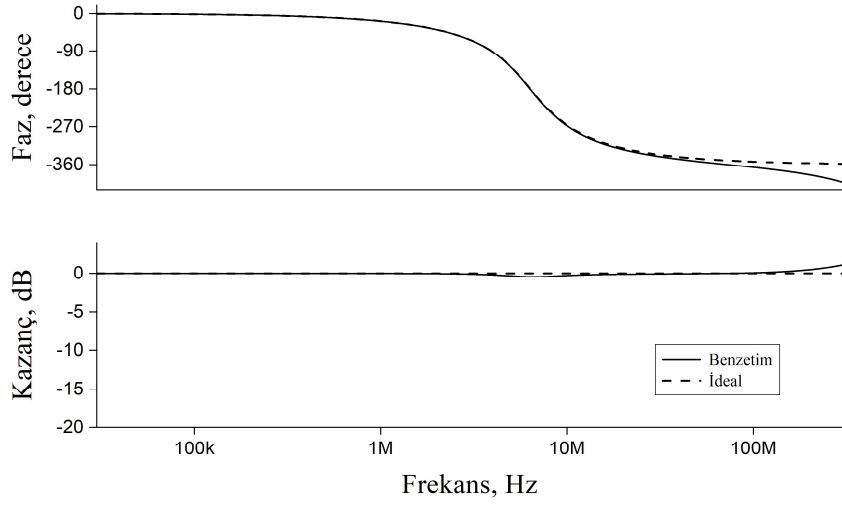
VM LP, HP ve BP süzgeç çıkışlarının frekans ortamı benzetim sonuçları Şekil 5.2’de verilirken, CM LP, HP ve BP süzgeç çıkışlarının frekans ortamı benzetim sonuçları ise Şekil 5.3’te verilmiştir. CM evirmeyen AP ve eviren AP süzgeç çıkışlarının frekansa bağlı faz ve kazanç benzetim sonuçları sırasıyla Şekil 5.4 ve Şekil 5.5’te gösterilmiştir. Benzer şekilde CM evirmeyen NF ve eviren NF çıkışlarının frekansa bağlı faz ve kazanç benzetim sonuçları sırasıyla Şekil 5.6 ve Şekil 5.7’de gösterilmiştir.



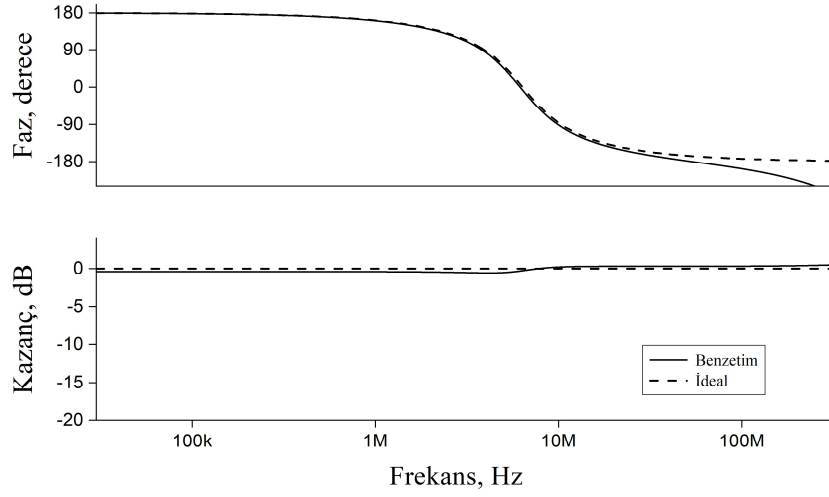
**Şekil 5.2:** Gerilim modlu alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlerin frekans ortamı analizi.



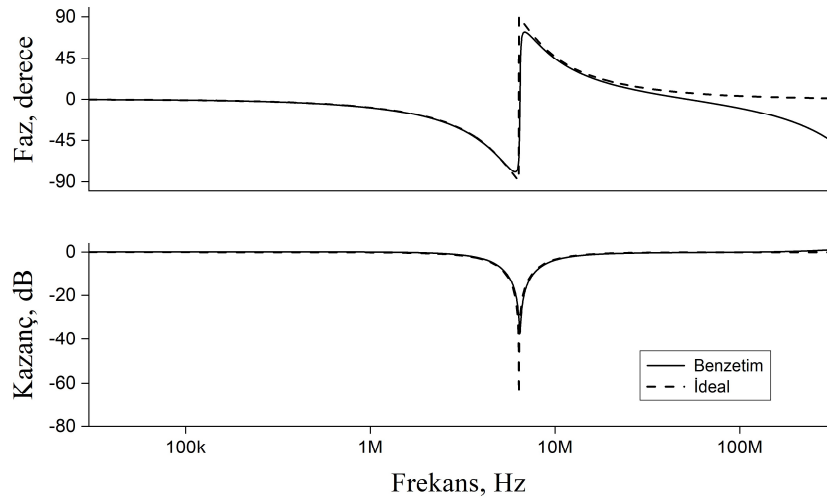
**Şekil 5.3:** Akım modlu alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlerin frekans ortamı analizi.



Şekil 5.4: Akım modlu evirmeyen tüm geçiren süzgecin frekans ortamı analizi.

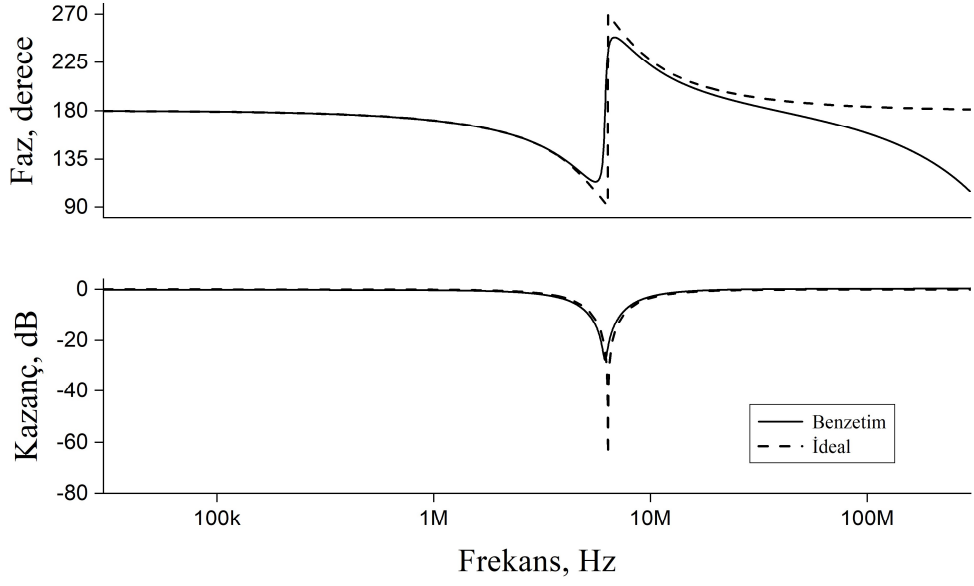


Şekil 5.5: Akım modlu eviren tüm geçiren süzgecin frekans ortamı analizi.



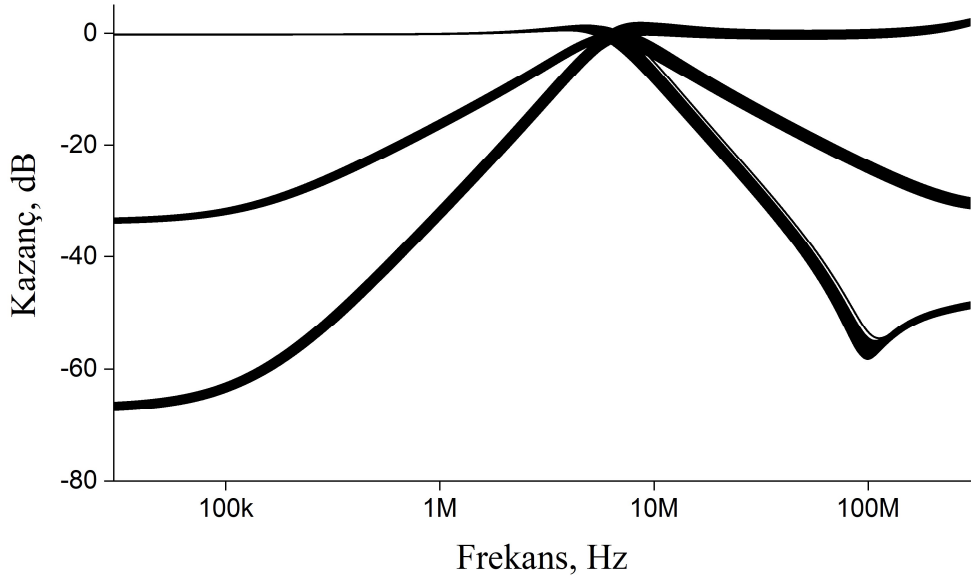
Şekil 5.6: Akım modlu evirmeyen çentik süzgecin frekans ortamı analizi.



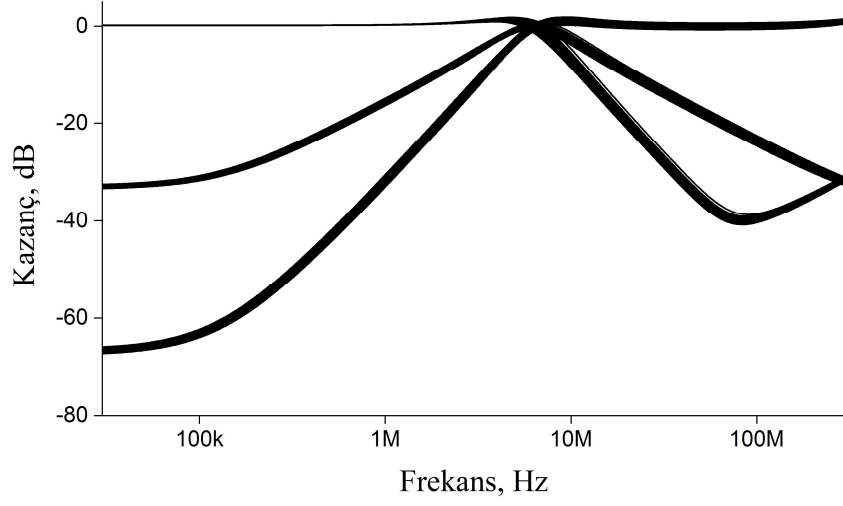


Şekil 5.7: Akım modlu eviren çentik süzgecin frekans ortamı analizi.

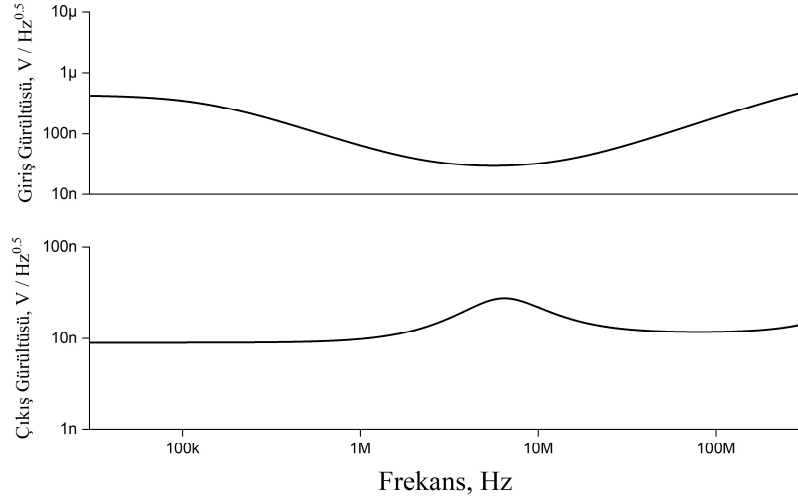
VM LP, HP ve evirmeyen BP süzgeçlerinde kullanılan pasif elemanların tekdüze olarak %5 toleransı dahilinde 100 farklı değer için AC MC analiz sonuçları Şekil 5.8’de verilmiştir. Aynı koşullar altında CM evirmeyen LP, HP ve BP süzgeç çıkışlarına ait AC MC benzetim sonucu Şekil 5.9’da verilmiştir. VM evirmeyen BP süzgeç için gürültü analizi sonuçları Şekil 5.10’da gösterilmiştir. CM evirmeyen AP ve eviren AP süzgece 100  $\mu$ A’lık giriş işaretine karşılık ilgili çıkış akımlarının gösterildiği zaman ortamı analizleri sırasıyla Şekil 5.11 ve Şekil 5.12’de verilmiştir.



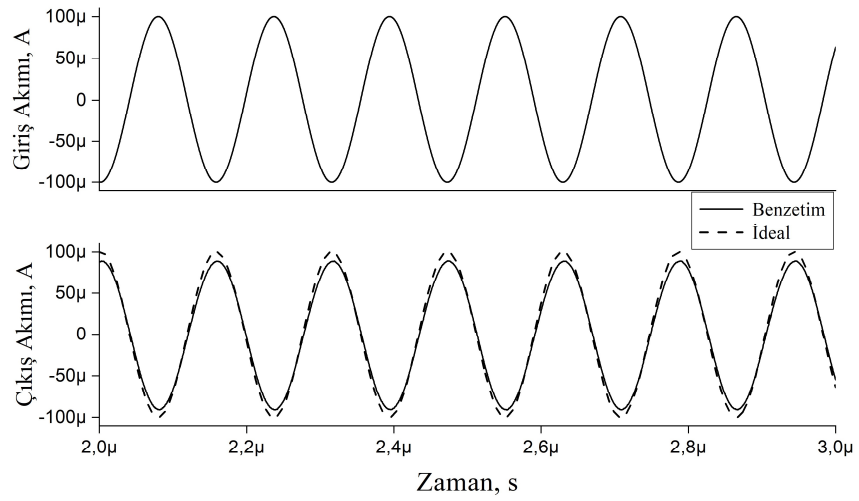
Şekil 5.8: Gerilim modlu alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlere ait Monte Carlo analizi.



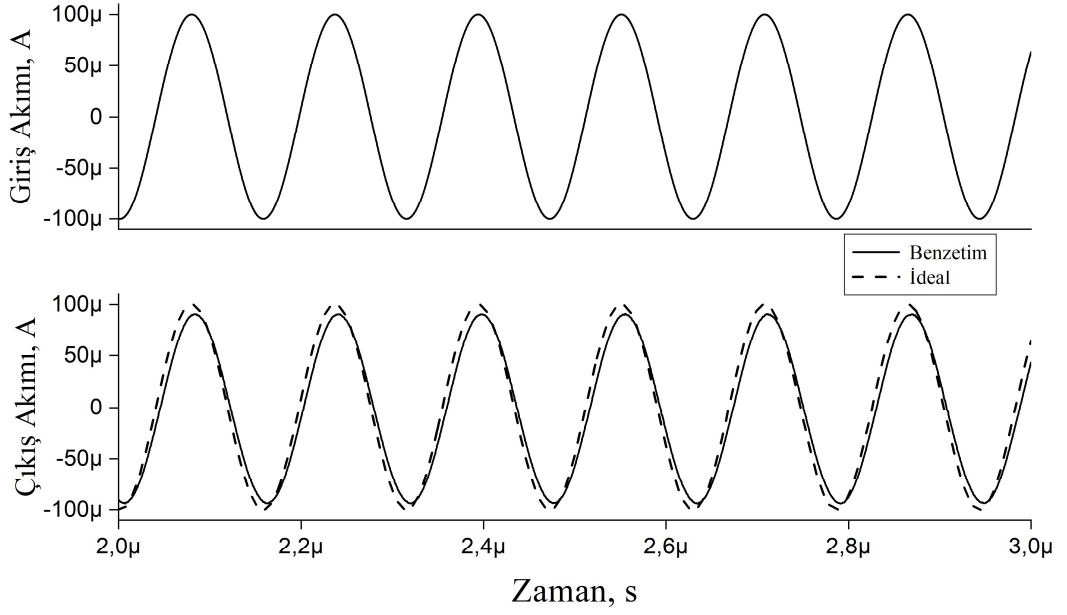
**Şekil 5.9:** Akım modlu alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlere ait Monte Carlo analizi.



**Şekil 5.10:** Gerilim modlu bant geçiren süzgecine ait gürültü analizi.

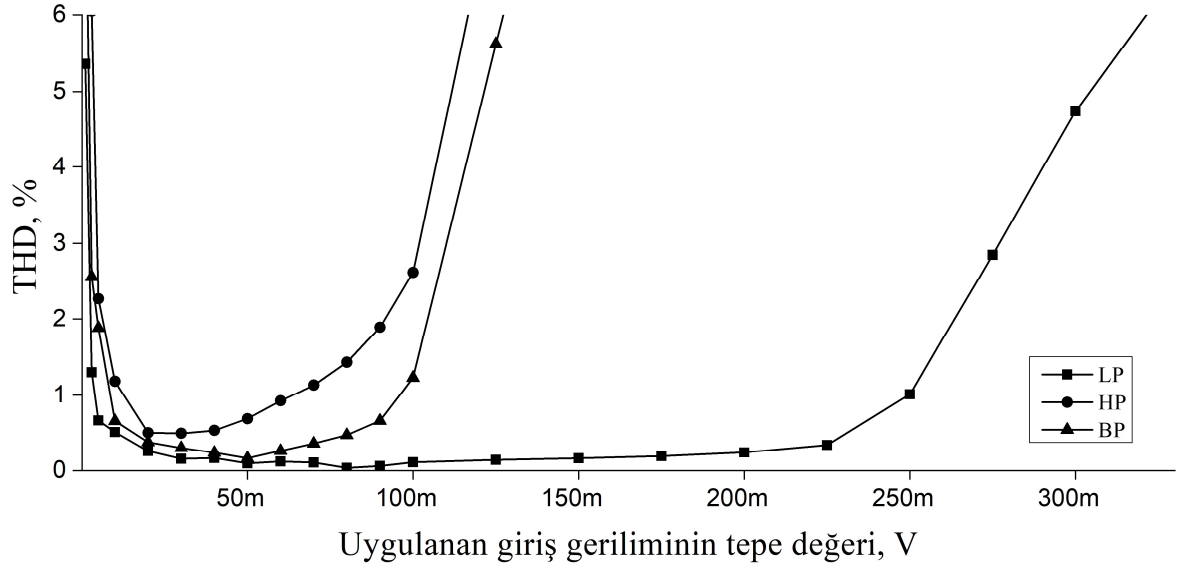


**Şekil 5.11:** Akım modlu evirmeyen tüm geçiren süzgecin zaman ortamı analizi.

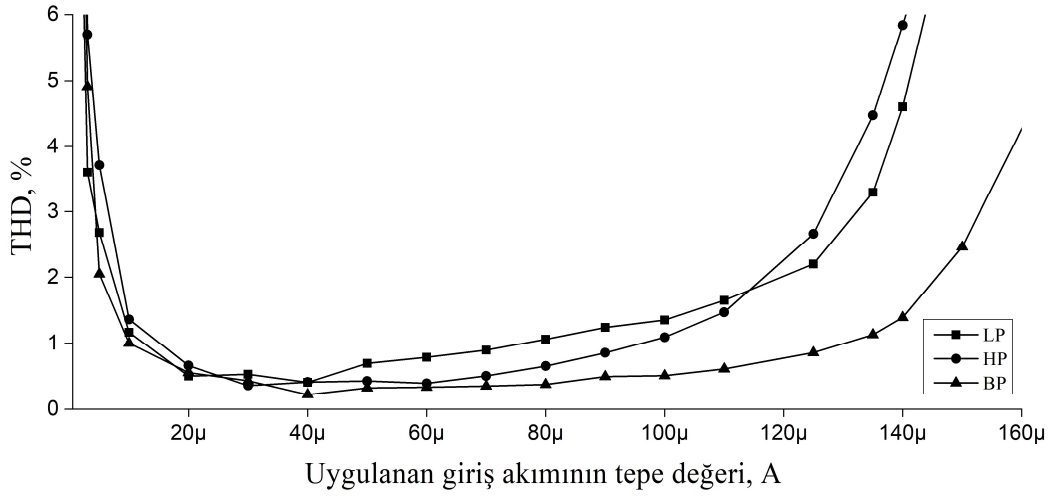


Şekil 5.12: Akım modlu eviren tüm geçiren süzgecin zaman ortamı analizi.

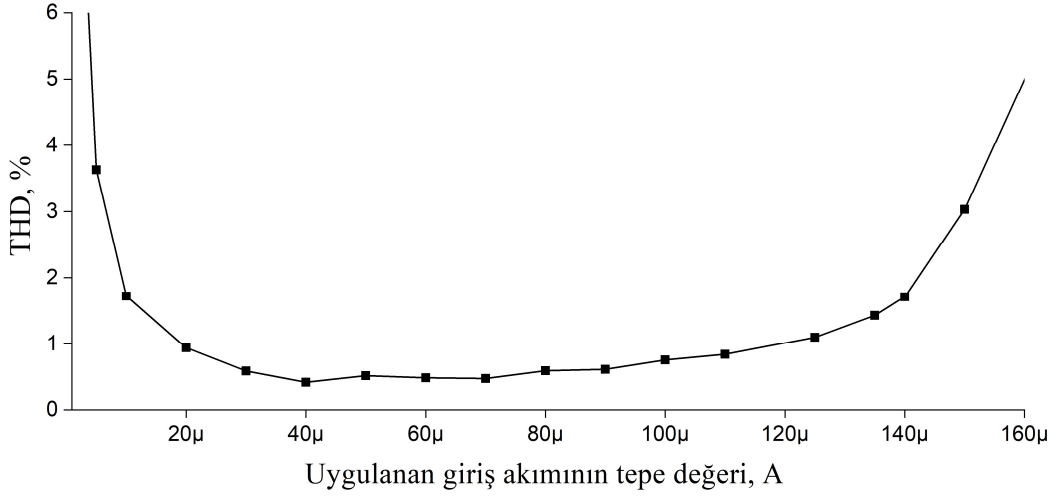
Devrenin VM LP, HP ve BP süzgeç çıkışları için frekansları sırasıyla 3 MHz, 12 MHz ve rezonans frekansındaki THD sonuçları Şekil 5.13'te verilirken CM LP, HP ve BP süzgeç çıkışlarının THD sonuçları Şekil 5.14'te verilmiştir. Evirmeyen ve eviren CM AP süzgeç çıkışının rezonans frekansındaki THD sonuçları sırasıyla Şekil 5.15 ve Şekil 5.16'da verilmiştir. Önerilen MM süzgeç devresinin SPICE programı yardımıyla elde edilen güç tüketimi 8.47mW'dir.



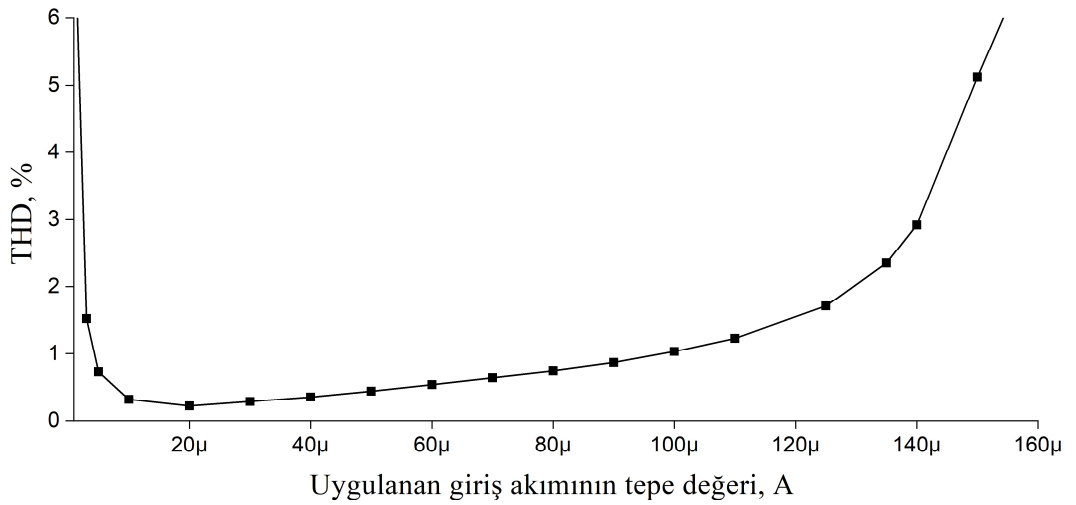
Şekil 5.13: Gerilim modlu alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlerine ait toplam harmonik bozulma değerleri.



Şekil 5.14: Akım modlu alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlerine ait toplam harmonik bozulma değerleri.

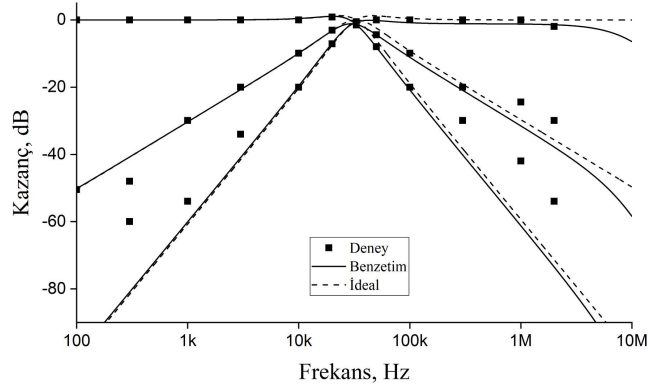


Şekil 5.15: Akım modlu evirmeyen tüm geçiren süzgecine ait toplam harmonik bozulma değerleri.

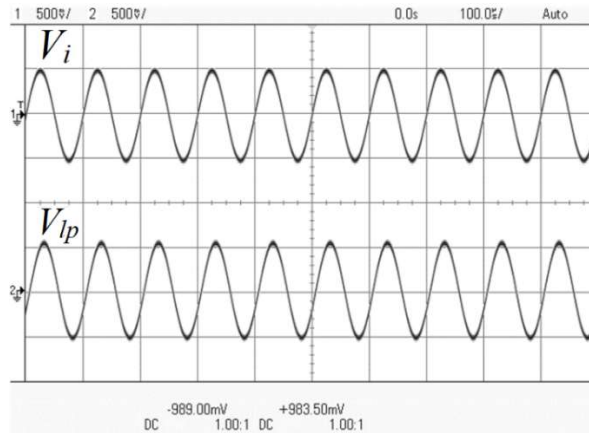


Şekil 5.16: Akım modlu eviren tüm geçiren süzgecine ait toplam harmonik bozulma değerleri.

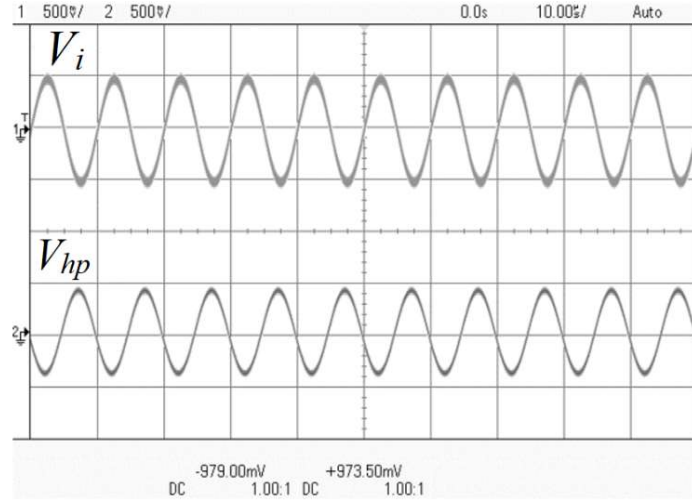
Şekil 5.1’de gösterilen devrede VM süzgecin çıkışları için deneysel çalışmasındaki her bir DVCC+ için üç adet AD844 ve iki dahili eş direnç kullanılmaktadır. DVCC+’nın gerçekleşmesi için Şekil 2.3’teki devre kullanılmıştır. DVCC+ içyapısı için kullanılan pasif elemanlar  $R_a = R_b = 2.2 \text{ k}\Omega$  olarak seçilirken, deney devresindeki harici pasif elemanlar  $f_0 \cong 32.88 \text{ kHz}$  ve  $Q = 1$  olacak şekilde  $R_1 = R_2 = R_3 = R_4 = 2.2 \text{ k}\Omega$  ve  $C_1 = C_2 = 2.2 \text{ nF}$  olarak seçilmiştir. Deney esnasında AD844’lerin tamamında  $\pm 12 \text{ V}$  besleme gerilim kullanılmıştır. Frekansa göre deney, benzetim ve ideal kazanç değişimlerinin yer aldığı grafik Şekil 5.17’de verilmiştir. Şekil 5.17’deki AC analizin benzetim kısmı AD844’ün makro modeli kullanılarak elde edilmiştir. Devrenin LP, HP ve BP çıkışlarının zaman ortamı işaretleri için girişe sırasıyla 10 kHz, 100 kHz ve rezonans frekansa sahip 500mV’luk genliğe sahip bir gerilim uygulanmıştır. VM LP, HP ve BP süzgeçlerine ait zaman ortamı analizi sonuçları sırasıyla Şekil 5.18, Şekil 5.19 ve Şekil 5.20’de gösterilmiştir.



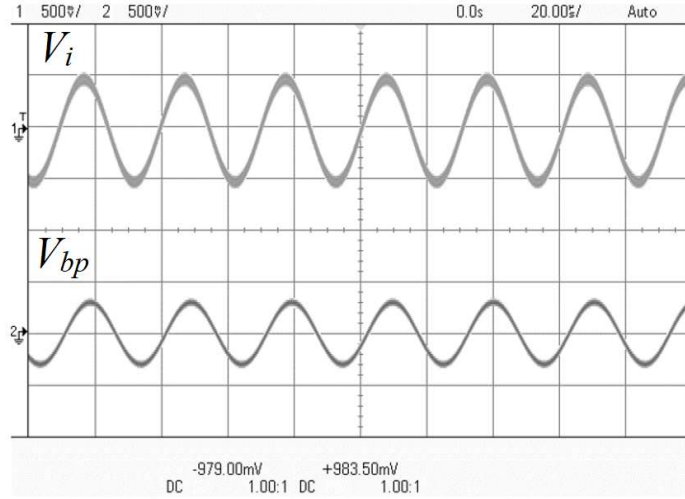
**Şekil 5.17:** Tasarlanan devrenin deneysel çalışmasında elde edilen gerilim modlu alçak geçiren, yüksek geçiren ve bant geçiren çıkışlarına ait frekans ortamı kazanç cevapları.



**Şekil 5.18:** Gerilim modlu alçak geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.



**Şekil 5.19:** Gerilim modlu yüksek geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.



**Şekil 5.20:** Gerilim modlu bant geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.

## 6. DDA ve OTA TABANLI EVRENSEL SÜZGEÇ TASARIMI

Bu bölümde DDA ve OTA tabanlı VM evrensel bir süzgeç devresi sunulacaktır. Literatürde DDA ve OTA kullanılarak tasarlanmış devreler bulunmaktadır (Huaihongthong ve diğ. 2019, Jaikla ve diğ. 2021, Tuntrakool ve diğ. 2017). (Jaikla ve diğ. 2021)'de bulunan devrede yüzen pasif devre elemanı bulunurken, (Huaihongthong ve diğ. 2019)'daki devrede ise kazançları bir veya birden küçüktür. Daha önce belirtildiği gibi bir DDA'yı elde etmek için dört tane ticari olarak mevcut AD844 ve üç tane eş direnç kullanılmaktadır. Tek çılışlı bir OTA için ise bir tane ticari olarak mevcut LM13700 kullanılabilir. (Huaihongthong ve diğ. 2019)'un tasarladığı devre için üç tane DDA ve üç tane OTA gerekmektedir. (Jaikla ve diğ. 2021)'in yaptığı devre çok girişlidir ve aynı anda bir tane çıkış vermektedir. Aynı şekilde, (Tuntrakool ve diğ. 2017)'nin önerdiği birim kazançlı devre için üç tane DDA ve üç tane OTA gerekmektedir. Bu kısımda önerilen devre, iki tane DDA ve dört tane OTA içermektedir. DDA'lardan biri sadece AP cevabı elde etmek için verilmiştir. BP, NF ve AP cevaplarının bir kazancı vardır. Literatürde bulunan benzer devreler ile tez kapsamında tasarlanan devrenin çeşitli yönlerden karşılaştırılması Tablo 6.1'de verilmiştir.

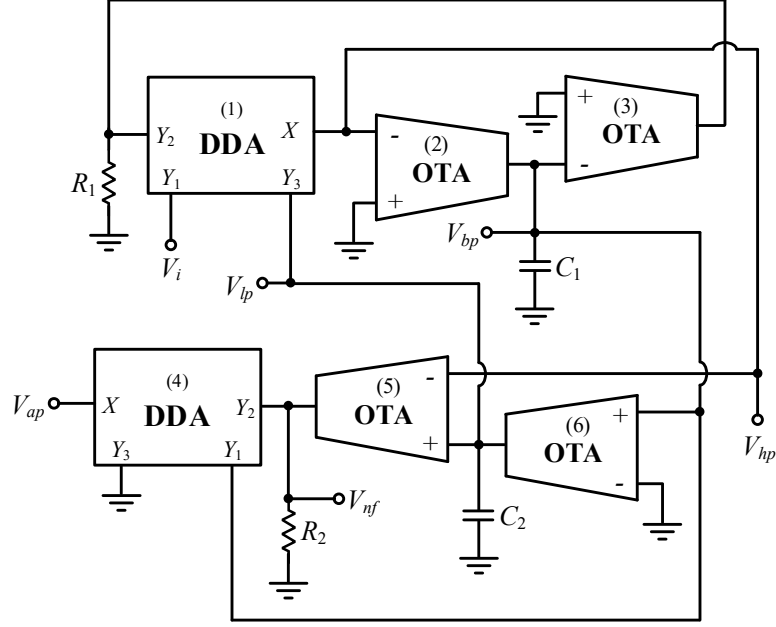
**Tablo 6.1:** Şekil 5.1'de tasarlanan devre ile literatürdeki benzer çalışmaların karşılaştırma tablosu.

Referanslar	Aktif Blok Sayısı	Topraklanmış (Yüzen) Kondansatör Sayısı	Topraklanmış (Yüzen) Direnç Sayısı	Teknoloji	Güç Tüketimi (mW)	Besteme Gerilimi (V)	Evrensellik	Rezonans Frekansı (MHz)	Yüksek Giriş Empedansı
Huaihongthong ve diğ. 2019	6 (3×2)	2 (0)	1 (0)	0.18 $\mu\text{m}$	*	± 0.9	✓	1.044	✓
Jaikla ve diğ. 2021	4 (2×2)	2 (0)	0 (1)	0.18 $\mu\text{m}$	0.99	± 0.9	✓	0.05	✓
Tuntrakool ve diğ. 2017	6 (3×2)	2 (0)	1 (0)	0.18 $\mu\text{m}$	0.343	± 0.9	✓	1.047	✓
Şekil 5.1	6	2 (0)	2 (0)	0.13 $\mu\text{m}$	2.12	± 1	✓	0.325	✓

\* : Erişilemeyen

## 6.1 Tasarlanan Evrensel Süzgeç Devresi

Tasarlanan DDA ve OTA tabanlı ikinci derece VM süzgeç devresi Şekil 6.1’de verilmiştir.



Şekil 6.1: Tasarlanan gerilim modlu evrensel süzgeç devresi.

Şekil 6.1’deki devrenin  $V_i$  girişinden AC bir işaret uygulandığında LP, HP, BP, NF ve AP süzgeç çıkışları aynı anda elde edilebilmektedir. Bu çıkışlara ait transfer fonksiyonları sırasıyla aşağıda verilmiştir.

$$\frac{V_{lp}}{V_i} = -\frac{g_{m2}g_{m6}}{C_1C_2} \frac{1}{D(s)} \quad (6.1)$$

$$\frac{V_{hp}}{V_i} = \frac{s^2}{D(s)} \quad (6.2)$$

$$\frac{V_{bp}}{V_i} = -\frac{1}{R_1g_{m3}} \frac{s \frac{R_1g_{m2}g_{m3}}{C_1}}{D(s)} \quad (6.3)$$

$$\frac{V_{nf}}{V_i} = -R_2g_{m5} \frac{s^2 + \frac{g_{m2}g_{m6}}{C_1C_2}}{D(s)} \quad (6.4)$$



Yukarıdaki denklemlerdeki  $D(s)$  ifadesi aşağıda verilmiştir.

$$D(s) = s^2 + s \frac{R_1 g_{m2} g_{m3}}{C_1} + \frac{g_{m2} g_{m6}}{C_1 C_2} \quad (6.5)$$

Eğer  $R_1 R_2 g_{m3} g_{m5} = 1$  seçilirse, AP süzgeç aşağıdaki şekilde ifade edilir.

$$\frac{V_{ap}}{V_i} = R_2 g_{m5} \frac{s^2 - s \frac{R_1 g_{m2} g_{m3}}{C_1} + \frac{g_{m2} g_{m6}}{C_1 C_2}}{D(s)} \quad (6.6)$$

Önerilen devrenin kalite faktörü ve rezonans frekansı sırasıyla aşağıda hesaplanmıştır.

$$Q = \frac{1}{R_1 g_{m3}} \sqrt{\frac{C_1 g_{m6}}{C_2 g_{m2}}} \quad (6.7)$$

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{g_{m2} g_{m6}}{C_1 C_2}} \quad (6.8)$$

İdeal olmayan kazançlar için transfer fonksiyonları aşağıdaki gibi hesaplanabilir.

$$\frac{V_{lp}}{V_i} = - \frac{\frac{g_{m2} g_{m6} \beta_1}{C_1 C_2}}{D_n(s)} \quad (6.9)$$

$$\frac{V_{hp}}{V_i} = \frac{s^2 \beta_1}{D_n(s)} \quad (6.10)$$

$$\frac{V_{bp}}{V_i} = - \frac{s \frac{g_{m2} \beta_1}{C_1}}{D_n(s)} \quad (6.11)$$

$$\frac{V_{nf}}{V_i} = - R_2 g_{m5} \beta_1 \frac{s^2 + \frac{g_{m2} g_{m6}}{C_1 C_2}}{D_n(s)} \quad (6.12)$$

$$\frac{V_{ap}}{V_i} = \frac{s^2 R_2 g_{m5} \beta_1 \eta_4 - s \frac{g_{m2} \beta_1 \beta_4}{C_1} + \frac{R_2 g_{m2} g_{m5} g_{m6} \beta_1 \eta_4}{C_1 C_2}}{D_n(s)} \quad (6.13)$$

Yukarıdaki denklemlerdeki  $D_n(s)$  ifadesi aşağıda gösterilmiştir.

$$D_n(s) = s^2 + s \frac{R_1 g_{m2} g_{m3} \eta_1}{C_1} + \frac{g_{m2} g_{m6} \delta_1}{C_1 C_2} \quad (6.14)$$

Önerilen devrenin kalite faktörü ve rezonans frekansı ideal olmayan kazançlar dikkate alındığında sırasıyla aşağıda hesaplanmıştır.

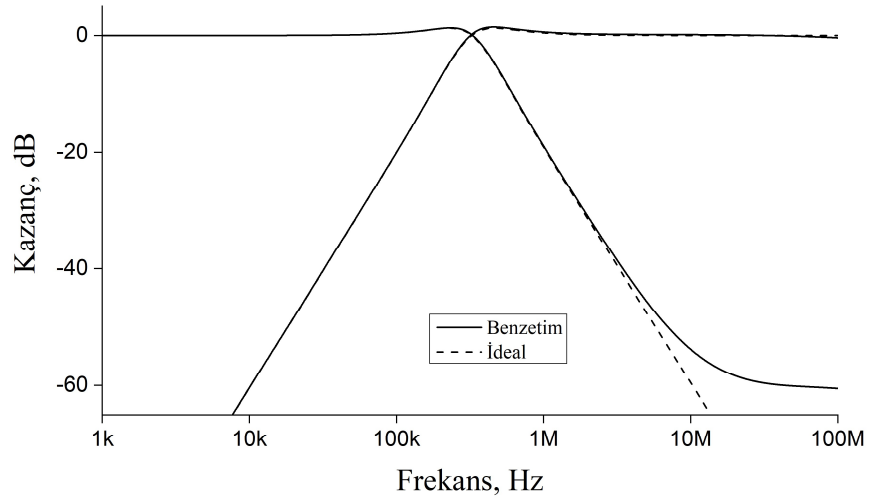
$$Q = \frac{1}{R_1 g_{m3} \eta_1} \sqrt{\frac{C_1 g_{m6} \delta_1}{C_2 g_{m2}}} \quad (6.15)$$

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{g_{m2} g_{m6} \delta_1}{C_1 C_2}} \quad (6.16)$$

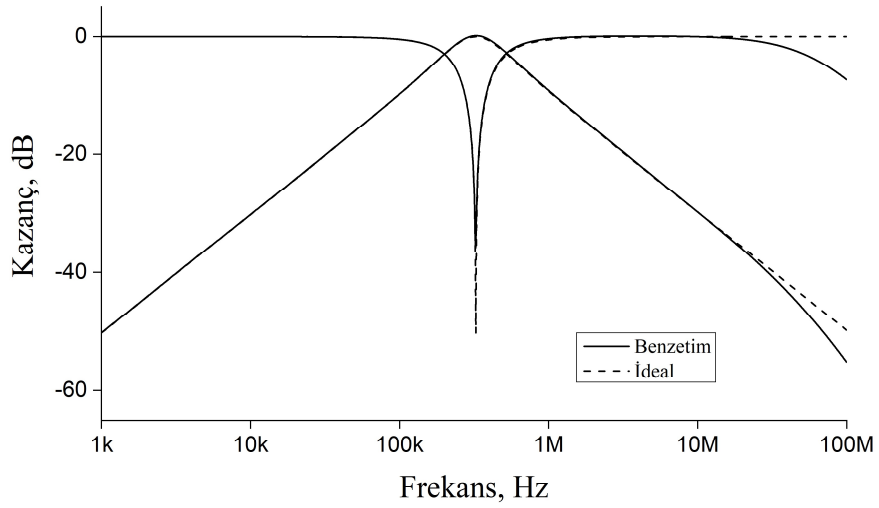
## 6.2 Benzetim Sonuçları

Şekil 6.1’de verilen devrenin SPICE programında benzetimleri yapılmıştır. İçyapıda 0.13 $\mu$ m IBM CMOS teknoloji parametreleri kullanılmıştır. Tüm NMOS ve PMOS transistörlerin en boy oranları sırasıyla 13  $\mu$ m / 0.5  $\mu$ m ve 39  $\mu$ m / 0.5  $\mu$ m olarak seçilmiştir. Benzetimler sırasında besleme gerilimi  $\pm 1$  V,  $V_B=0.3$  V,  $I_B=0.2$   $\mu$ A, pasif devre eleman değerleri  $R_1 = R_2 = 4.9$  k $\Omega$  ve  $C_1 = C_2 = 100$  pF olarak seçilmiştir. Bu değerler sonucunda  $f_0 \cong 325$  kHz ve  $Q \cong 1$  olmaktadır.

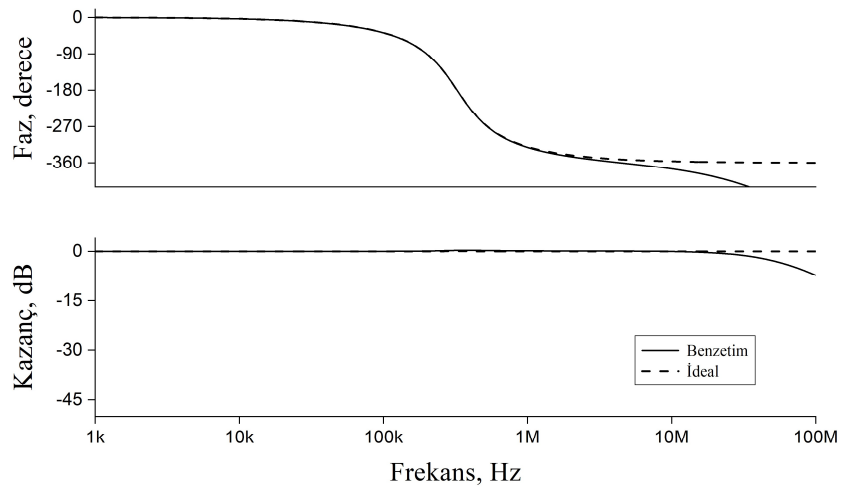
VM LP ve HP süzgeç çıkışlarının frekans ortamı benzetim sonuçları Şekil 6.2’de verilirken, VM NF ve BP süzgeç çıkışlarının frekans ortamı benzetim sonuçları ise Şekil 6.3’te verilmiştir. AP süzgeç çıkışının frekansa bağlı faz ve kazanç benzetim sonuçları Şekil 6.4’te gösterilmiştir. AP süzgeçte kullanılan pasif elemanların tekdüze olarak %10 toleransı dahilinde 100 farklı değer için AC MC analiz sonuçları Şekil 6.5’te verilmiştir.



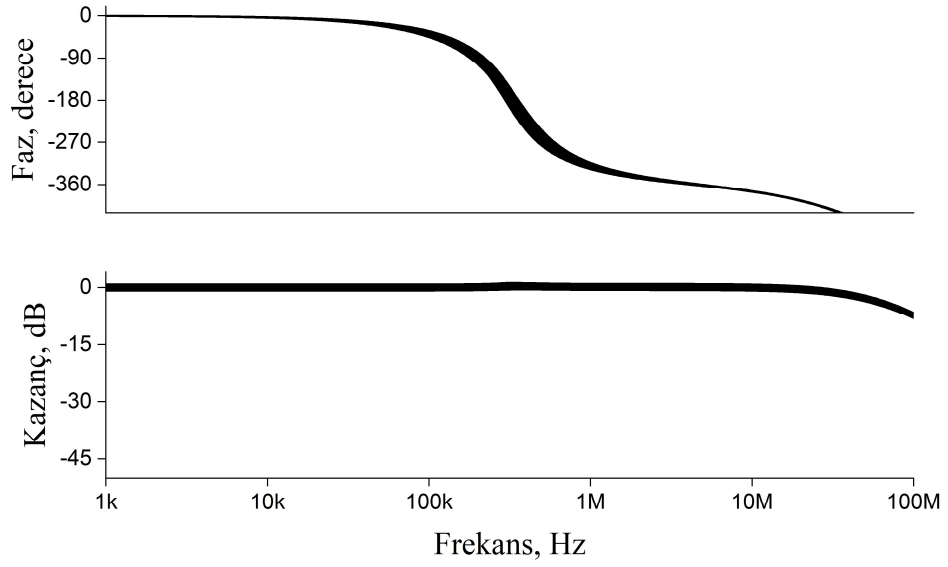
Şekil 6.2: Alçak geçiren ve yüksek geçiren süzgeçlerin frekans ortamı analizi.



Şekil 6.3: Çentik ve bant geçiren süzgeçlerin frekans ortamı analizi.

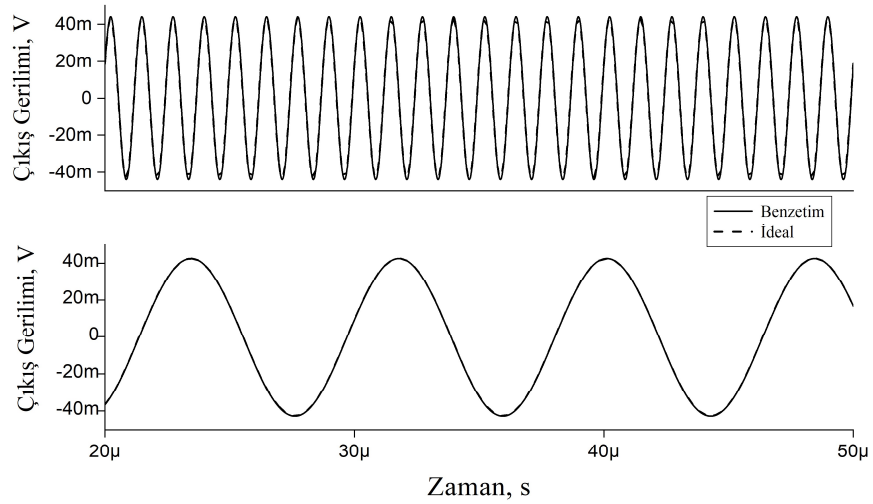


Şekil 6.4: Tüm geçiren süzgecin frekans ortamı analizi.

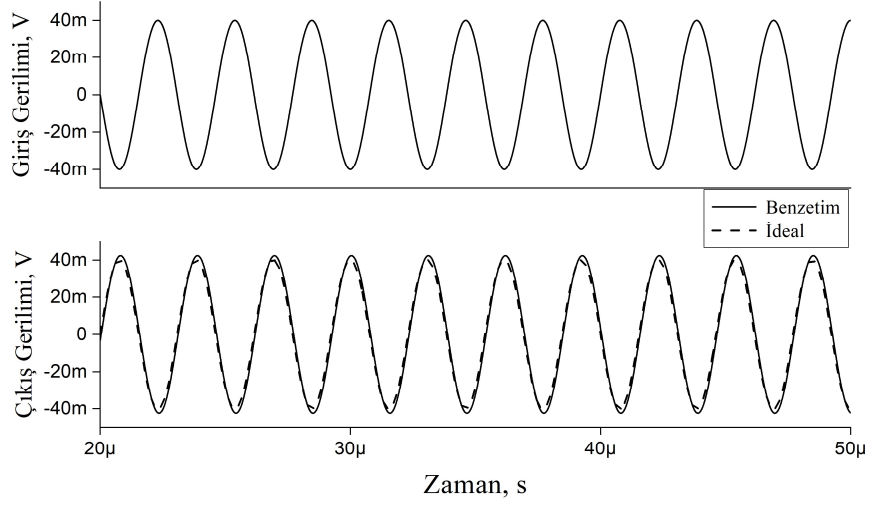


Şekil 6.5: Tüm geçiren süzgece ait Monte Carlo analizi.

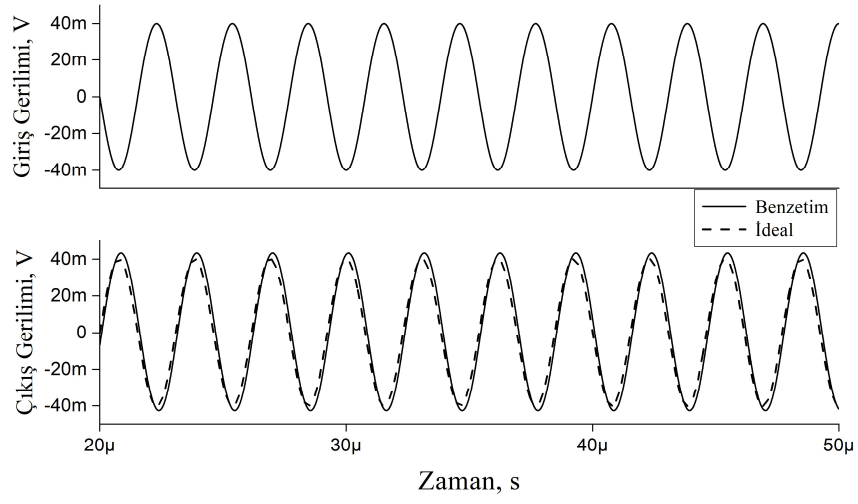
LP ve HP süzgeçlerin sırasıyla 120 kHz ve 800 kHz frekansa sahip 40 mV'luk giriş işaretlerine karşılık ilgili çıkış gerilimlerinin gösterildiği zaman ortamı analizleri sırasıyla Şekil 6.6'da verilmiştir. BP ve AP süzgece 325 kHz frekansa sahip 40 mV'luk uygulanan giriş işareti ve elde edilen çıkış geriliminin gösterildiği zaman ortamı analizleri sırasıyla Şekil 6.7 ve Şekil 6.8'de verilmiştir. AP süzgece ait gürültü analizinin benzetim sonuçları Şekil 6.9'da gösterilmiştir. LP, HP ve BP süzgeç çıkışları için sırasıyla 120 kHz, 800 kHz ve 325 kHz frekanslarındaki THD sonuçları Şekil 6.10'da verilirken, AP süzgeç çıkışının 325 kHz frekans için THD sonucu Şekil 6.11'de verilmiştir.



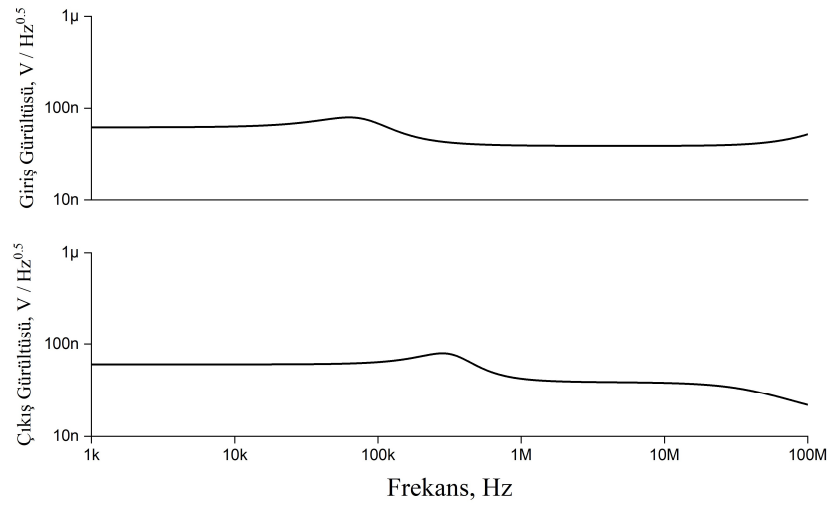
Şekil 6.6: Alçak geçiren ve yüksek geçiren süzgeçlerin zaman ortamı analizi.



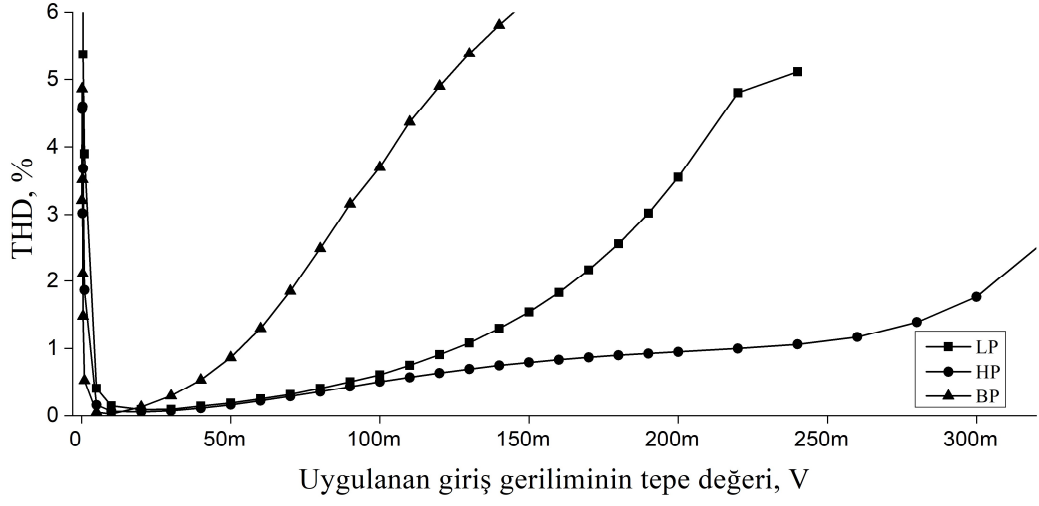
Şekil 6.7: Bant geçiren süzgecin zaman ortamı analizi.



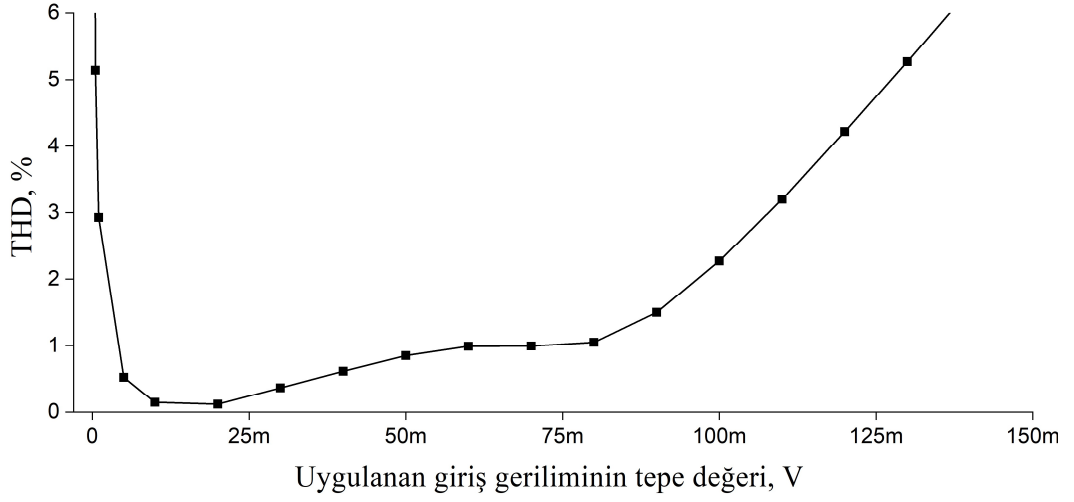
Şekil 6.8: Tüm geçiren süzgecin zaman ortamı analizi.



Şekil 6.9: Tüm geçiren süzgece ait gürültü cevapları.



Şekil 6.10: Alçak geçiren, yüksek geçiren ve bant geçiren süzgeçlerine ait toplam harmonik bozulma değerleri.



Şekil 6.11: Tüm geçiren süzgece ait toplam harmonik bozulma değerleri.

## 7. DVCC+ TABANLI EMİTANS FONKSİYON SİMULATÖRÜ TASARIMI

Literatürde (Hamad ve Ibrahim 2017, Abaci ve Yuce 2017<sup>b</sup>, Incekaraoglu ve Cam 2005, Yuce 2006, Ibrahim ve diğ. 2012, Abaci ve Yuce 2019, Yuce ve Minaei 2009, Elwan ve Soliman 1997, Yuce 2010, Horng 2010<sup>b</sup>, Yuce ve diğ. 2015, Yuce 2009<sup>a</sup>, Abaci ve Yuce 2020, Soliman 2010, Sedra ve Smith 1970, Al-Absi ve Abuelma'atti 2019, Fabre 1992, Yuce 2008, Cicekoglu 1998<sup>a</sup>, Fabre ve Alami 1995, Fabre ve diğ. 1997, Soliman 1978, Saad ve Soliman 2008, Cicekoglu 1998<sup>b</sup>, Cicekoglu ve diğ. 2001, Ferri ve diğ. 2008, Stornelli ve diğ. 2021, Safari ve diğ. 2020) bazı aktif ve pasif elemanları kullanan IFS'ler geliştirilmiştir. Çeşitli DVCC ve DDCC tabanlı bir ucu topraklanmış IFS (Hamad ve Ibrahim 2017, Abaci ve Yuce 2017<sup>b</sup>, Incekaraoglu ve Cam 2005, Yuce 2006, Ibrahim ve diğ. 2012, Abaci ve Yuce 2019) ve yüzen IFSler (Ibrahim ve diğ. 2012, Abaci ve Yuce 2019, Yuce ve Minaei 2009, Elwan ve Soliman 1997, Yuce 2010, Horng 2010<sup>b</sup>, Yuce ve diğ. 2015, Yuce 2009<sup>a</sup>, Abaci ve Yuce 2020, Soliman 2010) tasarlanmıştır. Fakat bu IFS'lerin bazı dezavantajları vardır. (Hamad ve Ibrahim 2017)'deki devre, (Sedra ve Smith 1970)'deki devreden küçük değişikliklerle türetilmiştir. (Incekaraoglu ve Cam 2005, Yuce 2006, Ibrahim ve diğ. 2012, Abaci ve Yuce 2019, Yuce 2009)'da önerilen IFS'ler düşük  $Q$ 'ya sahiptir. (Abaci ve Yuce 2017<sup>b</sup>, Ibrahim ve diğ. 2012, Abaci ve Yuce 2019, Yuce ve Minaei 2009, Yuce 2009)'da geliştirilen IFS'lerin pasif eleman eşleştirme problemleri bulunmaktadır. (Abaci ve Yuce 2017<sup>b</sup>, Ibrahim ve diğ. 2012, Abaci ve Yuce 2019, Yuce ve Minaei 2009, Elwan ve Soliman 1997, Yuce 2010, Horng 2010<sup>b</sup>, Yuce ve diğ. 2015, Yuce 2009<sup>a</sup>, Abaci ve Yuce 2020, Soliman 2010)'da geliştirilen IFS'ler standart DVCC+'ları kullanmamaktadır. Ek olarak, (Abaci ve Yuce 2017<sup>b</sup>, Incekaraoglu ve Cam 2005, Yuce 2006, Ibrahim ve diğ. 2012, Yuce ve Minaei 2009, Horng 2010<sup>b</sup>, Yuce ve diğ. 2015, Yuce 2009<sup>a</sup>, Abaci ve Yuce 2020, Soliman 2010)'da tanıtilan IFS'ler, IC üretiminde dezavantaja neden olan yüzer pasif elemanlar kullanır. (Al-Absi ve Abuelma'atti 2019)'un devresi, birkaç varyasyonla (Fabre 1997)'den elde edilir. Bazı CCII tabanlı topraklanmış IFS'ler (Yuce 2008, Cicekoglu 1998<sup>a</sup>, Fabre ve Alami 1995, Fabre ve diğ. 1997, Soliman 1978, Saad ve Soliman 2008, Cicekoglu 1998<sup>b</sup>, Cicekoglu ve diğ. 2001, Ferri ve diğ. 2008)'de tanıtıldı.

Bu bölümde yalnızca topraklanmış pasif elemanlara sahip sekiz yeni IFS (Unuk ve Yüce 2021<sup>b</sup>) önerilmiştir. Tüm IFS'ler, herhangi bir pasif eleman eşleştirme kısıtlaması gerektirmeden yalnızca iki DVCC+ ve standart sayıda pasif devre elemanı içerir. Önerilen IFS'ler,  $\pm R$  seri  $\pm L$  ve  $\pm R$  paralel  $\pm L$ 'den birini gerçekleştirebilmektedir. Önerilen IFS'lerin her iki direnci (Yucel ve Yuce, 2018)'de verilen direnç eşdeğeri kullanılarak elektronik olarak ayarlanabilir. Bir uygulama örneği olarak, önerilen +L'den +R serisi ve +L ile paralel +R'den ikinci dereceden MM çok amaçlı süzgeç geliştirilmiştir. Ek olarak, +R seri +L'den orantılı bir integral türev (PID) denetleyicisi türetilmiştir. Literatürde bulunan benzer devreler ile tez kapsamında tasarlanan devrenin çeşitli yönlerden karşılaştırılması Tablo 7.1'de verilmiştir.

**Tablo 7.1:** Şekil 7.1'de ve Şekil 7.5'te tasarlanan devreler ile literatürdeki benzer çalışmaların karşılaştırma tablosu.

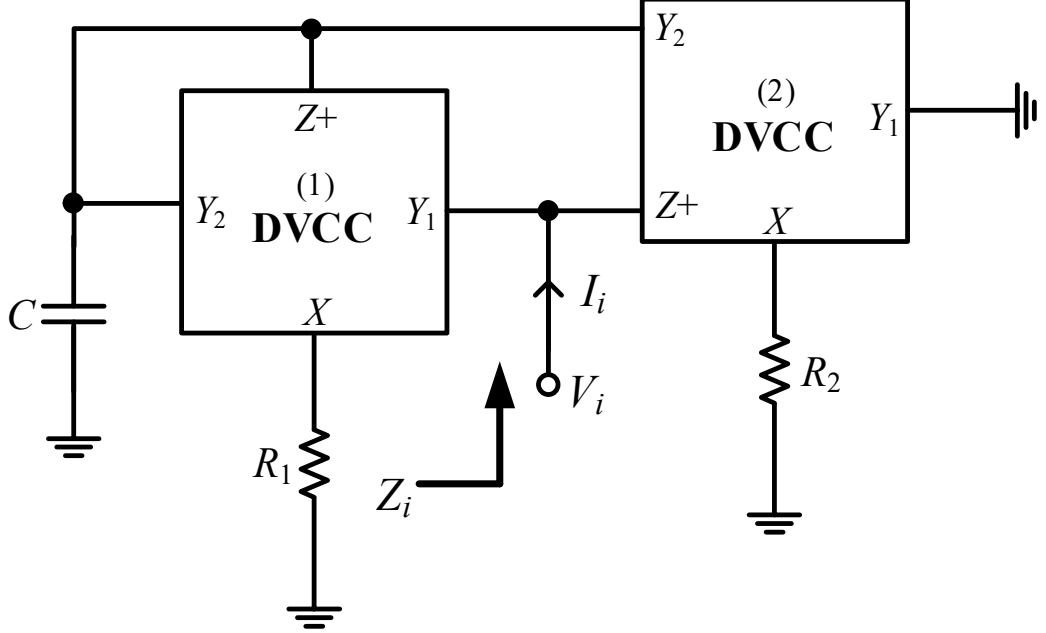
Referanslar	Aktif Blok Sayısı	Topraklanmış (Yüzen) Kondansatör Sayısı	Topraklanmış (Yüzen) Direnç Sayısı	Teknoloji	Güç Tüketimi (mW)	Besleme Gerilimi (V)	Eşlenik	Kalite Faktörü	Tüm IFS'lerin Sağlanması	Standart Aktif Blok Kullanımı
Abaci ve Yuce 2017 <sup>b</sup>	1	1 (0)	0 (2)	0.13 $\mu\text{m}$	1.61	$\pm 0.75$	✓	Çok Yüksek	X	X
Abaci ve Yuce 2019	1	1 (0)	2 (0)	0.13 $\mu\text{m}$	1.97	$\pm 0.75$	✓	Düşük	X	X
Cicekoglu 1998 <sup>a</sup>	2	1 (0)	2 (0)	AD844	*	$\pm 12$	X	Çok Yüksek	X	X
Cicekoglu 1998 <sup>b</sup>	3	1 (0)	3 (0)	AD844	*	$\pm 12$	X	Yüksek	✓	✓
Cicekoglu ve diğ. 2001	3	1 (0)	3 (0)	AD844	*	$\pm 12$	X	Yüksek	✓	✓
Fabre ve Alami 1995	2	1 (0)	1 (1)	BJT	*	$\pm 10$	X	Yüksek	X	✓
Fabre ve diğ. 1997	2	1 (0)	0 (2)	BJT	< 38	$\pm 2.5$	X	Düşük	X	✓
Hamad ve Ibrahim 2017	2	1 (0)	2 (0)	0.35 $\mu\text{m}$	*	$\pm 1.5$	X	Çok Yüksek	X	✓
Ibrahim ve diğ. 2012	1	1 (0)	1 (1)	0.35 $\mu\text{m}$	*	$\pm 1.5$	✓	Çok Yüksek	X	X
Incekaraoglu ve Cam 2005	1	1 (0)	1 (1)	0.5 $\mu\text{m}$	*	$\pm 2.5$	X	Düşük	X	✓
Saad ve Soliman 2008	3	1 (0)	1 (1)	0.25 $\mu\text{m}$	*	$\pm 1.5$	X	Çok Yüksek	X	X
Safari ve diğ. 2020	2	1 (0)	0 (2)	0.18 $\mu\text{m}$	0.65	$\pm 0.9$	X	Çok Yüksek	X	X
Sedra ve Smith 1970	2	1 (0)	2 (0)	*	*	*	X	Çok Yüksek	X	X
Soliman 1978	1	0 (1)	2 (2)	*	*	*	✓	Çok Yüksek	X	✓
Stornelli ve diğ. 2021	1	1 (0)	0 (0)	0.18 $\mu\text{m}$	0.027-0.096	$\pm 0.3$	X	Çok Yüksek	X	✓
Yuce 2006	1	1 (0)	1 (1)	*	*	*	X	Düşük	X	✓
Yuce 2008	3	1 (0)	2 (1)	0.35 $\mu\text{m}$	*	$\pm 1.5$	✓	Çok Yüksek	X	✓
Şekil 7.1 ve Şekil 7.5	2	1 (0)	2 (0)	0.13 $\mu\text{m}$	2.44	$\pm 0.75$	X	Yüksek	✓	✓

\* : Erişilemeyen



## 7.1 Tasarlanan Seri Kayıplı IFS Devresi

Tasarlanan devrelerde iki adet DVCC+, iki direnç ve bir kondansatör kullanılmıştır. Şekil 7.1’de gösterilen IFS +L seri +R eşdeğerini gerçeklemektedir.



Şekil 7.1: Bir ucu topraklı pozitif seri kayıplı emitans fonksiyon simulatörü devresi.

İdeal olmayan frekansa bağlı gerilim ve akım kazançları dikkate alınarak yapılan analiz ile hesaplanan giriş empedansı aşağıda verilmiştir.

$$Z_i(s) = \frac{V_i}{I_i} = \frac{sCR_1R_2}{\alpha_1\alpha_2\beta_1\eta_2} + \frac{R_2\eta_1}{\alpha_2\beta_1\eta_2} \quad (7.1)$$

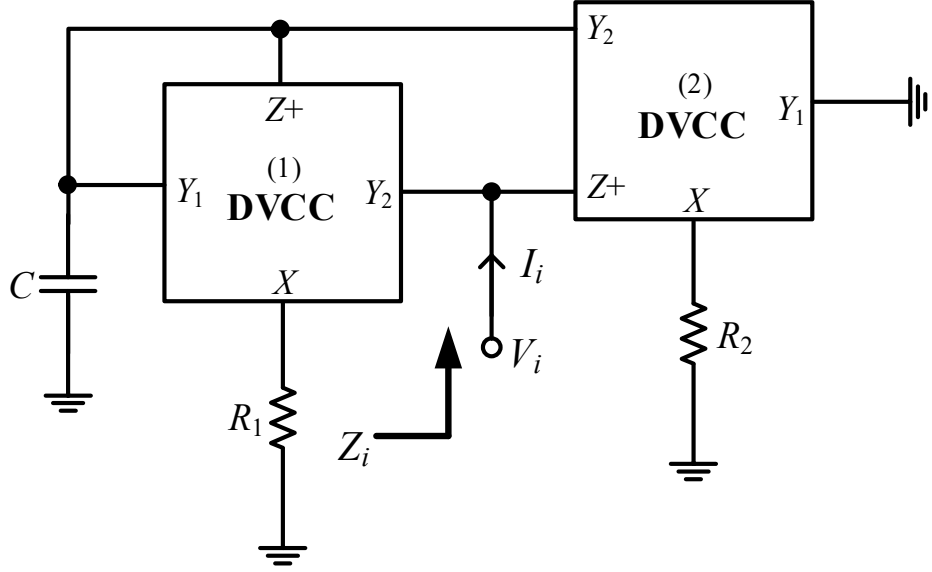
Yukarıdaki denklemden  $Q$  aşağıdaki gibi hesaplanabilir.

$$Q = \frac{\omega CR_1}{\alpha_1\eta_1} \quad (7.2)$$

Şekil 7.1’deki IFS’nin aşağıdaki frekans aralığında kayıpsız bir bobin olarak çalıştırılabileceği gözlemlenmektedir.

$$f \geq \frac{10}{2\pi} \frac{\alpha_1\eta_1}{CR_1} \quad (7.3)$$

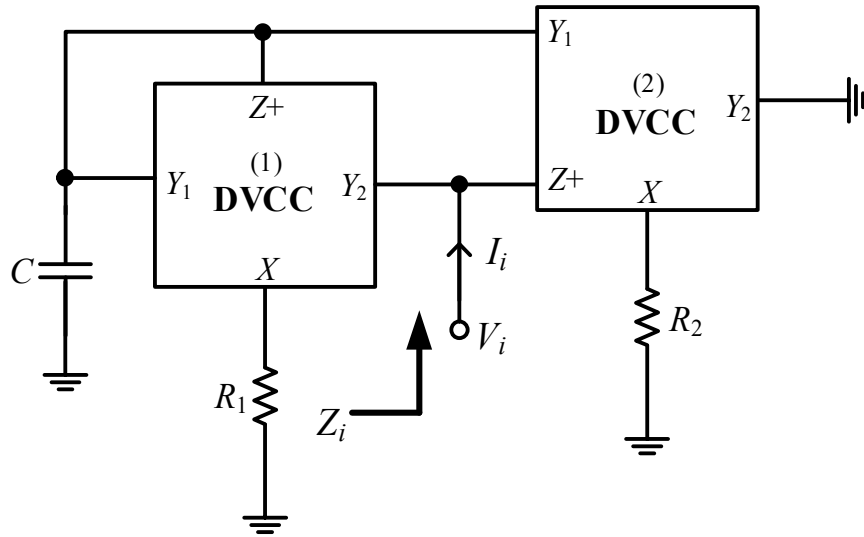
Burada,  $Q \geq 10$  alınmaktadır. Şekil 7.2’de gösterilen IFS, -L seri +R eşdeğerini gerçeklemektedir. Basit bir analiz ile giriş empedansı Denklem (7.4)’te verilmiştir.



Şekil 7.2: Bir ucu topraklı -L seri +R devresi.

$$Z_i(s) = \frac{V_i}{I_i} = -\frac{sCR_1R_2}{\alpha_1\alpha_2\eta_1\eta_2} + \frac{R_2\beta_1}{\alpha_2\eta_1\eta_2} \quad (7.4)$$

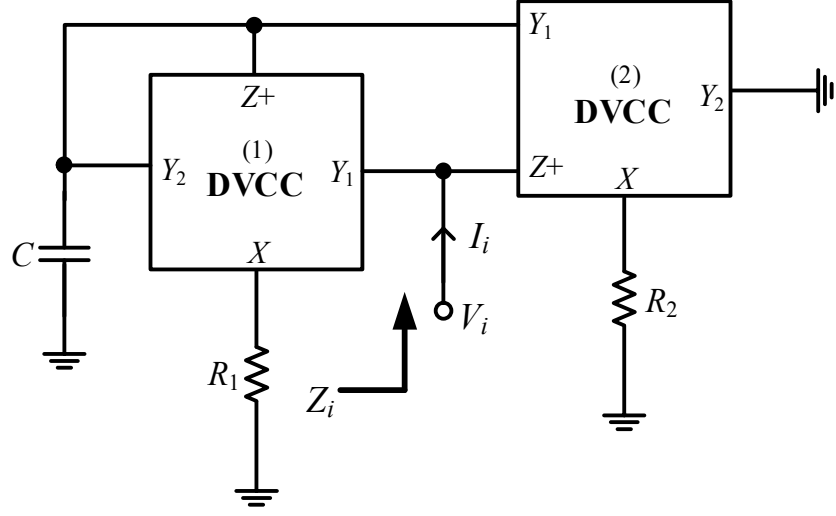
Şekil 7.3'te gösterilen IFS, +L seri -R eşdeğerini gerçeklemektedir. Basit bir analiz ile giriş empedansı Denklem (7.5)'da verilmiştir.



Şekil 7.3: Bir ucu topraklı +L seri -R devresi.

$$Z_i(s) = \frac{V_i}{I_i} = \frac{sCR_1R_2}{\alpha_1\alpha_2\beta_2\eta_1} - \frac{R_2\beta_1}{\alpha_2\beta_2\eta_1} \quad (7.5)$$

Şekil 7.4'te gösterilen IFS, -L seri -R eşdeğerini gerçeklemektedir. Basit bir analiz ile giriş empedansı Denklem (7.6)'de verilmiştir.

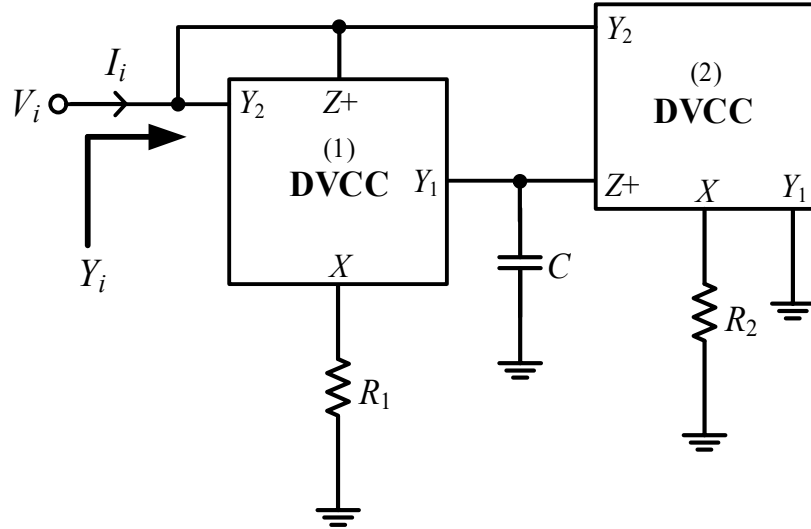


Şekil 7.4: Bir ucu topraklı -L seri -R devresi.

$$Z_i(s) = \frac{V_i}{I_i} = -\frac{sCR_1R_2}{\alpha_1\alpha_2\beta_1\beta_2} - \frac{R_2\eta_1}{\alpha_2\beta_1\beta_2} \quad (7.6)$$

## 7.2 Tasarlanan Paralel Kayıplı IFS Devresi

Şekil 7.5'te gösterilen IFS +L paralel +R eşdeğerini gerçeklemektedir. Basit bir analiz ile giriş admittansı Denklem (7.7)'de verilmiştir.



Şekil 7.5: Bir ucu topraklı +L paralel +R devresi.

$$Y_i(s) = \frac{I_i}{V_i} = \frac{\alpha_1 \alpha_2 \beta_1 \eta_2}{s C R_1 R_2} + \frac{\alpha_1 \eta_1}{R_1} \quad (7.7)$$

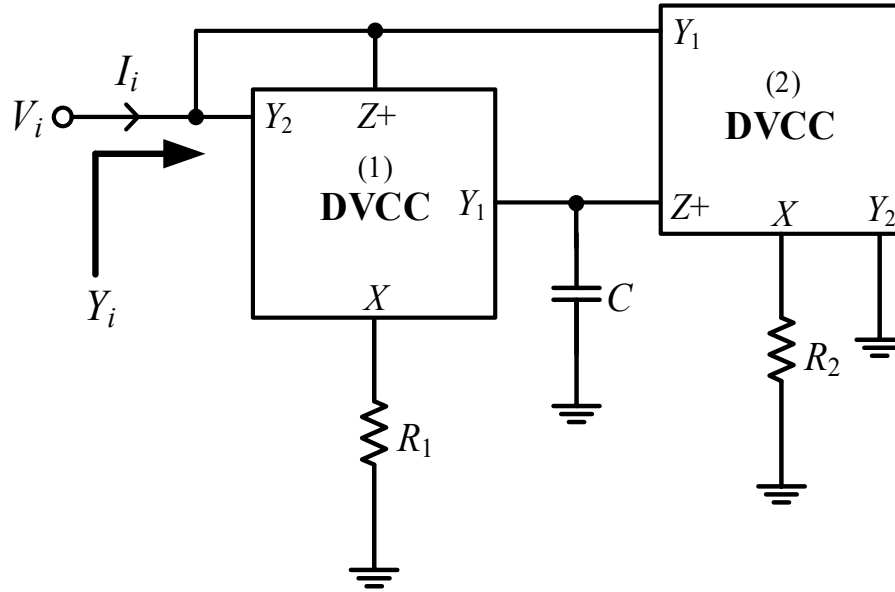
Denklem (7.8)'den  $Q$  aşağıdaki gibi bulunur.

$$Q = \frac{\alpha_2 \beta_1 \eta_2}{\omega C R_2 \eta_1} \quad (7.8)$$

Denklem (7.9)'dan Şekil 7.5'teki IFS'nin aşağıdaki frekans aralığında kayıpsız bir bobin olarak çalıştırılabileceği gözlemlenmektedir.

$$f \leq \frac{1}{20\pi} \frac{\alpha_2 \beta_1 \eta_2}{C R_2 \eta_1} \quad (7.9)$$

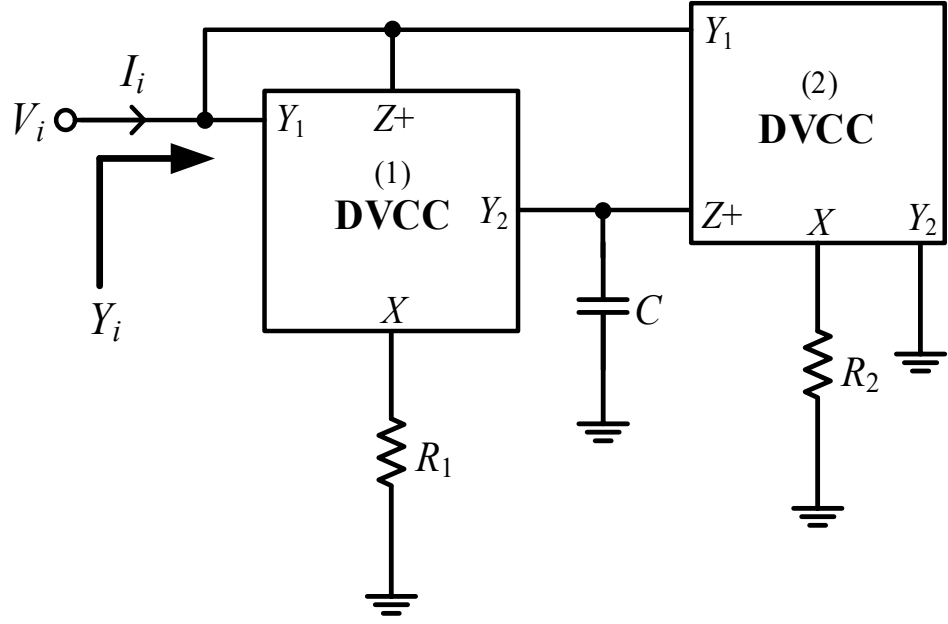
Burada,  $Q \geq 10$  alınır. Şekil 7.6'da gösterilen IFS, -L paralel +R eşdeğerini gerçeklemektedir. Basit bir analiz ile giriş admitansı Denklem (7.10)'da verilmiştir.



Şekil 7.6: Bir ucu topraklı -L paralel +R devresi.

$$Y_i(s) = \frac{I_i}{V_i} = -\frac{\alpha_1 \alpha_2 \beta_1 \beta_2}{s C R_1 R_2} + \frac{\alpha_1 \eta_1}{R_1} \quad (7.10)$$

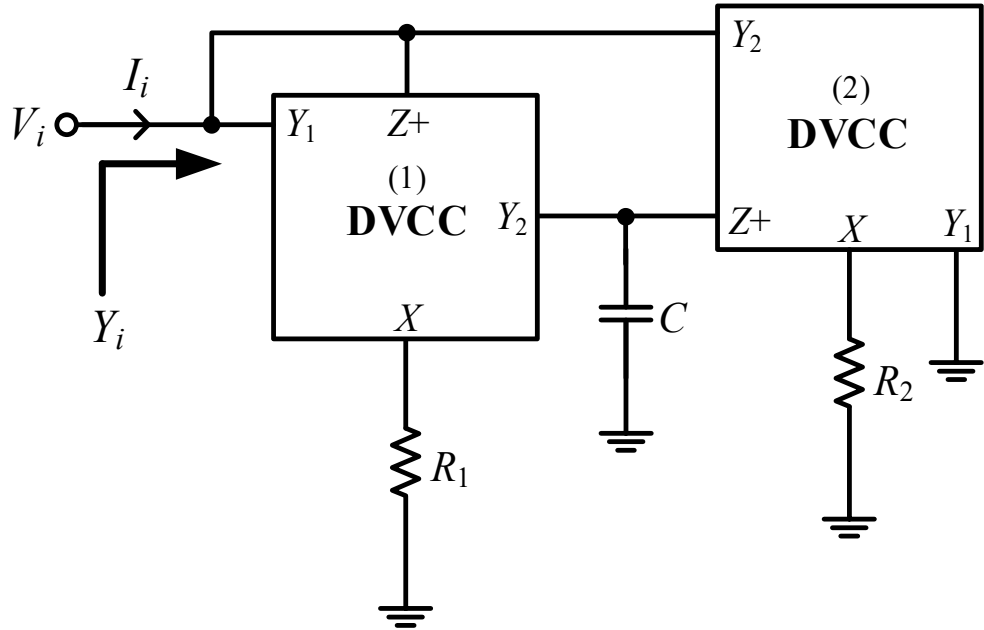
Şekil 7.7'de gösterilen IFS, +L paralel -R eşdeğerini gerçeklemektedir. Basit bir analiz ile giriş admitansı Denklem (7.11)'de verilmiştir.



Şekil 7.7: Bir ucu topraklı +L paralel -R devresi.

$$Y_i(s) = \frac{I_i}{V_i} = \frac{\alpha_1 \alpha_2 \beta_2 \eta}{s C R_1 R_2} - \frac{\alpha_1 \beta_1}{R_1} \quad (7.11)$$

Şekil 7.8’de gösterilen IFS, -L paralel -R eşdeğerini gerçeklemektedir. Basit bir analiz ile giriş admitansı Denklem (7.12)’de verilmiştir.

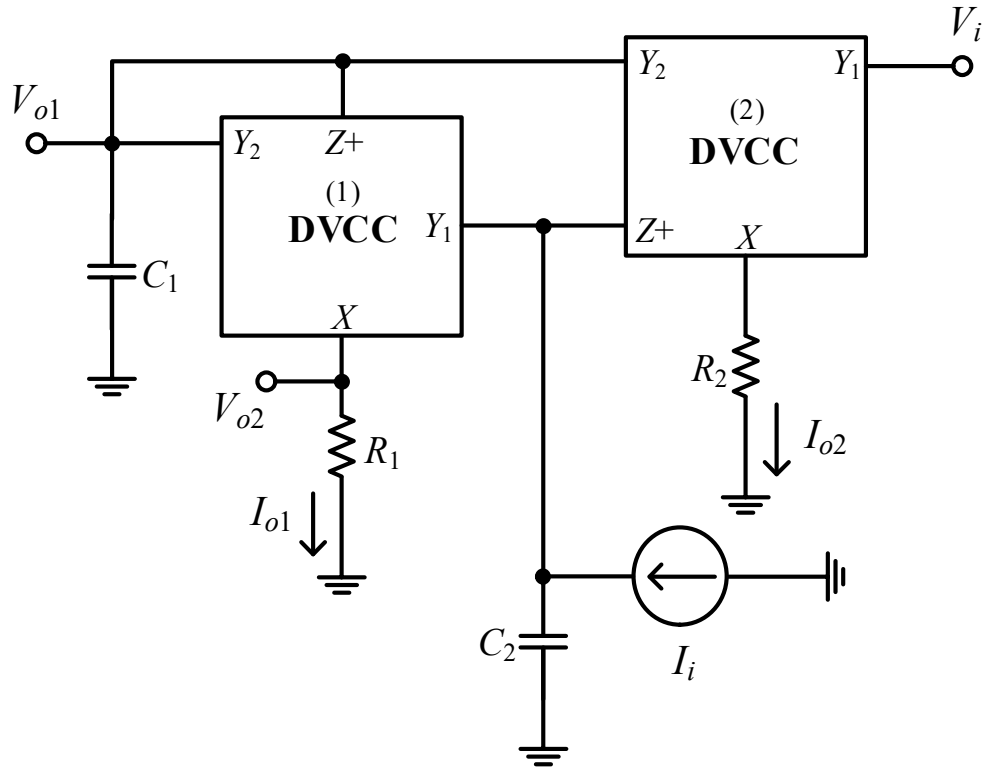


Şekil 7.8: Bir ucu topraklı -L paralel -R devresi.

$$Y_i(s) = \frac{I_i}{V_i} = -\frac{\alpha_1 \alpha_2 \eta_1 \eta_2}{s C R_1 R_2} - \frac{\alpha_1 \beta_1}{R_1} \quad (7.12)$$

### 7.3 Tasarlanan Karışık Mod Çok Amaçlı Süzgeç ve PID Kontrolör

Tasarlanan IFS'lerin uygulaması olarak Şekil 7.9'da verilen MM çok amaçlı süzgeç tasarlanmıştır. Şekil 7.9'daki devrenin analizi yapıldığı zaman VM LP ve BP süzgeç cevapları ( $I_i = 0$  alınmıştır) Denklem (7.13-7.14)'de verilmiştir. Benzer şekilde analiz ile TAM BP cevabı ( $I_i = 0$  alınmıştır) Denklem (7.15)'de verilmiştir. Devrenin CM LP ve BP cevabı ( $V_i = 0$  alınmıştır) Denklem (7.16-7.17)'de verilmiştir. Benzer şekilde TIM LP ve BP cevabı Denklem (7.18-7.19)'de verilmiştir.



Şekil 7.9: Karışık mod çok amaçlı süzgeç devresi.

$$V_{o1} = \frac{\alpha_1 \alpha_2 \beta_1 \beta_2}{s^2 C_1 C_2 R_1 R_2 + s C_2 R_2 \alpha_1 \eta_1 + \alpha_1 \alpha_2 \beta_1 \eta_2} V_i \quad (7.13)$$

$$V_{o2} = \frac{s C_1 R_1 \alpha_2 \beta_1 \beta_2}{s^2 C_1 C_2 R_1 R_2 + s C_2 R_2 \alpha_1 \eta_1 + \alpha_1 \alpha_2 \beta_1 \eta_2} V_i \quad (7.14)$$

$$I_{o1} = \frac{sC_1\alpha_2\beta_1\beta_2}{s^2C_1C_2R_1R_2 + sC_2R_2\alpha_1\eta_1 + \alpha_1\alpha_2\beta_1\eta_2} V_i \quad (7.15)$$

$$I_{o1} = \frac{sC_1R_2\beta_1}{s^2C_1C_2R_1R_2 + sC_2R_2\alpha_1\eta_1 + \alpha_1\alpha_2\beta_1\eta_2} I_i \quad (7.16)$$

$$I_{o2} = \frac{\alpha_1\beta_1\eta_2}{s^2C_1C_2R_1R_2 + sC_2R_2\alpha_1\eta_1 + \alpha_1\alpha_2\beta_1\eta_2} I_i \quad (7.17)$$

$$V_{o1} = \frac{R_2\alpha_1\beta_1}{s^2C_1C_2R_1R_2 + sC_2R_2\alpha_1\eta_1 + \alpha_1\alpha_2\beta_1\eta_2} I_i \quad (7.18)$$

$$V_{o2} = \frac{sC_1R_1R_2\beta_1}{s^2C_1C_2R_1R_2 + sC_2R_2\alpha_1\eta_1 + \alpha_1\alpha_2\beta_1\eta_2} I_i \quad (7.19)$$

Yukarıdaki denklemlerden  $f_0$  ve  $Q$  sırasıyla aşağıdaki gibi hesaplanmıştır.

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{\alpha_1\alpha_2\beta_1\eta_2}{C_1C_2R_1R_2}} \quad (7.20)$$

$$Q = \frac{1}{\eta_1} \sqrt{\frac{C_1R_1\alpha_2\beta_1\eta_2}{C_2R_2\alpha_1}} \quad (7.21)$$

Başka bir uygulama örneği olarak Şekil 7.10'da gösterilen PID kontrolör tasarlanmıştır. PID kontrolörler sıcaklık, basınç gibi değişkenleri ayarlayabilmek amacıyla kontrol sistemlerinde yaygın bir şekilde kullanılmaktadır.

Şekil 7.10'daki devrenin transfer fonksiyonu aşağıdaki verilmiştir.

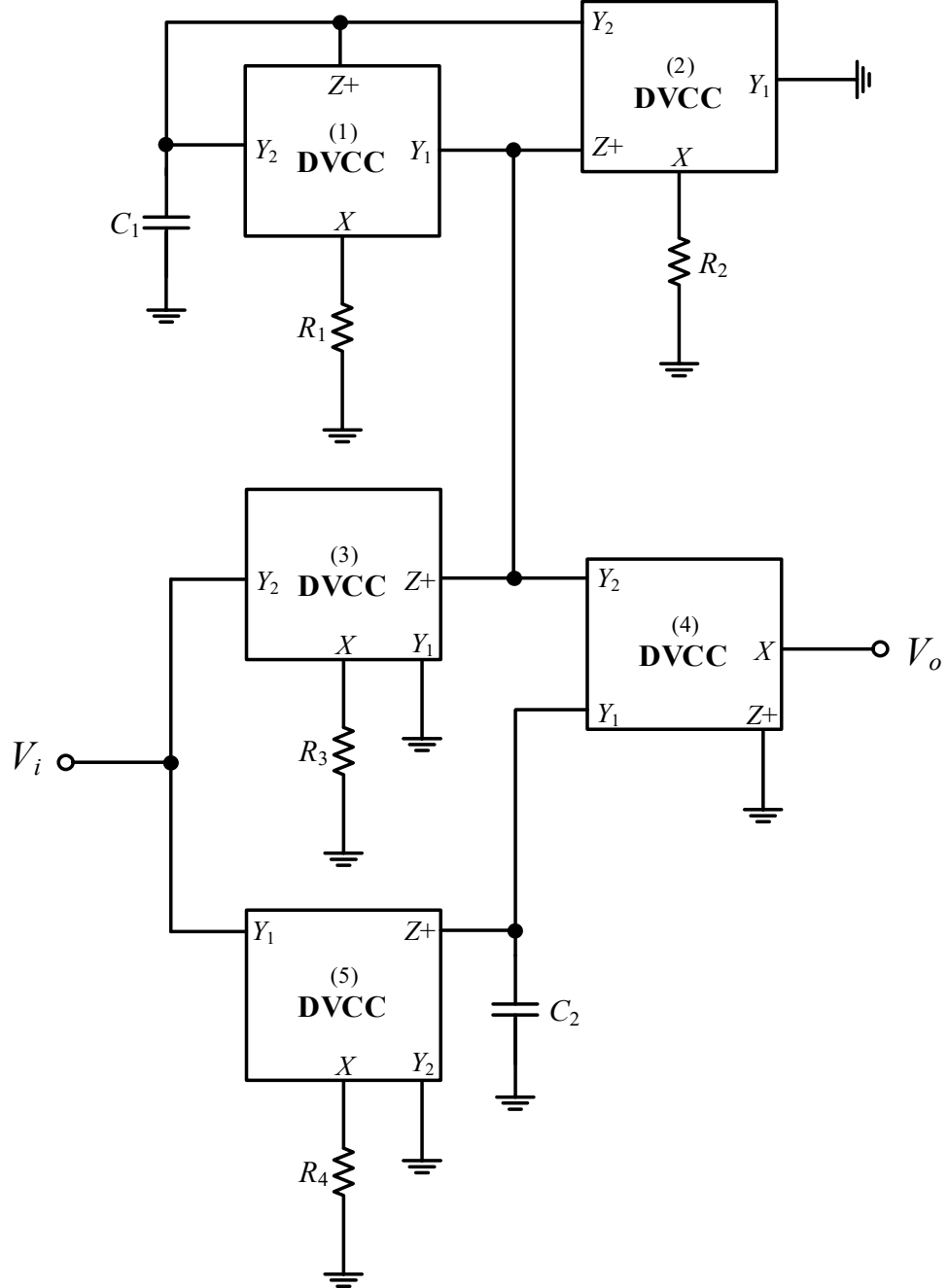
$$\frac{V_o}{V_i} = K_p + \frac{1}{sT_i} + sT_d \quad (7.22)$$

Yukarıdaki denklemde  $K_p$  oransal kontrol katsayısını,  $T_i$  integral kontrol katsayısını ve  $T_d$  türev kontrol katsayısını ifade etmektedir. Deklem (7.22)'deki  $K_p$ ,  $T_i$  ve  $T_d$  sırasıyla şu şekildedir.

$$K_p = \frac{\alpha_3\eta_1\eta_3\eta_4R_2}{\alpha_2\beta_1\eta_2R_3} \quad (7.23)$$

$$T_i = \frac{C_2 R_4}{\alpha_5 \beta_4 \beta_3} \quad (7.24)$$

$$T_d = \frac{\alpha_3 \eta_3 \eta_4 C_1 R_1 R_2}{\alpha_1 \alpha_2 \beta_1 \eta_2 R_3} \quad (7.25)$$



Şekil 7.10: +L seri +R'den türetilen PID kontrolcü.

Yukarıdaki denklemlere ideal olmayan akım ve gerilim kazançlarının etkilerinin dahil edildiği görülmektedir. Şekil 7.10'daki devrede kullanılan DVCC+



bloklarının X terminallerine seri olarak hiçbir kondansatör bağlanmamıştır. Bu nedenle yüksek frekans performansı iyidir. Ayrıca devre, sadece bir ucu topraklanmış pasif devre elemanlarından oluşmasının yanında düşük çıkış empedansına ve yüksek giriş empedansına sahiptir.  $K_p$ ,  $T_i$  ve  $T_d$  değerleri birbirinden bağımsız olarak ayarlanabilmektedir.

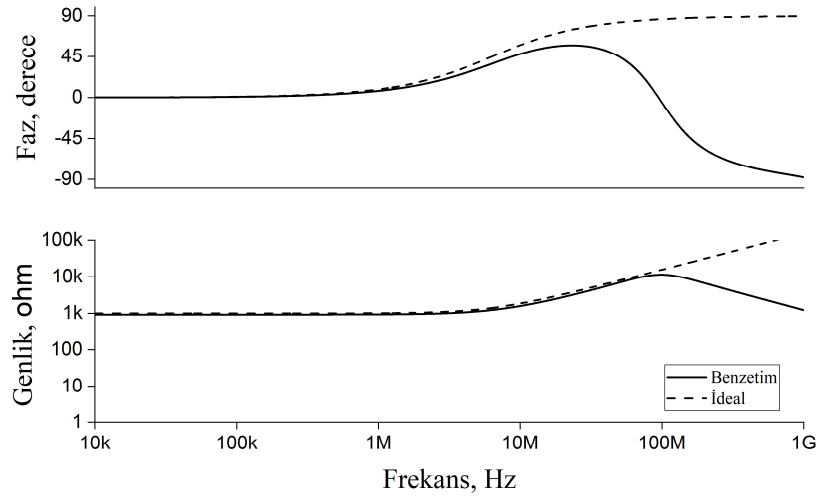
#### 7.4 Benzetim ve Deneysel Sonuçları

Şekil 7.1, Şekil 7.5 ve Şekil 7.10'da verilen devrelerdeki MOSFETler için 0.13µm IBM teknoloji parametreleri kullanılarak SPICE programında benzetimleri yapılmıştır. Tüm NMOS ve PMOS transistörlerin en boy oranları sırasıyla  $13\ \mu\text{m} / 0.52\ \mu\text{m}$  ve  $39\ \mu\text{m} / 0.52\ \mu\text{m}$  olarak seçilmiştir. Deneysel çalışmalarda DVCC+ için Şekil 2.3'te verilen AD844 entegrelerinden oluşan devre kullanılmıştır. İçyapıda  $V_{DD} = -V_{SS} = 0.75\ \text{V}$  ve  $V_B = 0.23\ \text{V}$  olarak seçilmiştir. Şekil 7.1 ve Şekil 7.5'teki devreler için  $R_1 = R_2 = 1\ \text{k}\Omega$  ( $R_X \cong 35\ \Omega$  dahil edilmiştir) ve  $C = 25\ \text{pF}$  olarak seçilmiş ve bu nedenle  $L = 25\ \mu\text{H}$  ve  $R = 1\ \text{k}\Omega$  olarak elde edilmiştir. Şekil 7.1 ve Şekil 7.5'teki devrelerin her birinin toplam güç tüketimi 2.44 mW olduğu gözlemlenmiştir.

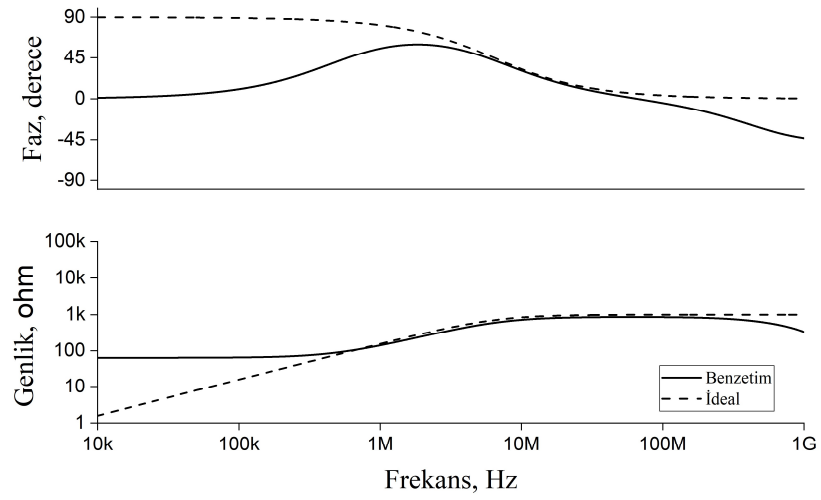
Bu devrelerin frekans ortamı cevabı Şekil 7.11 ve Şekil 7.12'de verilmiştir. Pasif elemanların 100 kez %5 tekdüze olarak değişiminin MC analizi Şekil 7.13 ve Şekil 7.14'te verilmiştir. VM LP ve BP süzgeçlerin frekans ortamı cevabı Şekil 7.15'te verilmiştir. Bu benzetimlerde  $R_1 = R_2 = 1\ \text{k}\Omega$  ( $R_X \cong 35\ \Omega$  dahil edilmiştir) ve  $C_1 = C_2 = 20\ \text{pF}$  olarak seçilmiştir. Bu nedenle  $f_0 \cong 7.96\ \text{MHz}$  ve  $Q = 1$  olarak bulunmuştur. Ayrıca, LP ve BP süzgeçleri için sırasıyla 2 MHz ve 7.96 MHz deki THD analizleri Şekil 7.16'da verilirken Şekil 7.17'de bu devrelerin zaman ortamı analizleri verilmektedir. Şekil 7.16'da THD değerlerinin yeterince düşük olduğu gözlemlenmektedir. BP süzgece ait gürültü analizinin benzetim sonuçları Şekil 7.18'de gösterilmiştir. Zaman ortamı analizlerde LP ve BP süzgeç devrelerinin giriş işareti için 50mV tepe değerli sinüzoidal bir işaret kullanılmıştır. Pasif elemanların değerlerinin tekdüze olarak %5 tolerans dahilindeki değişimi ile LP ve BP süzgeçlerin 100 kez oluşturulmuş MC analizi sonuçları Şekil 7.19'da verilmiştir.

Şekil 7.10'da verilen PID kontrolör için  $K_p = 1$ ,  $T_i = 10^{-7}\text{s}$  ve  $T_d = 10^{-7}\text{s}$  olacak şekilde  $C_1 = C_2 = 100\ \text{pF}$  ve  $R_1 = R_2 = R_3 = R_4 = 1\ \text{k}\Omega$  olarak seçilmiştir. PID kontrolörün

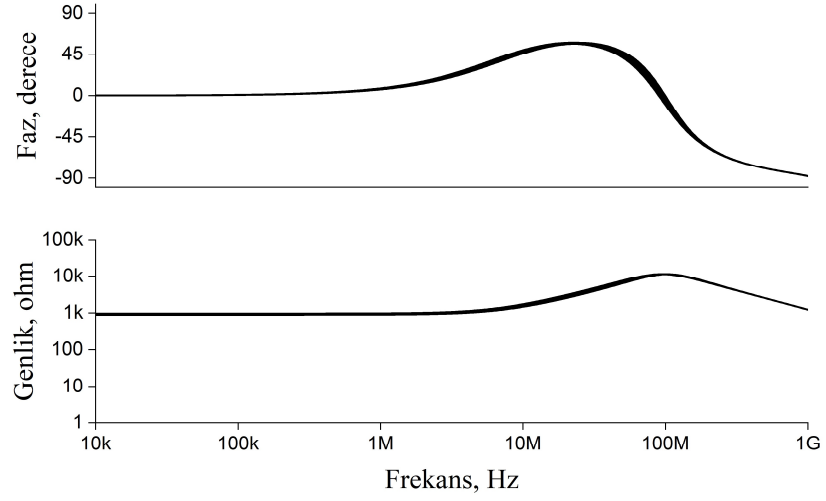
frekans ortamı ve zaman ortamı analizleri sırasıyla Şekil 7.20 ve Şekil 7.21’de verilmiştir.



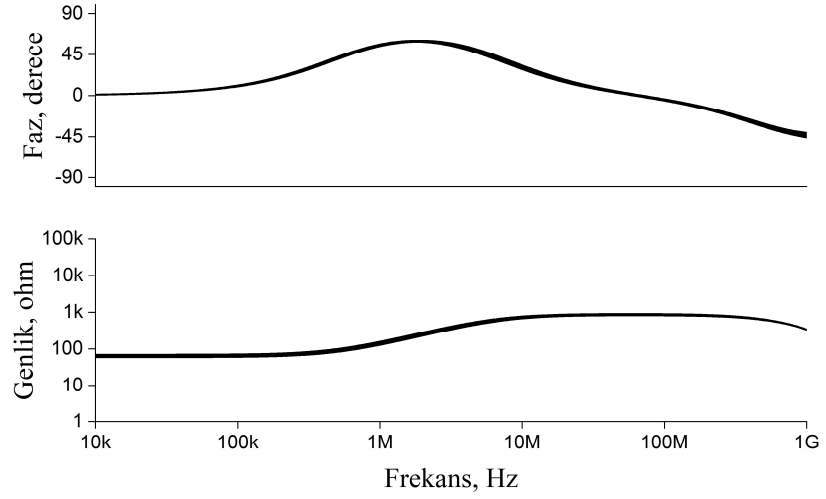
Şekil 7.11: Seri kayıplı emitans fonksiyon simulatörün frekans ortamı analizi.



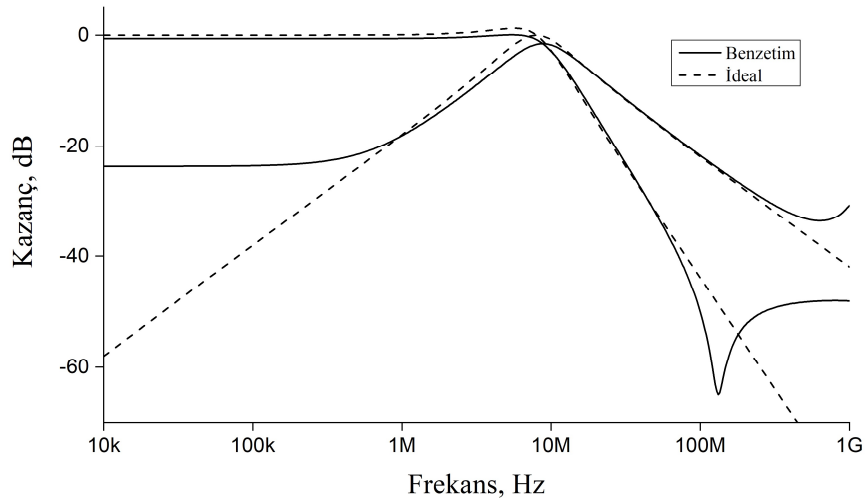
Şekil 7.12: Paralel kayıplı emitans fonksiyon simulatörün frekans ortamı analizi.



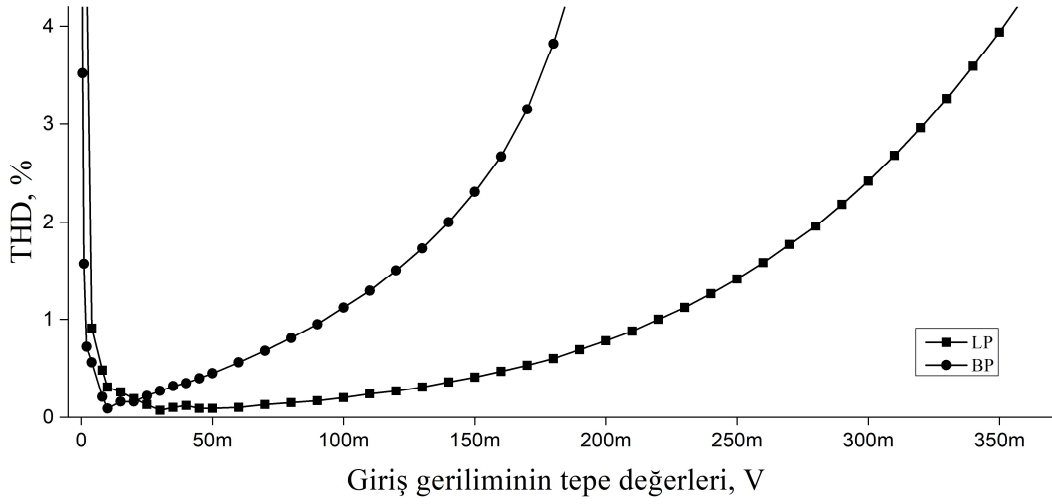
Şekil 7.13: Seri kayıplı emitans fonksiyon simülatörüne ait Monte Carlo analizi.



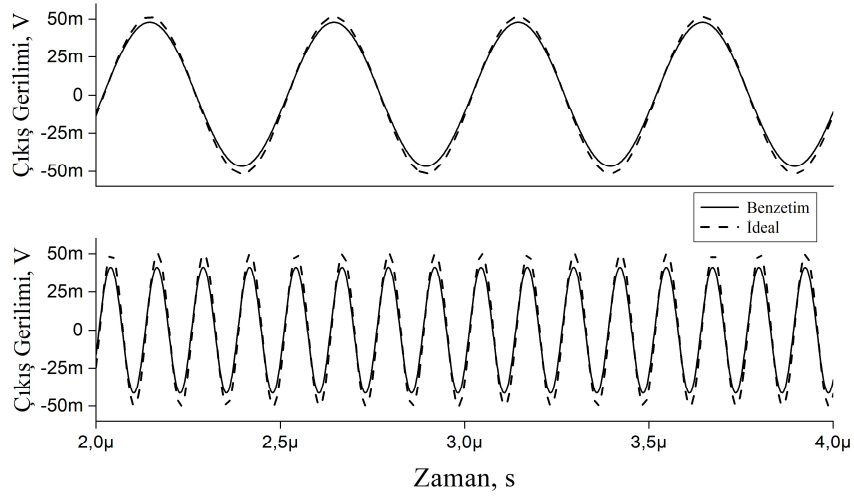
Şekil 7.14: Paralel kayıplı emitans fonksiyon simülatörüne ait Monte Carlo analizi.



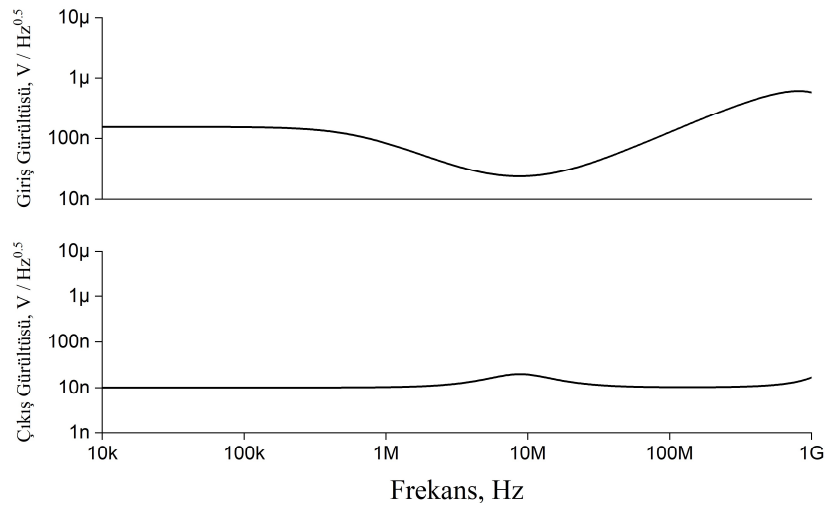
Şekil 7.15: Gerilim modlu alçak geçiren ve bant geçiren süzgeçlerin frekans ortamı analizi.



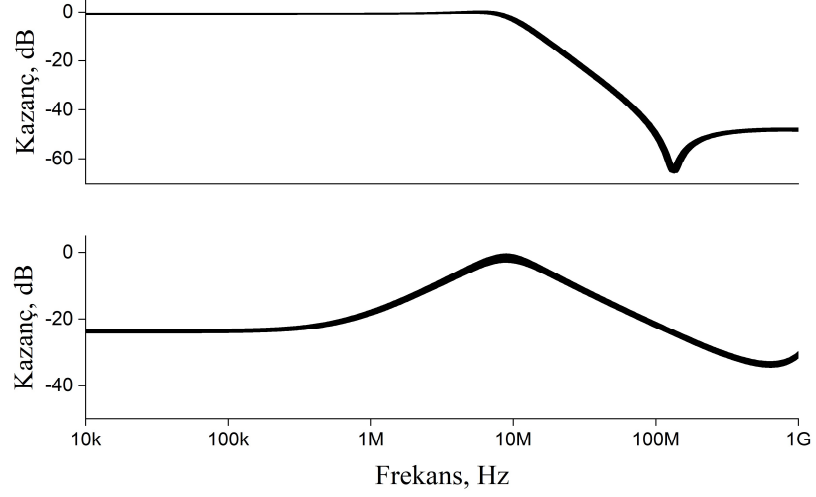
Şekil 7.16: Alçak geçiren ve bant geçiren süzgeçlere ait toplam harmonik bozulma değerleri.



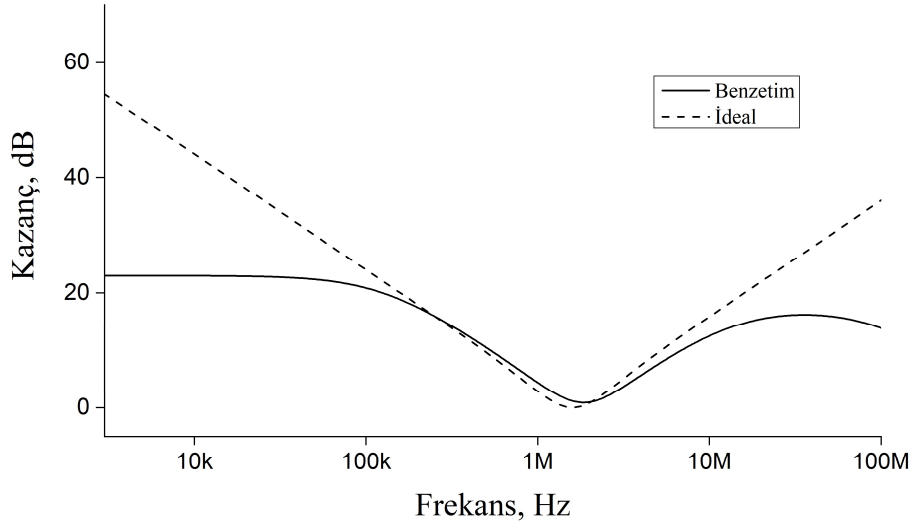
Şekil 7.17: Alçak geçiren ve bant geçiren süzgeçlerin zaman ortamı analizi.



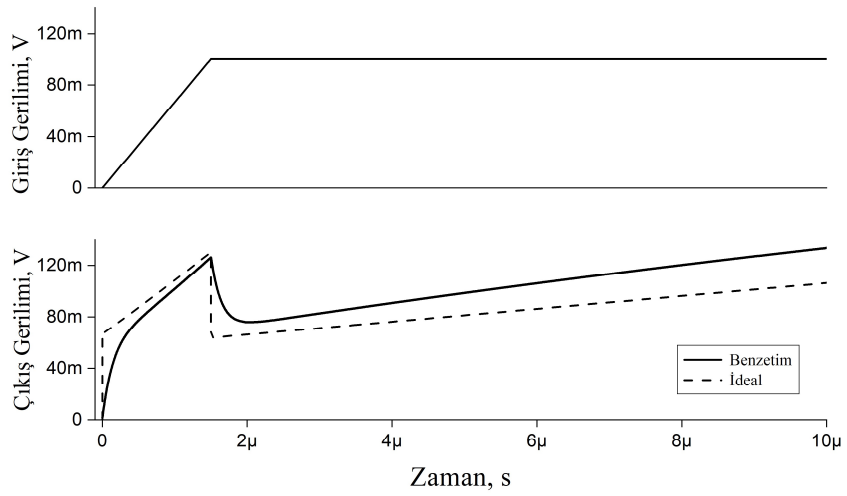
Şekil 7.18: Bant geçiren süzgece ait gürültü analizi.



Şekil 7.19: Alçak geçiren ve bant geçiren süzgeçlere ait Monte Carlo analizi.

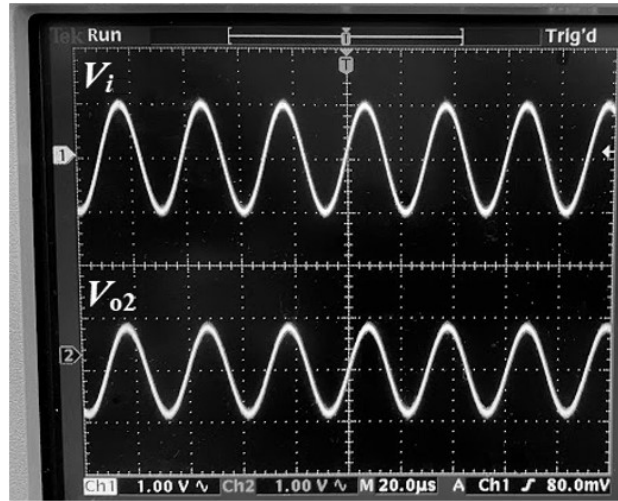


Şekil 7.20: PID kontrolörün frekans ortamı analizi.

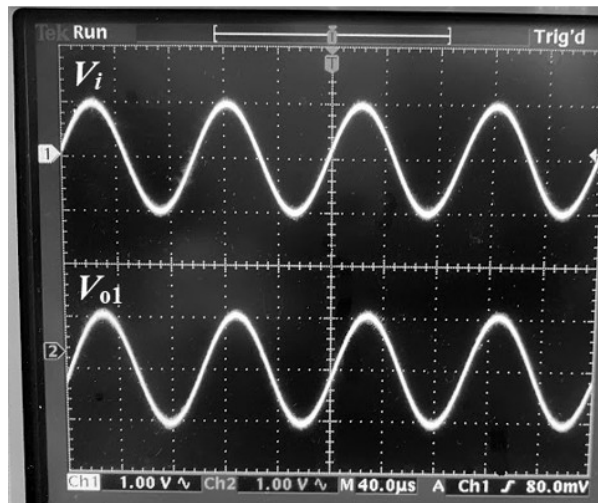


Şekil 7.21: PID kontrolörün zaman ortamı analizi.

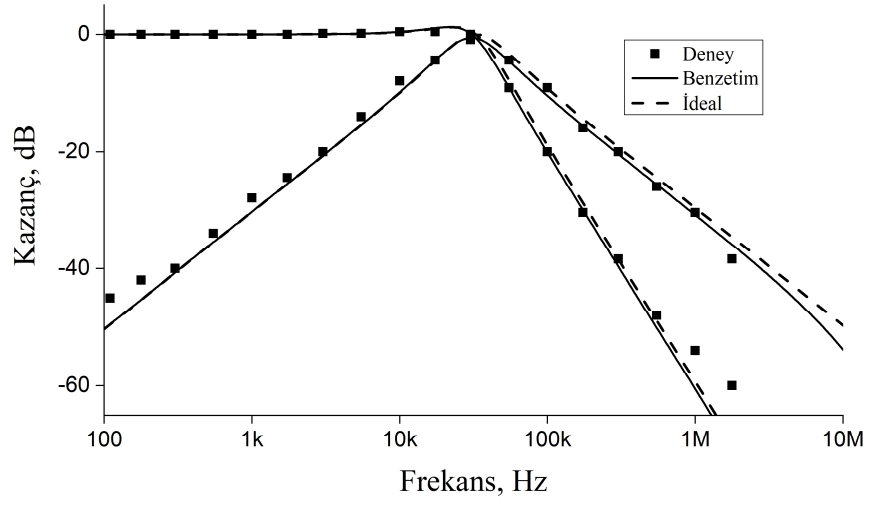
Şekil 2.3'te AD844 kullanılarak gerçekleştirilen bir DVCC gösterilmiş ve Şekil 7.9'daki VM süzgecinin deneyi yapılmıştır. Bu deneyde besleme gerilimleri  $\pm 7.5$  V ve içyapıda kullanılan dirençler  $R_a = R_b = 2.2$  k $\Omega$  olarak seçilmiştir. Şekil 7.9'daki devre elemanlarının değerleri  $R_1 = R_2 = 2.2$  k $\Omega$  ve  $C_1 = C_2 = 2.2$  nF seçilerek  $f_0 \cong 33$  kHz ve  $Q = 1$  olarak belirlenmiştir. VM LP ve BP süzgeç uygulama devresinde giriş işareti olarak sırasıyla 10 kHz ve 33 kHz frekansa ve 1 V tepe değerine sahip sinüzoidal bir giriş gerilimi uygulanmış, bu giriş gerilimi ve çıkış gerilimleri Şekil 7.22 ve Şekil 7.23'te gösterilmiştir. Deney, benzetim ve ideal kazançların yer aldığı AC analiz sonucu Şekil 7.24'te verilmiştir. Şekil 7.24'teki AC analiz benzetim kısmı AD844'ün makro modeli kullanılarak elde edilmiştir.



Şekil 7.22: Gerilim modlu alçak geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.



Şekil 7.23: Gerilim modlu bant geçiren süzgecin giriş ve çıkış işaretlerinin osiloskop görüntüsü.



Şekil 7.24: Tasarlanan devrenin deneysel çalışmasında elde edilen alçak geçiren ve bant geçiren çıkışlarına ait frekans ortamı kazanç cevapları.

## 8. SONUÇ VE ÖNERİLER

Bu tezde, DDCC, DVCC, DDA ve OTA gibi farksal girişleri bulunan aktif bloklar ile yeni devreler tasarlanmıştır. Bu devreler şu şekilde sıralanabilir;

- DVCC+ tabanlı gerilim modlu birinci dereceden farksal girişli evrensel süzgeç devresi,
- DDCC+ tabanlı gerilim modlu evrensel süzgeç devresi,
- DVCC tabanlı karışık mod evrensel süzgeç tasarımı,
- DDA ve OTA tabanlı gerilim modlu evrensel süzgeç tasarımı,
- DVCC+ tabanlı emitans fonksiyon simülatörü.

Yukarıdaki devrelerinin matematiksel analizlerinin ardından SPICE yardımıyla benzetimleri yapılmıştır. Ayrıca matematiksel analiz ve SPICE benzetimleri bazı deneysel çalışmalarla desteklenmiştir.

Gelecek çalışmalar için daha düşük güç tüketimli, VM için yüksek giriş empedansına ve düşük çıkış empedansına sahip, CM için düşük giriş empedansına ve yüksek çıkış empedansına sahip, elektronik olarak ayarlanabilinen, ortogonal olarak kontrol edilebilinen, bir ucu topraklanmış pasif elemanlardan oluşan, pasif eşlenik eleman kısıtı bulunmayan, THD'si düşük, besleme gerilimi düşük, gürültü düzeyi düşük, duyarlılığı düşük, dinamik aralığı geniş devrelerin tasarlanması hedeflenmektedir. Ayrıca tasarlanan devrelerin layout ve çipini mümkün olduğunca gerçekleştirmek amaçlanmaktadır.



## 9. KAYNAKLAR

Abaci, A. and Yuce, E., “Second-order voltage-mode universal filters using two DVCCs, two grounded capacitors and four resistors”, *Journal of Circuits, Systems, and Computers*, 25 (12), 793-810, (2016).

Abaci, A. and Yuce, E., “A new DVCC+ based second-order current-mode universal filter consisting of only grounded capacitors”, *Journal of Circuits, Systems, and Computers*, 26 (9), 793–810, (2017<sup>a</sup>).

Abaci, A. and Yuce, E., “Modified DVCC based quadrature oscillator and lossless grounded inductor simulator using grounded capacitor(s)”, *AEÜ-International Journal of Electronics and Communications*, 76, 86–96, (2017<sup>b</sup>).

Abaci, A. and Yuce, E., “Single DDCC based new immittance function simulators employing only grounded passive elements and their applications”, *Microelectronics Journal*, 83, 94-103, (2019).

Abaci, A. and Yuce, E., “Single DDCC- based simulated floating inductors and their applications”, *IET Circuits, Devices & Systems (CDS)*, 14 (6), 796-804, (2020).

Alpaslan, H. and Yuce, E., “DVCC+ based multifunction and universal filters with the high input impedance features”, *Analog Integrated Circuits and Signal Processing*, 103 (2), 325–335, (2020).

Al-Absi, M. A. and Abuelma’atti, M. T., “A novel tunable grounded positive and negative impedance multiplier”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, 66 (6), 924–927, (2019).

Analog Devices, AD844 Datasheet (Rev. G), <http://www.analog.com/media/en/technical-documentation/data-sheets/AD844.pdf>, Accessed in October (2017).

Arslanalp, R., “A novel DDCC+ based first-order current-mode active-C all-pass filter using a grounded capacitor”, *Turkish Journal of Electrical Engineering & Computer Sciences*, 25 (2), 783–793, (2017).

Arif, B., Ismail, M. U. and Imran, A., “A versatile digitally programmable voltage mode multifunctional biquadratic filter”, *International Journal of Computer Application*, 94 (15), 793–810, (2014<sup>a</sup>).

Arif, B., Ismail, M. U. and Imran, A., “DVCC based KHN biquadratic analog filter with digitally controlled variations”, *American Journal of Electrical and Electronic Engineering*, 2 (6), 159–164, (2014<sup>b</sup>).

Chang, H.-P., and Wu, K.-H., “Universal capacitor-grounded voltage-mode filter with three inputs and a single output”, *International Journal of Electronics*, 90, (6), 401-406, (2003).

Chang, C.-M., Tu, S.-H., Swamy, M.S., and Soliman, A.M., “Analytical synthesis of elliptic voltage-mode even/odd-nth-order filter structures using DDCCs, FDCCII, and grounded capacitors and resistors”, *IET Circuits, Devices & Systems*, 13, (3) 279-291, (2018).

Chaturvedi, B., and Maheshwari, S., “Current mode biquad filter with minimum component count”, *Active and Passive Electronic Components*, (2011).

Chen, H.-P., “Universal voltage-mode filter using only plus-type DDCCs”, *Analog Integrated Circuits and Signal Processing*, 50 (2), 137–139, (2007).

Chen, H.-P., and Shen, S.-S., “A versatile universal capacitor-grounded voltage-mode filter using DVCCs”, *ETRI Journal*, 29 (4), 470–476, (2007).

Chen, H.-P., and Huang, K.-W., “Voltage-mode DDCC-based multifunction filters”, *Journal of Circuits, Systems, and Computers*, 16 (1), 93–104, (2007).

Chen, H.-P., and Wu, K.-H., “Single DDCC-based voltage-mode multifunction filter”, *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, 90 (9), 2029–2031, (2007).

Chen, H.-P., “Versatile universal voltage-mode filter employing DDCCs”, *AEÜ-International Journal of Electronics and Communications*, 63 (1), 78–82, (2009).

Chen, H.-P., “High-input impedance voltage-mode multifunction filter with four grounded components and only two plus-type DDCCs”, *Active and Passive Electronic Components*, (2010).

Chen, H.-P., Huang, K.-W. and Huang, P.-M., “DVCC-based first-order filter with grounded capacitor”, *International Journal of Information and Electronics Engineering*, 2 (1), 50–54, (2012<sup>a</sup>).

Chen, H.-P., Wang, S.-F. and Chang, Y.-L., “DDCC-based tunable voltage-mode multifunction biquadrates filter”, *International Journal of Information and Electronics Engineering*, 2 (1), 55–61, (2012<sup>b</sup>).

Chen, H.-P., Huang, K.-W. and Liu, T.-Y., “Voltage-mode universal filter employing two plus type DDCCs”, *International Journal of Information and Electronics Engineering*, 2 (1), 44–49, (2012<sup>c</sup>).

Chiu, W., Liu, S.-I., Tsao, H.-W. and Chen, J.-J., “CMOS differential difference current conveyors and their applications”, *IEE Proceedings G-Circuits, Devices and Systems*, 143 (2), 91–96, (1996).

Chiu, W.-Y., and Horng, J.-W., “High-input and low-output impedance voltage-mode universal biquadratic filter using DDCCs”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, 54 (8), 649–652, (2007).

Chiu, W.-Y., Horng, J.-W., Lee, H., and Huang, C.-C., “DVCC-based voltage-mode biquadratic filter with high-input impedance”, *5th IEEE International Symposium on Electronic Design, Test & Applications*, 121–125, (2010).

Chiu, W.-Y., and Horng, J.-W., “Voltage-mode highpass, bandpass, lowpass and notch biquadratic filters using single DDCC”, *Radioengineering*, 21 (1), 297–303, (2012<sup>a</sup>).

Chiu, W.-Y., and Horng, J.-W., “High input impedance voltage-mode universal biquadratic filter with three inputs and six outputs using three DDCCs”, *Circuits, Systems and Signal Processing*, 31 (1), 19–30, (2012<sup>b</sup>).

Choubey, C. K., Kastala, D. S., and Panchal, A. V., “Design of current controlled DVCC based floating gate MOS and its application to universal filter”, *International Journal of Technology and Science*, 8 (1), 26-29, (2016).

Cicekoglu, O., “New current conveyor based active-gyrotor implementation”, *Microelectronics Journal*, 29 (8), 525–528, (1998<sup>a</sup>).

Cicekoglu, M. O., “Active simulation of grounded inductors with CCII+s and grounded passive elements”, *International Journal of Electronics*, 85 (4), 455–462, (1998<sup>b</sup>).

Cicekoglu, O., Toker, A., Kuntman, H., “Universal immittance function simulators using current conveyors”, *Computers and Electrical Engineering*, 27 (3), 227–238, (2001).

Elwan, H. O. and Soliman, A. M., “Novel CMOS differential voltage current conveyor and its applications”, *IEE Proceedings G-Circuits, Devices and Systems*, 144 (3), 195–200, (1997).

Fabre, A., “Gyrator implementation from commercially available transimpedance operational amplifiers”, *Electronics Letters*, 28(3), 263–264, (1992).

Fabre, A. and Alami, M., “Universal current mode biquad implemented from two second generation current conveyors”, *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 42 (7), 383–385, (1995).

Fabre, A., Saaid, O., Wiest, F. and Boucheron, C., “Low power current-mode second-order bandpass IF filter”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processings*, 44 (6), 436–446, (1997).

Faseehuddin, M., Herencsar, N., Albrni, M. A., Shireen, S. and Sampe, J., “Electronically tunable mixed mode universal filter employing grounded capacitors utilizing highly versatile VD-DVCC”, *Circuit World*, (2021).

Ferri, G., Guerrini, N., Silverii, E. and Tatone A., “Vibration damping using CCII-based inductance simulators”, *IEEE Transactions on Instrumentation and Measurement*, 57 (5), 907–914, (2008).

Geiger, R. L. and Sanchez-Sinencio, E., “Active filter design using operational transconductance amplifiers: A tutorial”, *IEEE circuits and devices magazine*, 1 (2), 20–32, (1985).

Hamad, A. R. and Ibrahim, M. A., “Grounded generalized impedance converter based on differential voltage current conveyor (DVCC) and its applications”, *ZANCO Journal of Pure and Applied Sciences*, 29 (3), 118–127, (2017).

Hassan, T. M. and Mahmoud, S. A., “New CMOS DVCC realization and applications to instrumentation amplifier and active-RC filters”, *AEU-International Journal of Electronics and Communications*, 64 (1), 47–55, (2010).

Horng, J.-W., Chiu, W.-Y., and Wei, H.-Y., “Voltage-mode highpass, bandpass and lowpass filters using two DDCCs”, *International Journal of Electronics*, 91 (8), 461-464, (2004).

Horng, J.-W., Hou, C.-I., Chang, C.-M., Chou, H.-P., and Lin, C.-T., “High input impedance voltage-mode universal biquadratic filter with one input and

five outputs using current conveyors”, *Circuits, Systems and Signal Processing*, 25 (6), 767-777, (2006<sup>a</sup>).

Horng, J.-W., Hou, C.-L., Chang, C.-M., and Chung, W.-Y., “Voltage-mode universal biquadratic filters with one input and five outputs”, *Analog Integrated Circuits and Signal Processing*, 47, (1) 73–83, (2006<sup>b</sup>).

Horng, J.-W., “High input impedance voltage-mode universal biquadratic filter with three inputs using DDCCs”, *Circuits, Systems & Signal Processing*, 27 (4), 553-562, (2008).

Horng, J.-W., “High input impedance first-order allpass, highpass and low pass filters with grounded capacitor using single DVCC”, *Indian Journal of Engineering & Materials Sciences*, 17, (3), 175-178, (2009).

Horng, J.-W., “DVCCs based high input impedance voltage-mode first-order allpass, highpass and lowpass filters employing grounded capacitor and resistor”, *Radioengineering*, 19 (4), 653–6, (2010<sup>a</sup>).

Horng, J.-W., “Lossless inductance simulation and voltage-mode universal biquadratic filter with one input and five outputs using DVCCs”, *Analog Integrated Circuits and Signal Processing*, 62, 407–413, (2010<sup>b</sup>).

Horng, J.-W., and Chiu, W.-Y., “High input impedance DDCC-based voltage-mode universal biquadratic filter with three inputs and five outputs”, *Indian Journal of Engineering & Material Sciences*, 18 (3), 183-190, (2011).

Horng, J.-W., “Voltage-mode multifunction biquadratic filter employing single DVCC”, *International Journal of Electronics*, 99, (2), 153-162, (2012).

Horng, J.-W., Hsu, C.-H., and Tseng, C.-Y., “High input impedance voltage-mode universal biquadratic filters with three inputs using three CCs and grounding capacitors”, *Radioengineering*, 21 (1), 290-296, (2012).

Horng, J.-W. and Jhao Z.-Y., “Voltage-mode universal biquadratic filter using single DVCC”, *International Scholarly Research Notices*, (2013).

Horng, J.-W., “High output impedance current-mode universal first-order filter with three inputs using one DDCC”, *Recent Advances in Electrical & Electronic Engineering*, 12 (3), 242-246, (2019).

Huaihongthong, P., Chaichana, A., Suwanjan, P., Siripongdee, S., Sunthonkanokpong, W., Supavarasuwat, P., Jaikla, W. and Khateb, F., “Single-

input multiple-output voltage-mode shadow filter based on VDDAs”, *AEU-International Journal of Electronics and Communications*, 103, 13–23, (2019).

Ibrahim, M. A., Kuntman, H. and Cicekoglu, O., “First-order all-pass filter canonical in the number of resistors and capacitors employing a single DDCC”, *Circuits, Systems and Signal Processing*, 22 (5), 525-536, (2003).

Ibrahim, M. A., Kuntman, H. and Cicekoglu, O., “Single DDCC biquads with high input impedance and minimum number of passive elements”, *Analog Integrated Circuits and Signal Processing*, 43 (1), 71-79, (2005).

Ibrahim, MA, Minaei, S, and Kuntman, H., “DVCC based differential-mode all-pass and notch filters with high CMRR”, *International Journal of Electronics*, 93 (4), 231–240, (2006).

Ibrahim, MA, Minaei, and S, Yuce, E., “All-pass sections with rich cascading and IC realization suitability”, *International Journal of Circuit Theory and Applications*, 40 (5), 477–488, (2010).

Ibrahim, A. M., Minaei, S. and Yuce, E., “All-pass sections with high gain opportunity”, *Radioengineering*, 20 (1), 3-9, (2011).

Ibrahim, M. A., Minaei, S., Yuce, E., Herencsar, N. and Koton, J., “Lossy/lossless floating/ grounded inductance simulation using one DDCC”, *Radioengineering*, 21 (1), 3–10, (2012).

Imran, A., Arora, D. and Kumar, R., “Dual DVCC based voltage-mode digitally programmable biquadratic filter”, *Circuits and Systems*, 5, (2014).

Incekaraoglu, M. and Cam, U., “Realization of series and parallel R-L and C-D impedances using single differential voltage current conveyor”, *Analog Integrated Circuits and Signal Processing*, 43 (1), 101–104, (2005).

Ismail, M. U., Arif, B. and Imran, A., “Digitally reconfigurable two DVCC based biquadratic analog filter”, *International Transaction of Electrical & Computer Engineers System*, 2 (5), 135–143, (2014<sup>a</sup>).

Ismail, M. U., Arif, B. and Imran, A., “Triple DVCC based Digitally Programmable Biquadratic Filter”, *International Journal of Computer Applications*, 94 (15), 1–6, (2014<sup>b</sup>).

Jaikle, W., Khateb, F., Kulej, T., and Pitaksuttayaprot, K., “Universal filter based on compact CMOS structure of VDDA”, *Sensors*, 21 (5), (2021).

Keskin, A. U., Pal, K. and Hancioglu, E. “Resistorless first-order all-pass filter with electronic tuning”, *AEÜ-International Journal of Electronics and Communications*, 62 (4), 304–6, (2008).

Khateb, F., Khatib, N. and Koton, J. “Novel low-voltage ultra-low-power DVCC based on floating-gate folded cascode OTA”, *Microelectronics Journal*, 42 (8), 1010–1017, (2011).

Kumngern, M. and Dejhan, K., “DDCC-based quadrature oscillator with grounded capacitors and resistors”, *Hindawi Publishing Corporation Active and Passive Electronic Components*, (2009).

Kumngern, M., Khateb, F., Dejhan, K., Phasukkit, P. and Tungjitkusolmun, S., “Voltage-mode multifunction biquadratic filters using new ultra-low power differential difference current conveyors”, *Radioengineering*, 22 (2), 448–457, (2013).

Lee, C.-N., “Independently tunable plus-type DDCC-based voltage-mode universal biquad filter with MISO and SIMO types”, *Microelectronics Journal*, 67 (71), 71-81, (2017).

Maheshwari, S., “High input impedance VM-APSs with grounded passive elements”, *IET Circuits, Devices and Systems*, 1 (1), 72–78, (2007).

Maheshwari, S., “A canonical voltage-controlled VM-APS with a grounded capacitor”, *Circuits, Systems and Signal Processing*, 27 (1), 123–132, (2008<sup>a</sup>).

Maheshwari, S., “High input impedance voltage-mode first-order all-pass sections”, *International Journal of Circuit Theory and Applications*, 36 (4), 511–522, (2008<sup>b</sup>).

Maheshwari, S., “High performance voltage-mode multifunction filter with minimum component count”, *WSEAS Transactions on Electronics*, 5 (6), 244–249, (2008<sup>c</sup>).

Maheshwari, S., “Analogue signal processing applications using a new circuit topology”, *IET Circuits, Devices and Systems*, 3 (3), 106-115, (2009).

Maheshwari, S., Mohan, J. and Chauhan, D. S., “High input impedance voltage-mode universal filter and quadrature oscillator”, *Journal of Circuits, Systems, and Computers*, 19 (7), 1597-1607, (2010).

Maheshwari, S., Mohan, J. and Chauhan, D. S., “Cascadable all-pass and notch filter configurations employing two plus type DDCCs”, *Journal of Circuits, Systems, and Computers*, 20 (2), 329-347, (2011).

Maheshwari, S. and Gangwar, A., “Versatile voltage-mode universal filter using differential difference current conveyor”, *Circuits and Systems*, 2 (3), 210–216, (2011).

Maheshwari, S., Mohan, J., Chauhan, D. S., “Novel voltage-mode cascadable all-pass sections employing passive components”, *Journal of Circuits, Systems, and Computers*, 22 (1), (2013).

Metin, B., Pal, K. and Cicekoglu, O., “All-pass filters using DDCC- and MOSFET-based electronic resistor”, *International Journal of Circuit Theory and Applications*, 39 (8), 881-891, (2011).

Minaei, S., “On the realization of second order current mode active filters using single differential voltage current conveyor (DVCC)”, *Frequenz*, 57 (5-6), 132-135, (2003).

Minaei, S., and Ibrahim, M. A., “A mixed-mode KHN-biquad using DVCC and grounded passive elements suitable for direct cascading”, *International Journal of Circuit Theory and Applications*, 37 (7), 793-810, (2009).

Minaei, S. and Yuce, E., “All-grounded passive elements voltage-mode DVCC-based universal filters”, *Circuits, Systems and Signal Processing*, 29 (2), 295-309, (2010<sup>a</sup>).

Minaei, S. and Yuce, E. “Novel voltage-mode all-pass filter based on using DVCCs”, *Circuits, Systems and Signal Processing*, 29 (3), 391–402, (2010<sup>b</sup>).

Mishra, S.K., Gupta, M., and Upadhyay, D.K., “Design and implementation of DDCC-based fractional-order oscillator”, *International Journal of Electronics*, 106 (4), 581–598, (2019).

Mohan, J., and Maheshwari S., “Supplementary high-input impedance voltage-mode universal biquadratic filter using DVCCs”, *Modelling and Simulation in Engineering*, (2012).

Pal, K., “Modified current conveyors and their applications”, *Microelectronics Journal*, 20 (4), 37-40, (1989).



Safari, L., Yuce, E., Minaei S., Ferri, G. and Stornelli V., “A second-generation voltage conveyor (VCII)–based simulated grounded inductor”, *International Journal of Circuit Theory and Applications*, 48 (7), 1180-1193, (2020).

Saad, R. A. and Soliman, A. M., “Generation, modeling, and analysis of CCII-based gyrators using the generalized symbolic framework for linear active circuits”, *International Journal of Circuit Theory and Applications*, 36 (3), 289-309, (2008).

Sagbas, M., Ayten, U. E., Sedef, H. and Koksall, M., “Electronically tunable floating inductance simulator”, *AEÜ-International Journal of Electronics and Communications*, 63 (5), 423-427, (2009).

Sedra, A. S. and Smith, K., “A second-generation current conveyor and its applications”, *IEEE Transactions on Circuit Theory*, 17 (1), 132–134, (1970).

Slodak, O., Koton, J. and Herencsar, N., “Universal pseudo-differential filter using DDCC and DVCCs”, *Elektronika ir Elektrotechnika*, 23 (6), 46–52, (2017).

Smith, K. C. and Sedra, A., “The current conveyor—A new circuit building block”, *Proceedings of the IEEE*, 56 (8), 1368–1369, (1968).

Shah, N. A. and Malik M.A. “Multifunction mixed-mode filter using FTFNs”, *Analog Integrated Circuits and Signal Processing*, 47 (3), 339-343, (2006).

Sharma, J. and Sharma A. “Universal filter design using 45nm CMOS-based DDCC for Bluetooth/ Zigbee applications”, *International Journal of Computer Application*, 134 (13), 36-40, (2016).

Soliman, A. M., “New active-gyrator circuit using a single current conveyor”, *Proceedings of the IEEE*, 66 (11), 1580-1581, (1978).

Soliman, A. M., “Generation and classification of Kerwin–Huelsman–Newcomb circuits using the DVCC”, *International Journal of Circuit Theory and Applications*, 37 (7), 835–855, (2008).

Soliman, A. M., “On the realization of floating inductors”, *Nature and Science*, 8 (5), 167–180, (2010).

Soliman, A. M., “Modified mixed-mode universal filters using DVCC”, *Journal of Active and Passive Electronic Devices*, 6, 129–139, (2011).

Stornelli V., Safari, L., Barile, G. and Ferri, G., “A new extremely low power temperature insensitive electronically tunable VCII-based grounded capacitance multiplier”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, 68 (1), 72-76, (2021).

Tangsrirat, W. and Channumsin, O., “Voltage-mode multifunctional biquadratic filter using single DVCC and minimum number of passive elements”, *Indian Journal of Pure Applied Physics*, 49 (10), 703-707, (2011).

Temizyurek, V., and Myderrizi, I., “A novel three-input one-output voltage-mode universal filter using differential difference current conveyor (DDCC)”, *IEEE Mediterranean Electrotechnical Conference*, 103-106, (2004<sup>a</sup>).

Temizyurek, C. and Myderrizi, I., “A novel current-mode universal filter implemented with DVCCs”, *24th International Conference on Microelectronics*, 2, 581-584, (2004<sup>b</sup>).

Tran, H.-D., Wang H.-Y., Lin M.-C. and Nguyen Q.-M., “Synthesis of cascable DDCC-based universal filter using NAM”, *Applied Sciences*, 5 (3), 320-343, (2015).

Tsukutani, T. and Yabuki, N., “A DVCC-based mixed-mode biquadratic circuit”, *Journal of Electrical Engineering*, 6, 52–56, (2018).

Tsukutani, T, Tsunetsugu, H, Sumi, Y. and Yabuki, N., “Electronically tunable first-order allpass circuit employing DVCC and OTA”, *International Journal of Electronics*, 97 (3), 285–293, (2010).

Tuntrakool, S., Kumngern, M., Sotner, R., Herencsar, N., Suwanjan, P., and Jaikla, W., “High input impedance voltage-mode universal filter and its modification as quadrature oscillator using VDDAs”, *Indian Journal of Pure Applied Physics*, 55, 324-332, (2017).

Unuk, T. and Yuce, E., “Supplementary DDCC+ based universal filter with grounded passive elements”, *AEU-International Journal of Electronics and Communications*, 132, 153652, (2021<sup>a</sup>).

Unuk, T. and Yuce, E., “DVCC+ based immittance function simulators including grounded passive elements only”, *Journal of Circuits, Systems, and Computers*, 30 (15), 2150278, (2021<sup>b</sup>).

Unuk, T. and Yuce, E., “A Mixed-Mode filter with DVCCs and grounded passive components only”, *AEU-International Journal of Electronics and Communications*, 144, 154063, (2022).

Yamacli, S., Ozcan, S., and Kuntman, H., “A novel active circuit building block: Electronically tunable differential difference current conveyor (EDDCC) and its application to KHN filter design”, *International Conference on Applied Electronics*, 237–240, (2006).

Yuce, E., “Comment on “realization of series and parallel R-L and C-D impedances using single differential voltage current conveyor””, *Analog Integrated Circuits and Signal Processing*, 49 (1), 91–92, (2006).

Yuce, E. and Minaei, S., “Universal current-mode filters and parasitic impedance effects on the filter performances”, *International Journal of Circuits Theory and Applications*, 36 (2), 161–171, (2008).

Yuce, E., “Grounded inductor simulators with improved low-frequency performances”, *IEEE Transactions on Instrumentation and Measurement*, 57 (5), 1079–1084, (2008).

Yuce, E., “New low component count floating inductor simulators consisting of a single DDCC”, *Analog Integrated Circuits and Signal Processing*, 58 (1), 61–66, (2009<sup>a</sup>).

Yuce, E., “Voltage-mode multifunction filters employing a single DVCC and grounded capacitors”, *IEEE Transactions on Instrumentation and Measurement*, 58 (7), 2216–2221, (2009<sup>b</sup>).

Yuce, E. and Minaei, S., “Novel floating simulated inductors with wider operating frequency ranges”, *Microelectronics Journal*, 40 (6), 928–938, (2009).

Yuce, E., “A novel floating simulation topology composed of only grounded passive components”, *International Journal of Electronics*, 97 (3), 249–262, (2010).

Yuce, E., Tokat, S. and Alpaslan, H. “Grounded capacitor-based new floating inductor simulators and a stability test”, *Turkish Journal of Electrical Engineering & Computer Sciences*, 23, 2138–2149, (2015).

Yuce, E., Tokat, S. and Yucel, F. “A new wideband electronically tunable grounded resistor employing only three MOS transistors”, *Turkish Journal of Electrical Engineering & Computer Sciences*, 24, (4), 2442–2453, (2016).

Yuce, E., “A single-input multiple-output voltage-mode second-order universal filter using only grounded passive components”, *Indian Journal of Engineering & Material Sciences*, 24 (2), 97–106, (2017).

Yucel, F. and Yuce, E. , “A new electronically fine tunable grounded voltage controlled positive resistor”, *IEEE Transactions on Circuits and Systems - Part-II: Express Briefs*, 65 (4), 451–455, (2018).