

**T.C.  
PAMUKKALE ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ  
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM  
DALI**

**CCII TABANLI ANALOG DEVRE TASARIMLARI,  
BENZETİMLERİ VE DENEYLERİ**

**DOKTORA TEZİ**

**TOLGA YÜCEHAN**

**DENİZLİ, EKİM - 2022**

**T.C.  
PAMUKKALE ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ  
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM  
DALI**



**CCII TABANLI ANALOG DEVRE TASARIMLARI,  
BENZETİMLERİ VE DENEYLERİ**

**DOKTORA TEZİ**

**TOLGA YÜCEHAN**

**DENİZLİ, EKİM - 2022**

**Bu tezin tasarımı, hazırlanması, yürütülmesi, arařtırmalarının yapılması ve bulgularının analizlerinde bilimsel etięe ve akademik kurallara özenle riayet edildiđini; bu alıřmanın dođrudan birincil ürünü olmayan bulguların, verilerin ve materyallerin bilimsel etięe uygun olarak kaynak gösterildiđini ve alıntı yapılan alıřmalara atfedildiđine beyan ederim.**

**TOLGA YÜCEHAN**

# ÖZET

**CCII TABANLI ANALOG DEVRE TASARIMLARI,  
BENZETİMLERİ VE DENEYLERİ  
DOKTORA TEZİ  
TOLGA YÜCEHAN  
PAMUKKALE ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ  
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**

**(TEZ DANIŞMANI: PROF. DR. ERKAN YÜCE)**

**DENİZLİ, EKİM - 2022**

Bu tezde, ikinci nesil akım taşıyıcı (CCII) tabanlı çeşitli analog devreler tasarlanmıştır. Tasarlanan devrelerde pozitif tip CCII (CCII+), negatif tip CCII (CCII-), çift çıkışlı CCII (DO-CCII), pozitif tip DO-CCII (DO-CCII+), akım geri beslemeli işlemsel yükselteç (CFOA) ve eviren tip CFOA (ICFOA) aktif blokları kullanılmıştır. CFOA ve ICFOA aktif blokları CCII'lar kullanılarak kolaylıkla elde edilebilmektedir. Önerilen devrelerin benzetimleri ve deneyleri yapılmıştır. Benzetimlerde 0.18  $\mu\text{m}$  TSMC CMOS teknoloji parametreleri kullanılırken, deneylerde aktif blokların yerine AD844'ler kullanılmıştır.

ICFOA tabanlı topraklanmış kapasite çarpma devresi önerilmiştir. Önerilen devre tek aktif blok ve minimum sayıda pasif eleman kullanılarak gerçekleştirilmiştir.

CCII tabanlı kayıpsız yüzen bobin simülatör (SFI) ve kapasite çarpma (FCM) devreleri tasarlanmıştır. Önerilen FCM devresindeki bir direnç hariç, önerilen devrelerdeki tüm pasif elemanlar topraklanmıştır. FCM devresinde pasif eleman eşlemesine ihtiyacı yok iken, SFI devresinde tek bir pasif eleman eşlemesine ihtiyaç vardır.

DO-CCII+ tabanlı yüksek dereceden gerilim modlu (VM) ve akım modlu (CM) süzgeç devreleri tasarlanmıştır. Önerilen devrelerde kullanılan tüm pasif elemanlar topraklanmıştır ve devrelerde pasif eleman eşlemesine ihtiyaç yoktur.

Bir adet DO-CCII tabanlı ve iki adet CFOA tabanlı tam dalga doğrultma (FWR) devreleri önerilmiştir. Önerilen devrelerde kullanılan tüm dirençler topraklanmıştır. DO-CCII tabanlı FWR devresinin iki adet çıkışı ve CFOA tabanlı FWR devrelerinin tek çıkışı vardır.

CCII tabanlı kayıpsız yüzen frekansa bağımlı negatif direnç (FDNR) devresi yapılmıştır. Önerilen FDNR devresi minimum sayıda pasif eleman kullanılarak yapılmış olup hepsi yüzen ve herhangi pasif eleman eşlemesine ihtiyacı duymamaktadır.

**ANAHTAR KELİMELELER:** CCII, DO-CCII, CFOA, kapasite çarpma devreleri, bobin simülatör devresi, yüksek dereceden süzgeç devresi, tam dalga doğrultma devreleri, frekansa bağımlı negatif direnç devresi.

# ABSTRACT

## IMPLEMENTATIONS, SIMULATIONS AND EXPERIMENTS OF CCII-BASED ANALOG CIRCUITS

PH.D. THESIS

TOLGA YUCEHAN

PAMUKKALE UNIVERSITY INSTITUTE OF SCIENCE  
ELECTRICAL AND ELECTRONICS ENGINEERING

(SUPERVISOR: PROF. DR. ERKAN YUCE)

DENIZLI, OCTOBER 2022

In this thesis, the second-generation current conveyor (CCII)-based analog circuits are proposed. The positive type CCII (CCII+), the negative type CCII (CCII-), the dual output CCII (DO-CCII), the positive type DO-CCII (DO-CCII+), the current feedback operational amplifier (CFOA), and the inverting CFOA (ICFOA) are used in the proposed circuits. CFOA and ICFOA are easily obtained from the CCIIs. Simulations and experiments are made for the proposed circuits. 0.18  $\mu\text{m}$  TSMC CMOS technology parameters are used in all the simulations, while AD844s are employed instead of the active devices of the proposed circuits in the experiments.

A ICFOA-based grounded capacitance multiplier is proposed, where a single active device and minimum number of passive components are used.

CCII-based lossless simulated floating inductance (SFI) and floating capacitance multiplier (FCM) circuits are designed. All the passive components are grounded in the proposed circuits except one resistor in the FCM circuit. The FCM circuit does not require any passive component matching problems, while the SFI circuit needs a single passive element matching condition.

DO-CCII+ based high-order voltage mode and current mode filters are proposed. All the passive components of the proposed circuits are grounded, and they do not need any passive component matching conditions.

Three full-wave rectifier (FWR) circuits are proposed. One is based on a single DO-CCII, while the others are based on two CFOAs. All the resistors are grounded in the proposed circuits. The DO-CCII-based FWR have two outputs, while the others have one output.

A CCII-based lossless floating frequency-dependent negative resistor (FDNR) circuit is proposed. A minimum number of passive components are used in the FDNR circuit, while all passive elements are floating and the FDNR circuit does not need any passive component matching conditions.

**KEYWORDS:** CCII, DO-CCII, CFOA, capacitance multiplier circuits, simulated inductance circuit, high-order filter circuits, full-wave rectifier circuits, frequency dependent negative resistor circuit.

# İÇİNDEKİLER

Sayfa

ÖZET.....	i
ABSTRACT .....	ii
İÇİNDEKİLER .....	iii
ŞEKİL LİSTESİ .....	v
TABLO LİSTESİ .....	ix
KISALTMALAR LİSTESİ.....	x
SEMBOL LİSTESİ .....	xi
ÖNSÖZ.....	xii
<b>1. GİRİŞ.....</b>	<b>1</b>
1.1 Tezin Önemi .....	1
1.2 Tezin Amacı .....	2
1.3 Literatür Özeti .....	2
1.3.1 Kapasite Çarpma Devreleri.....	3
1.3.2 Bobin Simülatör Devreleri.....	4
1.3.3 Aktif Süzgeç Devreleri .....	4
1.3.4 Doğrultucu Devreleri .....	5
1.3.5 Frekansa Bağımlı Negatif Direnç Devreleri .....	5
<b>2. ICFOA TABANLI TOPRAKLANMIŞ KAPASİTE ÇARPMA DEVRESİ.....</b>	<b>6</b>
2.1 Benzetim Sonuçları .....	9
2.2 Uygulama Devresi .....	13
2.3 Deney Sonuçları .....	16
<b>3. CCII TABANLI KAYIPSIZ YÜZEN BOBİN SİMÜLATÖR DEVRESİ.....</b>	<b>17</b>
3.1 Benzetim Sonuçları .....	19
3.2 Uygulama Devresi .....	23
3.3 Deney Sonuçları .....	25
<b>4. CCII TABANLI KAYIPSIZ YÜZEN KAPASİTE ÇARPMA DEVRESİ.....</b>	<b>28</b>
4.1 Benzetim Sonuçları .....	30
4.2 Uygulama Devresi .....	33
<b>5. DO-CCII+ TABANLI YÜKSEK DERECEDEKİ SÜZGEÇ DEVRELERİ.....</b>	<b>35</b>
5.1 Benzetim Sonuçları .....	41
5.2 Deney Sonuçları .....	53
<b>6. TAM DALGA DOĞRULTUCU DEVRELERİ.....</b>	<b>55</b>
6.1 DO-CCII Tabanlı Tam Dalga Doğrultucu Devresi .....	56
6.1.1 Benzetim Sonuçları.....	58
6.1.2 Deney Sonuçları.....	63
6.2 CFOA Tabanlı Tam Dalga Doğrultucu Devreleri .....	65
6.2.1 Benzetim Sonuçları.....	67
6.2.2 Deney Sonuçları.....	71
<b>7. CCII TABANLI FREKANS BAĞIMLI YÜZEN NEGATİF DİRENÇ DEVRESİ.....</b>	<b>73</b>
7.1 Benzetim Sonuçları .....	75

7.2	Uygulama Devresi .....	79
7.3	Deney Sonuçları .....	83
<b>8.</b>	<b>SONUÇLAR.....</b>	<b>85</b>
8.1	Önerilen ICFOA Tabanlı Topraklanmış Kapasite Çarpma Devresi... 85	85
8.2	Önerilen CCII Tabanlı Kayıpsız Yüzen Bobin Simülatörü Devresi .. 86	86
8.3	Önerilen CCII Tabanlı Kayıpsız Yüzen Kapasite Çarpma Devresi ... 88	88
8.4	Önerilen DO-CCII+ Tabanlı Yüksek Dereceden Süzgeç Devreleri... 89	89
8.5	Önerilen Tam Dalga Doğrultucu Devreleri .....	91
8.5.1	DO-CCII Tabanlı Tam Dalga Doğrultucu Devresi.....	93
8.5.2	Önerilen CFOA Tabanlı Tam Dalga Doğrultucu Devresi .....	93
8.6	Önerilen CCII Tabanlı Frekansa Bağımlı Yüzen Negatif Direnç Devresi.....	94
<b>9.</b>	<b>KAYNAKLAR.....</b>	<b>96</b>
<b>10.</b>	<b>ÖZGEÇMİŞ.....</b>	<b>110</b>

# ŞEKİL LİSTESİ

## Sayfa

Şekil 1.1: CCII blok sembolü.....	3
Şekil 1.2: CFOA blok sembolü. ....	3
Şekil 1.3: CCII kullanarak CFOA'nın elde edilmesi. ....	3
Şekil 2.1: Önerilen ICFOA tabanlı topraklanmış kapasite çarpma devresi. ....	7
Şekil 2.2: ICFOA aktif blok sembolü. ....	7
Şekil 2.3: Parazitik empedanslar ile birlikte ICFOA aktif blok sembolü. ....	9
Şekil 2.4: MOS transistör tabanlı ICFOA içyapısı.....	10
Şekil 2.5: Önerilen ICFOA tabanlı GCM devresinin genlik ve faz cevabı.....	11
Şekil 2.6: Önerilen ICFOA tabanlı GCM devresinin Monte Carlo analiz sonuçları (Tüm pasif elemanlarda eş dağılımlı %10 değişim ile yapılmıştır). ....	12
Şekil 2.7: Önerilen ICFOA tabanlı GCM devresinin zaman analizi cevapları. ....	12
Şekil 2.8: Önerilen ICFOA tabanlı GCM devresinin farklı kuvvetlendirme katsayıları için frekans cevabı.....	13
Şekil 2.9: Önerilen ICFOA tabanlı GCM devresinin test edildiği ikinci dereceden süzgeç devresi. ....	13
Şekil 2.10: İkinci dereceden süzgeç devresinin kazanç sonuçları.....	15
Şekil 2.11: İkinci dereceden süzgeç devresinin BP çıkışına ait gürültü analizi sonuçları. ....	15
Şekil 2.12: Önerilen ICFOA tabanlı GCM devresinin ve akım kaynağının AD844'ler ile gerçekleştirilmesi. ....	16
Şekil 2.13: Önerilen ICFOA tabanlı GCM devresinin deney sonuçları.....	16
Şekil 3.1: Önerilen DO-CCII tabanlı yüzen bobin simülatör devresi. ....	18
Şekil 3.2: DO-CCII aktif blok sembolü. ....	18
Şekil 3.3: Önerilen SFI devresine ait eşdeğer devre gösterimi. ....	19
Şekil 3.4: MOS transistör tabanlı DO-CCII içyapısı. ....	20
Şekil 3.5: Önerilen DO-CCII tabanlı SFI devresinin genlik ve faz cevabı.....	21
Şekil 3.6: Önerilen DO-CCII tabanlı SFI devresinin zaman ortamı analiz sonuçları. ....	22
Şekil 3.7: Önerilen DO-CCII tabanlı SFI devresinin MC analiz sonuçları (Tüm pasif elemanlarda eş dağılımlı %5 değişim ile yapılmıştır). ....	22
Şekil 3.8: Önerilen DO-CCII tabanlı SFI devresinin farklı kuvvetlendirme katsayıları için frekans cevabı.....	23
Şekil 3.9: İkinci dereceden band geçiren süzgeç devresi. ....	24
Şekil 3.10: İkinci dereceden BP süzgeç devresine ait kazanç sonuçları.....	25
Şekil 3.11: İkinci dereceden BP süzgeç devresine ait zaman ortamı analiz sonuçları. ....	25
Şekil 3.12: Birinci terminali topraklanmış önerilen SFI devresinin deneyi.....	26
Şekil 3.13: Birinci terminali topraklanmış önerilen SFI devresinin deney sonuçları. ....	26
Şekil 3.14: İkinci dereceden yüksek geçiren süzgeç devresi. ....	27
Şekil 3.15: İkinci dereceden yüksek geçiren süzgecin deney sonuçları.....	27
Şekil 4.1: Önerilen DO-CCII tabanlı yüzen kapasite çarpma devresi. ....	29



Şekil 4.2: Önerilen FCM devresine ait eşdeğer devre gösterimi. ....	29
Şekil 4.3: Önerilen DO-CCII tabanlı FCM devresinin genlik ve faz cevabı. ...	31
Şekil 4.4: Önerilen DO-CCII tabanlı FCM devresinin zaman ortamı analiz sonuçları. ....	31
Şekil 4.5: Önerilen DO-CCII tabanlı FCM devresinin Monte Carlo analiz sonuçları (Tüm pasif elemanlarda eş dağılımlı %10 değişim ile yapılmıştır). ....	32
Şekil 4.6: Önerilen DO-CCII tabanlı FCM devresinin farklı kuvvetlendirme katsayıları için frekans cevabı. ....	32
Şekil 4.7: İkinci dereceden band geçiren süzgeç devresi. ....	33
Şekil 4.8: İkinci dereceden BP süzgeç devresine ait kazanç sonuçları. ....	34
Şekil 4.9: İkinci dereceden BP süzgeç devresine ait zaman ortamı analiz sonuçları. ....	34
Şekil 5.1: Önerilen DO-CCII+ tabanlı gerilim modlu yüksek dereceden süzgeç devresi. ....	37
Şekil 5.2: Önerilen DO-CCII+ tabanlı akım modlu yüksek dereceden süzgeç devresi. ....	37
Şekil 5.3: DO-CCII+ aktif blok sembolü. ....	38
Şekil 5.4: Parazitik empedanslar dahil edilmiş DO-CCII+ aktif blok sembolü. ....	40
Şekil 5.5: MOS transistör tabanlı DO-CCII+ içyapısı. ....	42
Şekil 5.6: Dördüncü dereceden VM süzgeç devresi. ....	43
Şekil 5.7: Dördüncü dereceden CM süzgeç devresi. ....	43
Şekil 5.8: VM süzgeç devresine ait frekans cevabı sonuçları. ....	45
Şekil 5.9: CM süzgeç devresine ait frekans cevabı sonuçları. ....	45
Şekil 5.10: VM süzgeç devresi için yapılan MC analizi sonuçları (Tüm pasif elemanlarda %3'lük Gauss değişimi ile yapılmıştır). ....	45
Şekil 5.11: CM süzgeç devresi için yapılan MC analizi sonuçları (Tüm pasif elemanlarda %3'lük Gauss değişimi ile yapılmıştır). ....	46
Şekil 5.12: VM süzgeç devresi için yapılan MC analizi sonuçları (İçyapıdaki tüm MOS transistörlerde %2'lik Gauss değişimi ile yapılmıştır). ....	46
Şekil 5.13: CM süzgeç devresi için yapılan MC analizi sonuçları (İçyapıdaki tüm MOS transistörlerde %2'lik Gauss değişimi ile yapılmıştır). ....	46
Şekil 5.14: VM süzgeç devresine ait sıcaklık analizi sonuçları. ....	47
Şekil 5.15: CM süzgeç devresine ait sıcaklık analizi sonuçları. ....	47
Şekil 5.16: VM süzgeç devresinin LP çıkışı için zaman ortamı analiz sonuçları. ....	48
Şekil 5.17: VM süzgeç devresinin HP çıkışı için zaman ortamı analiz sonuçları. ....	48
Şekil 5.18: CM süzgeç devresinin LP çıkışı için zaman ortamı analiz sonuçları. ....	49
Şekil 5.19: CM süzgeç devresinin HP çıkışı için zaman ortamı analiz sonuçları. ....	49
Şekil 5.20: VM süzgeç devresinin HP çıkışı için gürültü analizi sonuçları. ....	50
Şekil 5.21: VM süzgeç devresinin LP çıkışı için gürültü analizi sonuçları. ....	50
Şekil 5.22: 100 kHz frekansında VM süzgeç devresinin LP çıkışı için THD değişimleri. ....	51

Şekil 5.23: 100 kHz frekansında CM süzgeç devresinin LP çıkışı için THD değişimleri.....	51
Şekil 5.24: 10 MHz frekansında VM süzgeç devresinin HP çıkışı için THD değişimleri.....	51
Şekil 5.25: 10 MHz frekansında CM süzgeç devresinin HP çıkışı için THD değişimleri.....	52
Şekil 5.26: VM süzgeç devresinin BP çıkışı için frekans cevabı sonuçları.....	52
Şekil 5.27: VM süzgeç devresinin BP çıkışı için zaman analizi sonuçları.....	52
Şekil 5.28: AD844'ler ve eş dirençler ile DO-CCII+ elde edilmesi.....	53
Şekil 5.29: Dördüncü dereceden VM süzgeç devresinin HP çıkışı.....	54
Şekil 5.30: Dördüncü dereceden VM süzgeç devresinin LP çıkışı.....	54
Şekil 5.31: Dördüncü dereceden VM süzgeç devresinin HP ve LP frekans cevabı sonuçları.....	54
Şekil 6.1: Önerilen DO-CCII tabanlı tam dalga doğrultucu devresi.....	56
Şekil 6.2: MOS transistör tabanlı DO-CCII içyapısı.....	58
Şekil 6.3: Önerilen DO-CCII tabanlı FWR devresinin DC analiz sonuçları.....	60
Şekil 6.4: Önerilen DO-CCII tabanlı FWR devresinin farklı kazançları için DC analiz sonuçları.....	60
Şekil 6.5: Önerilen FWR devresinin sıcaklık analizi sonuçları.....	61
Şekil 6.6: Önerilen FWR devresinin 100 kHz frekansında zaman analizi sonuçları.....	61
Şekil 6.7: Önerilen FWR devresinin 1 MHz frekansında zaman analizi sonuçları.....	62
Şekil 6.8: Frekansa karşılık $p_{DC}$ ve $p_{RMS}$ sonuçları.....	63
Şekil 6.9: AD844 kullanılarak DO-CCII elde edilmesi.....	64
Şekil 6.10: Önerilen DO-CCII tabanlı FWR devresinin birinci çıkışına ait deney sonucu.....	64
Şekil 6.11: Önerilen DO-CCII tabanlı FWR devresinin ikinci çıkışına ait deney sonucu.....	64
Şekil 6.12: Önerilen CFOA tabanlı pozitif tam dalga doğrultma devresi.....	65
Şekil 6.13: Önerilen CFOA tabanlı negatif tam dalga doğrultma devresi.....	65
Şekil 6.14: MOS transistör tabanlı CFOA içyapısı.....	67
Şekil 6.15: Önerilen CFOA tabanlı devrelerin DC analiz sonuçları.....	69
Şekil 6.16: Önerilen CFOA tabanlı devrelerin farklı kazançlarda DC analiz sonuçları.....	69
Şekil 6.17: Önerilen CFOA tabanlı devrelerin sıcaklık analizi sonuçları.....	70
Şekil 6.18: Önerilen CFOA tabanlı devrelerinin 100 kHz frekansında zaman analizi sonuçları.....	70
Şekil 6.19: Önerilen CFOA tabanlı devrelerinin 1 MHz frekansında zaman analizi sonuçları.....	71
Şekil 6.20: Önerilen pozitif tip CFOA tabanlı FWR devresinin çıkışına ait deney sonucu.....	72
Şekil 6.21: Önerilen negatif tip CFOA tabanlı FWR devresinin çıkışına ait deney sonucu.....	72
Şekil 7.1: Önerilen frekansa bağımlı kayıpsız yüzen negatif direnç devresi.....	74
Şekil 7.2: Önerilen FDNR devresinin eşdeğer devresi.....	75
Şekil 7.3: Önerilen FDNR devresine ait frekans cevabı sonuçları.....	77
Şekil 7.4: Önerilen FDNR devresine ait Monte Carlo analizi sonuçları (Tüm pasif elemanlarda eş dağılımlı %10 değişim ile yapılmıştır).....	77

Şekil 7.5: Önerilen FDNR devresine ait sıcaklık analizi sonuçları.....	78
Şekil 7.6: Önerilen FDNR devresine ait farklı besleme gerilimleri için frekans cevabı sonuçları.....	78
Şekil 7.7: Önerilen FDNR devresine ait farklı direnç değerleri için frekans cevabı sonuçları.....	79
Şekil 7.8: İkinci dereceden yüksek geçiren süzgeç devresi. ....	79
Şekil 7.9: Uygulama devresine ait frekans cevabı sonuçları.....	80
Şekil 7.10: Uygulama devresine ait zaman analizi sonuçları.....	81
Şekil 7.11: Uygulama devresine ait zaman ortamında yapılan sıcaklık analizi sonuçları. ....	81
Şekil 7.12: Uygulama devresine ait frekans ortamında yapılan sıcaklık analizi sonuçları. ....	82
Şekil 7.13: Uygulama devresine ait Monte Carlo analizi sonuçları (Tüm pasif elemanlarda eş dağılımlı %5 değişim ile yapılmıştır). ....	82
Şekil 7.14: Uygulama devresine ait gürültü analizi sonuçları.....	82
Şekil 7.15: AD844 kullanılarak CCII- elde edilmesi. ....	83
Şekil 7.16: AD844 kullanılarak DO-CCII elde edilmesi. ....	83
Şekil 7.17: İkinci dereceden yüksek geçiren süzgeç devresine ait frekans cevabı sonuçları.....	84
Şekil 7.18: İkinci dereceden yüksek geçiren süzgeç devresine ait zaman ortamı analizi sonuçları. ....	84

## TABLO LİSTESİ

### Sayfa

Tablo 2.1: ICFOA içyapısındaki MOS transistörlere ait en boy oranları. ....	10
Tablo 2.2: ICFOA içyapısına ait parazitik empedans ve ideal olmayan kazanç değerleri. ....	10
Tablo 3.1: DO-CCII içyapısındaki MOS transistörlere ait en boy oranları. ....	20
Tablo 3.2: DO-CCII içyapısına ait parazitik empedans ve ideal olmayan kazanç değerleri. ....	21
Tablo 5.1: DO-CCII+ içyapısındaki MOS transistörlere ait en boy oranları. ....	42
Tablo 5.2: DO-CCII+ içyapısına ait parazitik empedans ve ideal olmayan kazanç değerleri. ....	42
Tablo 6.1: DO-CCII içyapısındaki MOS transistörlere ait en boy oranları. ....	59
Tablo 6.2: DO-CCII içyapısına ait parazitik empedans ve ideal olmayan kazanç değerleri. ....	59
Tablo 6.3: CFOA içyapısındaki MOS transistörlere ait en boy oranları. ....	67
Tablo 6.4: CFOA içyapısına ait parazitik empedans ve ideal olmayan kazanç değerleri. ....	68
Tablo 7.1: CCII- içyapısındaki MOS transistörlere ait en boy oranları. ....	76
Tablo 7.2: DO-CCII içyapısındaki MOS transistörlere ait en boy oranları. ....	76
Tablo 7.3: CCII- ve DO-CCII içyapısına ait ideal olmayan kazanç değerleri. ....	76
Tablo 8.1: Önerilen topraklanmış kapasite çarpma devresi ile literatürdeki devrelerin karşılaştırması. ....	85
Tablo 8.2: Önerilen yüzen bobin simülatör devresi ile literatürdeki devrelerin karşılaştırması. ....	86
Tablo 8.3: Önerilen yüzen bobin simülatör devresi ile literatürdeki devrelerin karşılaştırması (Tablo 8.2'nin devamı) ....	87
Tablo 8.4: Önerilen yüzen kapasite çarpma devresi ile literatürdeki devrelerin karşılaştırması. ....	88
Tablo 8.5: Literatürdeki yüksek dereceden VM süzgeç devreleri ile önerilen VM süzgeç devresinin karşılaştırılması. ....	90
Tablo 8.6: Literatürdeki yüksek dereceden CM süzgeç devreleri ile önerilen CM süzgeç devresinin karşılaştırılması. ....	90
Tablo 8.7: Önerilen FWR devreleri ile literatürdeki devrelerin karşılaştırması. ....	92
Tablo 8.8: Önerilen FDNR devresi ile literatürdeki devrelerin karşılaştırması. ....	94

## KISALTMALAR LİSTESİ

<b>BJT</b>	: İki kutuplu eklemli transistör
<b>CMOS</b>	: Bütünleyici metal oksit yarı iletken
<b>RF</b>	: Radyo frekans
<b>DC</b>	: Doğru akım
<b>IC</b>	: Tümleşik devre
<b>CCII</b>	: İkinci nesil akım taşıyıcı
<b>CFOA</b>	: Akım geri beslemeli işlemsel yükselteç
<b>FDNR</b>	: Frekansa bağımlı negatif direnç
<b>LP</b>	: Alçak geçiren
<b>HP</b>	: Yüksek geçiren
<b>BP</b>	: Band geçiren
<b>BR</b>	: Band durduran
<b>AP</b>	: Tüm geçiren
<b>GCM</b>	: Topraklanmış kapasite çarpma
<b>OTA</b>	: İşlemsel geçiş iletkenliği yükselteci
<b>CCCII</b>	: Akım kontrollü CCII
<b>DXCCII</b>	: Çift X uçlu CCII
<b>CCCCTA</b>	: Akım kontrollü geçiş iletkenliği yükselteçli CCII
<b>CCIII</b>	: Üçüncü nesil akım taşıyıcı
<b>CCIIITA</b>	: Akım kontrollü geçiş iletkenliği yükselteçli CCIII
<b>E-VCII</b>	: Elektronik ayarlanabilir ikinci nesil gerilim taşıyıcı
<b>MCFOA</b>	: Modifiye edilmiş CFOA
<b>ICFOA</b>	: Eviren tip CFOA
<b>MC</b>	: Monte Carlo
<b>THD</b>	: Toplam harmonik bozulma
<b>TF</b>	: Transfer fonksiyonu
<b>SFI</b>	: Yüzen bobin simülatörü
<b>CCII+</b>	: Pozitif tip CCII
<b>CCII-</b>	: Negatif tip CCII
<b>DO-CCII</b>	: Çift çıkışlı CCII
<b>DO-CCII+</b>	: Pozitif tip DO-CCII
<b>FCM</b>	: Yüzen kapasite çarpma
<b>VM</b>	: Gerilim modlu
<b>CM</b>	: Akım modlu
<b>TIM</b>	: Geçiş iletkenliği modlu
<b>MM</b>	: Karışık modlu
<b>OA</b>	: İşlemsel yükselteç
<b>VF</b>	: Gerilim takipleyici
<b>CF</b>	: Akım takipleyici
<b>FWR</b>	: Tam dalga doğrultucu
<b>VCII</b>	: İkinci nesil gerilim taşıyıcı
<b>CCI</b>	: Birinci nesil akım taşıyıcı
<b>VC</b>	: Gerilim taşıyıcı
<b>DVCC</b>	: Diferansiyel gerilim akım taşıyıcı
<b>CDTA</b>	: Akım fark alan geçiş iletkenliği yükselteci
<i>pDC</i>	: DC değeri aktarımı
<i>pRMS</i>	: RMS hatası

## SEMBOL LİSTESİ

<b>f</b>	: Femto ( $10^{-15}$ )
<b>p</b>	: Piko ( $10^{-12}$ )
<b>n</b>	: Nano ( $10^{-9}$ )
<b><math>\mu</math></b>	: Mikro ( $10^{-6}$ )
<b>m</b>	: Mili ( $10^{-3}$ )
<b>k</b>	: Kilo ( $10^3$ )
<b>M</b>	: Mega ( $10^6$ )
<b>G</b>	: Giga ( $10^9$ )
<b>V</b>	: Gerilim
<b>I</b>	: Akım
<b>P</b>	: Güç
<b>Z</b>	: Empedans
<b>Y</b>	: Admitans
<b>K</b>	: Çarpma faktörü
<b>f</b>	: Frekans
<b>C</b>	: Kondansatör
<b>R</b>	: Direnç
<b>L</b>	: Bobin
<b>D</b>	: Diyot
<b><math>f_0</math></b>	: Rezonans frekansı
<b>Q</b>	: Kalite faktörü
<b>V</b>	: Volt, gerilimin birimi
<b>A</b>	: Amper, akımın birimi
<b>W</b>	: Watt, gücün birimi
<b><math>\Omega</math></b>	: Ohm, direncin birimi
<b>F</b>	: Farad, kondansatörün birimi
<b>H</b>	: Henry, bobinin birimi
<b>Hz</b>	: Hertz, frekansın birimi
<b><math>\beta</math></b>	: Beta (ideal olmayan gerilim kazancı)
<b><math>\alpha</math></b>	: Alfa (ideal olmayan akım kazancı)
<b><math>\eta</math></b>	: Eta (ideal olmayan gerilim kazancı)
<b><math>\gamma</math></b>	: Gamma (ideal olmayan akım kazancı)

## ÖNSÖZ

Doktora eğitimim boyunca ilminden faydalandığım, insani ve ahlaki değerleri ile de örnek edindiğim, tecrübelerinden yararlanırken kıymetli zamanını benden esirgemeyen, hoşgörülü ve sabırlı olan değerli tez danışmanım Sayın Prof. Dr. Erkan YÜCE'ye, tüm çalışmalarım süresince değerli önerileri ve fikirlerini benim ile paylaşarak çalışmalarına katkıda bulunan; tez izleme komitesi üyeleri Sayın Doç. Dr. Halil ALPASLAN'a ve Sayın Dr. Öğr. Üyesi Fırat YÜCEL'e ve tez jüri üyeleri Sayın Doç. Dr. Remzi ARSLANALP'e ve Sayın Dr. Öğr. Üyesi Serdar TEZ'e teşekkür ederim.

Doktora eğitimin süresince yaşamış olduğum her türlü durumda benden destekleri ve yardımlarını esirgemeyen çok değerli eşim Didem YÜCEHAN'a ve sevgili oğlum Aybars YÜCEHAN'a şükranlarımı sunarım.

# 1. GİRİŞ

## 1.1 Tezin Önemi

Analog sinyal işlemede, aktif süzgeçler, kapasite çarpma devreleri, bobin simülasyon devreleri, doğrultucular vb. devreler, literatürde geniş kullanım alanına sahiptirler. Bu devre yapıları, yaklaşık 30 yıl önce herhangi bir fiili gerçekleştirme olmadan ve uygulama yapılmadan önerilmekteydi. Bu nedenle, bu devreleri gerçekleştirmek ve pratikte uygulamak asıl gereksinimdi. Bunlara ek olarak, eksik olan diğer bir önemli faktör ise aktif blokların, topolojileri gerçekleştirme sınırlamaları, bant genişliği, yetiştirme hızı, giriş ve çıkış empedansları vb. karakteristikleriydi (Kuntman ve Uygur 2012). Bahsedilen bu sebeplerden dolayı iki kutuplu eklemlili transistör (BJT) ve bütünleyici metal oksit yarı iletken (CMOS) gibi yarı iletken malzemeler kullanılarak gerçekleştirilen aktif blokların kullanımı önemlidir. Teknolojinin gelişmesi ile birlikte CMOS yarı iletkenler BJT'lere göre daha çok tercih edilmektedir. Aktif bloklar kullanılarak gerçekleştirilen analog devreler birçok kullanıma sahiptir. Örnek olarak, düşük frekanslar için biyomedikal sistemler, yüksek frekanslar için radyo frekans (RF) uygulama sistemleri (Kuntman ve Uygur 2012), yükselticiler (Yuce ve Minaei 2010), doğru akım (DC) çeviriciler (Hwang ve diğerleri 2005), düşük sinyaller için doğrultucular (Minaei ve Yuce 2008<sup>a</sup>), aktif süzgeçler (Yucehan ve Yuce 2022<sup>a</sup>) vb. verilebilir. Ayrıca, mikroelektronik devre anlayışının diğer bir gereksinimi ise tümleşik devre (IC) içerisinde daha az alan kaplayan tasarımların gelişmesi üzerine olmuştur. Bir diğer ifade ile mikroelektronik devre tasarımlarının IC içerisinde kapladığı alan önemli hale gelmiştir. Yani, bir taraftan aynı devrenin işlevi artırılmaya çalışılırken, diğer taraftan devrenin IC içerisinde kapladığı alan azaltılmaya çalışılmıştır. Günümüzde analog tasarımların kullanım kolaylığına sahip olması istenmektedir. Bunu sağlayabilmek için elektronik olarak ayarlanabilen devreler tercih edilmektedir. Bu tür devreler kullanım kolaylığı sağlamanın yanında, maliyeti ve boyutu düşürdüğü için de tercih edilmektedir. Ek olarak, günümüzde güç tüketimi oldukça önemli bir sorun haline gelmiştir. Bu yüzden, analog devrelerde de düşük güç tüketimine sahip devreler tercih edilmektedir.



Doğadan elde edilen sinyaller analog sinyallerdir ve bu sinyaller birçok karmaşık ve yüksek performans gerektiren uygulamalar için gereklidir. Bu sebeple, analog devrelerin tasarlanması ve geliştirilmesi önemlidir. Özetle daha fonksiyonel, daha az alan kaplayan, daha az güç tüketimine sahip ve IC teknolojisine uygun analog devrelerin önemi gün geçtikçe artmaktadır.

## **1.2 Tezin Amacı**

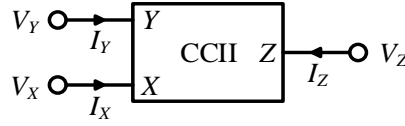
Aktif bloklar, analog devrelerin gerçekleştirilmesi için kullanılırlar. Aktif blokların en önemli özelliklerinden biri uç denklemlerinin matematiksel bir şekilde ifade edilebilmesidir. Bu denklemler ile birçok analog devre tasarımı gerçekleştirilebilir. Kullanılacak aktif blok sayısı ne kadar az olursa devre o kadar az alan kaplar, daha az maliyetli olur ve o kadar az güç tüketir. Ayrıca, tasarlanan analog devrelerde kullanılan aktif blokların benzer yapıda olması hem üretim sürecini hem de karmaşıklığı daha aza indirmektedir. IC teknolojisine uygun analog devrelerdeki kondansatör ve direncin bir ucu topraklanmış olarak kullanımı, üretim sürecinin daha kolay olmasına olanak sağlar. Çalışma aralığı, kullanılacak aktif blokların parametreleri ile optimum seviyeye getirilerek arttırılabilir. Günümüz teknolojisinde, daha az yer kaplayan, daha az güç tüketimine sahip, çalışma aralığı geniş analog devreler; taşınabilirlik, maliyet ve uygulanabilirlik sebebiyle tercih edilmektedir.

Bu tezde, mümkün olduğunca bir ucu topraklanmış direnç ve kondansatör kullanmaya çalışılmıştır. Çünkü, bir ucu topraklanmış kondansatörün IC üretimi kolaydır (Ghosh ve Ray 2015<sup>a</sup>, Yucel ve Yuce 2017). Ayrıca, bir ucu topraklanmış dirençleri elektronik olarak ayarlamak kolaydır (Yuce ve diğerleri 2011). Bunlara ek olarak bu tezde, daha az yer kaplayan, daha az güç tüketimi olan ve çalışma aralığı geniş analog devrelerin tasarlanması amaçlanmıştır.

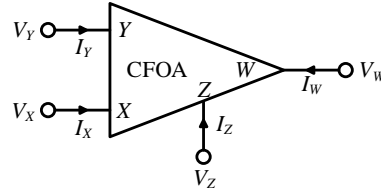
## **1.3 Literatür Özeti**

Literatürde birçok aktif blok bulunmaktadır. Bu aktif bloklardan ikinci nesil akım taşıyıcısı (CCII) (Sedra ve Smith 1970) en çok kullanılan aktif bloklardan

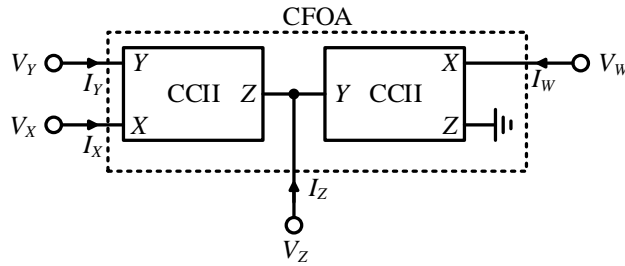
biridir. Yine, literatürde yer alan akım geri beslemeli işlemsel yükselteç (CFOA), CCII kullanılarak kolaylıkla elde edilebilmektedir (Soliman 1996). Şekil 1.1’de, CCII’ya ait aktif blok sembolü verilmiştir. Şekil 1.2’de, CFOA’ya ait aktif blok sembolü gösterilmişken Şekil 1.3’te ise CCII kullanılarak elde edilen CFOA’ya ait aktif blok sembolü verilmiştir. Literatürde bu aktif bloklar kullanılarak birçok analog devre tasarlanmıştır. Bu devrelere örnek olarak, kapasite çarpma devreleri (Arslanalp ve Yucehan 2015, Yesil ve diğerleri 2017, Yucehan ve Yuce 2022<sup>b, c</sup>), bobin simülasyon devreleri (Alpaslan ve Yuce 2015, Dogan ve Yuce 2019, Yuce ve diğerleri 2006<sup>a</sup>, Yucehan ve Yuce 2022<sup>c</sup>), aktif süzgeç devreleri (Yuce ve diğerleri 2019, Yucehan ve Yuce 2022<sup>a</sup>, Yucel ve Yuce 2014), doğrultucu devreleri (Yuce ve diğerleri 2006, 2017), frekansa bağımlı negatif direnç (FDNR) devreleri (Alpaslan ve diğerleri 2022, Yuce ve diğerleri 2006<sup>a</sup>, Yucehan ve diğerleri 2022) vb. verilebilir.



Şekil 1.1: CCII blok sembolü.



Şekil 1.2: CFOA blok sembolü.



Şekil 1.3: CCII kullanarak CFOA'nın elde edilmesi.

### 1.3.1 Kapasite Çarpma Devreleri

Kondansatör, osilatör ve aktif süzgeç devreleri gibi analog devrelerde kullanılan önemli bir pasif devre elemanıdır. (Amico ve diğerleri 1997)'nin

çalışmasında da belirtildiği gibi büyük değerli kondansatörler kapladıkları büyük alanlar sebebi ile IC teknolojisine uygun değildir. Bir kondansatörün değeri büyüdükçe kapladığı alan da artabilmektedir. Kapasite çarpma devrelerinde amaç IC teknolojisinde kullanılan büyük boyutlu kondansatörler yerine bu devrelerin kullanılmasıdır. Örneğin biyomedikal sistemlerde, düşük frekanslar için büyük değerli kondansatörlere ihtiyaç vardır. Dolayısı ile, bu sistemlerde kapasite çarpma devreleri kullanılabilir (Li ve Li 2020). Kapasite çarpma devrelerinin kullanımı sayesinde daha az güç tüketimine sahip, daha az alan kaplayan, dolayısı ile IC teknolojisine uygun analog devreler gerçekleştirilebilmektedir (Arslanalp ve Yucehan 2015, Yesil ve diğerleri 2017, Yucehan ve Yuce 2022<sup>b, c</sup>).

### **1.3.2 Bobin Simülatör Devreleri**

IC teknolojisinde pasif bobinlerin yerine bobin simülatör devreleri kullanılır. Çünkü, IC teknolojisinde kullanılan bobinler düşük kalite faktörü ( $Q$ ) değerine sahip ve elektronik olarak ayarlanamazlar. Ayrıca, bobinlerin birçoğu nH değerini geçemezler ve çok alan kaplarlar. Buna ek olarak manyetik alan oluştururlar. Bu sebeplerle analog devrelerde kullanılması gereken bobinlerin yerine, içerisinde kondansatör yer alan ve aktif blok elemanları ile tasarlanan analog devreler kullanılmaktadır (Alpaslan ve Yuce 2015, Dogan ve Yuce 2019, Yuce ve diğerleri 2006<sup>a</sup>, Yucehan ve Yuce 2022<sup>c</sup>). Bobin simülatör devreleri sayesinde güç tüketimi azalmış ve alandan tasarruf edilmiş devreler elde edilebilmektedir.

### **1.3.3 Aktif Süzgeç Devreleri**

Süzgeçler, frekans seçici yapılar olarak bilinmek ile beraber, kontrol mühendisliği, haberleşme, sinyal işleme, ölçme gibi birçok alanda kullanılmaktadırlar. Aktif blok elemanları, direnç ve kondansatör kullanılarak yapılan süzgeçlere aktif süzgeçler denilmektedir. Süzgeçler, alçak geçiren (LP), yüksek geçiren (HP), band geçiren (BP), band durduran (BR) ve tüm geçiren (AP) diye adlandırılan karakteristiklere sahiptir. LP, HP, BP ve BR süzgeçler belirli frekanslardaki sinyalleri geçirirken diğer frekanslardaki sinyalleri söndüren

süzgeç yapılarıdır. AP süzgeç ise tüm sinyalleri geçirirken fazı değiştiren bir süzgeç yapısıdır. Süzgeçler, birinci dereceden, ikinci dereceden ve yüksek dereceden olmak üzere üç sınıfa ayrılabilirler. Birinci dereceden süzgeçler LP, HP ve AP karakteristiklerine sahip olabilirken, ikinci ve yüksek dereceden süzgeçler tüm karakteristiklere sahip olabilirler (Sedra ve Smith 2015, Yuce ve diğerleri 2019, Yucehan ve Yuce 2022<sup>a</sup>, Yucel ve Yuce 2014).

### **1.3.4 Doğrultucu Devreleri**

Doğrultucular, yarım dalga doğrultucu ve tam dalga doğrultucu olarak ikiye ayrılırlar. Yarım dalga doğrultucular pozitif alternansları aynen geçirirken negatif alternansları geçirmezler. Bununla birlikte, tam dalga doğrultucular pozitif alternansları geçirirken negatif alternansları tersleyerek geçirirler. Sadece diyot kullanılarak gerçekleştirilen doğrultucular, diyotların eşik gerilimleri sebebiyle sınırlamalara sahiptir. Bu sebeple, düşük seviyeli sinyaller için yüksek doğruluğa sahip doğrultucu devreleri kullanılır. Yüksek doğruluklu doğrultucular için aktif blok elemanları kullanılmaktadır. Enstrümantasyon, ölçme ve kontrol gibi alanlarda düşük seviyeli sinyaller için kullanılan yüksek doğruluğa sahip doğrultucular önem arz etmektedir (Yuce ve diğerleri 2006, 2017).

### **1.3.5 Frekansa Bağımlı Negatif Direnç Devreleri**

Bilindiği üzere pasif süzgeçler, direnç, kondansatör ve bobinden oluşan süzgeç yapılarıdır. Bununla birlikte, bu pasif devre elemanları kullanılarak gerçekleştirilen süzgeçler IC teknolojisine uygun değildir. FDNR, minimum iki kondansatör, bir direnç ve bir aktif blok ile gerçekleştirilen bir aktif devre elemanıdır (Bruton 1969). FDNR kullanılarak gerçekleştirilen aktif süzgeçler pasif süzgeçler ile aynı özellikleri gösterebilir. IC teknolojisine uygun olması sebebi ile FDNR, aktif süzgeç devreleri için önemli bir yapıdır (Alpaslan ve diğerleri 2022, Yuce ve diğerleri 2006<sup>a</sup>, Yucehan ve diğerleri 2022).

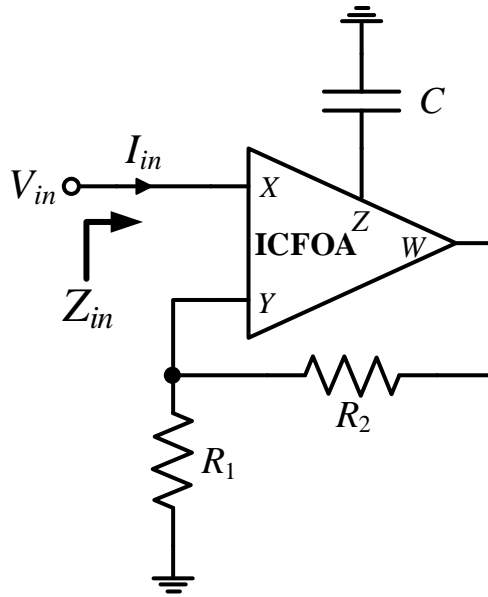
## 2. ICFOA TABANLI TOPRAKLANMIŞ KAPASİTE ÇARPMA DEVRESİ

Literatürde, birçok aktif blok ile topraklanmış kapasite çarpma (GCM) devreleri gerçekleştirilmiştir. Bunlar; işlemsel geçiş iletkenliği yükselteç (OTA) ile yapılan (Al-Absi ve Abuelma'atti 2019, Khan ve Ahmed 1986, M.T. Ahmed, I.A. Khan 1995, Padilla-Cantoya ve diğerleri 2018, Padilla-Cantoya ve Furth 2015, Silapan ve diğerleri 2008, Singh ve diğerleri 2020), CCII ile tasarlanan (Çiçekoglu 1998, Sedra ve Smith 1970, Yesil ve diğerleri 2017), akım kontrollü CCII (CCCII) ile gerçekleştirilen (Abuelma'Atti ve Tasadduq 1999), çift X uçlu CCII (DXCCII) ile yapılan (Myderrizi ve Zeki 2014), akım kontrollü geçiş iletkenliği yükselteçli CCII (CCCCTA) ile tasarlanan (Silapan ve diğerleri 2008), akım kontrollü geçiş iletkenliği yükselteçli üçüncü nesil akım taşıyıcı (CCIIITA) ile gerçekleştirilen (Singh ve diğerleri 2020), elektronik ayarlanabilir ikinci nesil gerilim taşıyıcı (E-VCII) ile yapılan (Stornelli ve diğerleri 2020), modifiye edilmiş CFOA (MCFOA) ile gerçekleştirilen (Yuce ve Minaei 2008<sup>a</sup>), CFOA ile tasarlanan (Al-Absi ve Abuelma'atti 2019, Arslanalp ve Yücehan 2015, Dogan ve Yuce 2020, Fabre 1992, Khan ve diğerleri 2002, Özer ve diğerleri 2020, Toker ve diğerleri 1999, Verma ve diğerleri 2019) devrelerdir. Bu devrelerin bazı dezavantajları bulunmaktadır: Verilen birkaç devrede farklı tiplerde aktif bloklar beraber kullanılmıştır (Al-Absi ve Abuelma'atti 2019, Khan ve Ahmed 1986, M.T. Ahmed, I.A. Khan 1995, Yesil ve diğerleri 2017). Belirtilen bazı çalışmalarda, birden fazla aktif blok kullanılmıştır (Abuelma'Atti ve Tasadduq 1999, Al-Absi ve Abuelma'atti 2019, Çiçekoglu 1998, Dogan ve Yuce 2020, Fabre 1992, Khan ve Ahmed 1986, M.T. Ahmed, I.A. Khan 1995, Özer ve diğerleri 2020, Padilla-Cantoya ve diğerleri 2018, Sedra ve Smith 1970, Silapan ve diğerleri 2008, Toker ve diğerleri 1999, Verma ve diğerleri 2019, Yesil ve diğerleri 2017). Böylece, bu çalışmalar IC teknolojisinde daha fazla alan kaplamakta ve daha fazla güç tüketmektedir. Tasarlanan çeşitli devrelerde yüzen (iki ucu bağlantılı) kondansatör kullanılmıştır (Khan ve diğerleri 2002, Khan ve Ahmed 1986, Myderrizi ve Zeki 2014, Padilla-Cantoya ve diğerleri 2018, Padilla-Cantoya ve Furth 2015, Stornelli ve diğerleri 2020, Verma ve diğerleri 2019), bu durum IC teknolojisine uygun

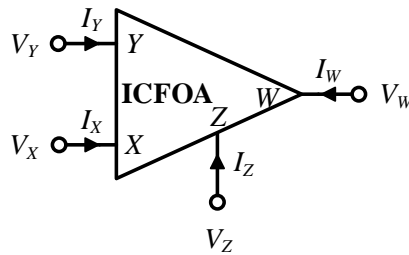
değildir (R. Jacob Baker 2005). Verilen bazı devrelerin uygulanabilmesi için ikiden fazla AD844 (Analog Devices 2000) kullanılması gerekmektedir (Çiçekoglu 1998, Sedra ve Smith 1970, Yesil ve diğerleri 2017, Yuce ve Minaei 2008<sup>a</sup>). Ek olarak, (Arslanalp ve Yücehan 2015)'te verilen devrede iki tane yüzen direnç kullanılmıştır.

Bu tezde, herhangi bir pasif eleman eşlemesine ihtiyaç duymayan ve tek bir aktif blok kullanılarak gerçekleştirilen GCM devresi önerilmiştir (Yucehan ve Yuce 2022<sup>b</sup>). Devrede, bir tanesi kondansatör ve iki tanesi direnç olmak üzere minimum sayıda pasif eleman kullanılmıştır. Önerilen devrede kullanılan kondansatörün bir ucu topraklanmış olup dirençlerden biri yüzen diğeri topraklanmış olarak kullanılmıştır.

Önerilen GCM devresi Şekil 2.1'de verilmiştir. Devrede kullanılan eviren CFOA (ICFOA)'ya ait aktif blok sembolü Şekil 2.2'de verilmiştir.



Şekil 2.1: Önerilen ICFOA tabanlı topraklanmış kapasite çarpma devresi.



Şekil 2.2: ICFOA aktif blok sembolü.

Önerilen devrede kullanılan ICFOA aktif bloğuna ait uç denklemleri eşitlik (2.1)'de verilmiştir.

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \\ V_W \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ \beta & 0 & 0 \\ 0 & -\gamma & 0 \\ 0 & 0 & \eta \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (2.1)$$

Burada,  $\beta$  ve  $\eta$  ideal olmayan gerilim kazancıyken  $\gamma$  ideal olmayan akım kazancıdır. Bu kazançlar idealde 1'e eşittir. Şekil 2.1'de verilen önerilen devreye ait giriş empedansı ( $Z_{in}$ ), ideal olarak eşitlik (2.2)'deki gibi elde edilir.

$$Z_{in} = \frac{V_{in}}{I_{in}} = \frac{1}{sC \left(1 + \frac{R_2}{R_1}\right)} = \frac{1}{sC_{eq}} \quad (2.2)$$

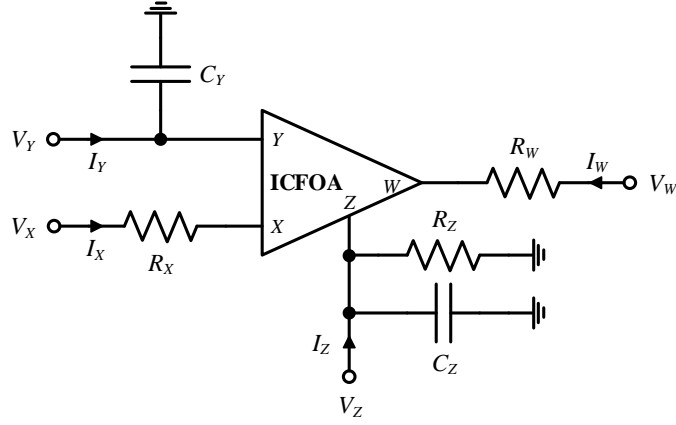
Eşitlik (2.2)'den de görüldüğü gibi eşdeğer kapasite ( $C_{eq}$ ),  $C_{eq} = C(1 + R_2/R_1) = C \times K$  olarak hesaplanır. Burada  $K$ , çarpma faktörü olup  $K = 1 + R_2/R_1$ 'e eşittir. Eğer ICFOA'ya ait ideal olmayan kazançlar dahil edilirse, elde edilen  $Z_{in}$  aşağıdaki gibi olur.

$$Z_{in} = \frac{V_{in}}{I_{in}} = \frac{\gamma\beta\eta}{sC_{eq}} \quad (2.3)$$

Kullanılan aktif bloğa ait parazitik empedans etkiler göz önüne alınır, ICFOA'ya ait blok sembolü Şekil 2.3'teki gibi olur. Parazitik empedansların dahil edilmesi ile birlikte ideal ICFOA'a ait uç denklemleri eşitlik (2.4)'te verilmiştir.

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \\ V_W \end{bmatrix} = \begin{bmatrix} sC_Y & 0 & 0 & 0 \\ 1 & R_X & 0 & 0 \\ 0 & -1 & sC_Z + 1/R_Z & 0 \\ 0 & 0 & 1 & R_W \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \\ I_W \end{bmatrix} \quad (2.4)$$

Burada parazitik dirençler,  $R_X$  ve  $R_W$  idealde sifıra eşitken  $R_Z$  idealde sonsuzdur. Ek olarak, parazitik kondansatörler,  $C_Y$  ve  $C_Z$  idealde sıfırdır.



Şekil 2.3: Parazitik empedanslar ile birlikte ICFOA aktif blok sembolü.

Parazitik empedansların dahil edilmesi ile birlikte, giriş empedansı aşağıdaki denklem ile ifade edilir.

$$Z_{in} = \frac{a \times (R_2 + R_W) R_X + R_1 (R_Z + a \times R_X (1 + s C_Y (R_2 + R_W)))}{a \times (R_1 + R_2 + R_W + s C_Y R_1 (R_2 + R_W))} \quad (2.5)$$

Burada,  $a = 1 + s(C + C_Z)R_Z$ 'dir.

## 2.1 Benzetim Sonuçları

Önerilen GCM devresinde kullanılan ICFOA aktif blok elemanına ait MOS transistör tabanlı içyapı (Hassanein ve diğerleri 2005) çalışmasından türetilmiş ve türetilen içyapı Şekil 2.4'te gösterilmiştir. Şekil 2.4'te verilen içyapıya ait küçük işaret giriş ve çıkış dirençleri aşağıdaki gibi hesaplanmıştır.

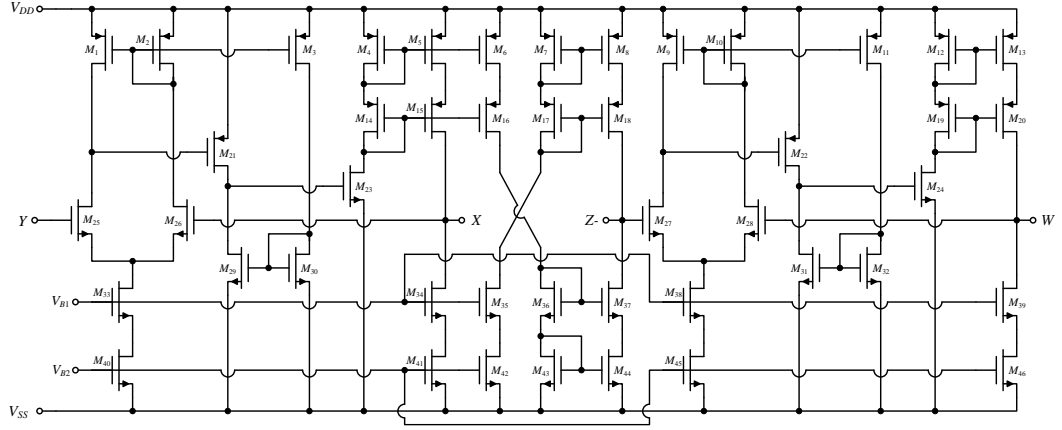
$$r_x \cong \frac{r_{O5}}{\left( \frac{1}{g_{m4}} + \frac{1}{g_{m14}} \right) (r_{O1} // r_{O25}) (r_{O21} // r_{O29}) g_{m21} g_{m23} g_{m25}} \quad (2.6)$$

$$r_w \cong \frac{r_{O13}}{\left( \frac{1}{g_{m12}} + \frac{1}{g_{m19}} \right) (r_{O9} // r_{O27}) (r_{O22} // r_{O31}) g_{m22} g_{m24} g_{m27}} \quad (2.7)$$

$$r_{z-} = (r_{O8} r_{O18} g_{m18}) // (r_{O37} r_{O44} g_{m37}) \quad (2.8)$$

Burada,  $r_o$  sınırlı çıkış direnciyken,  $g_m$  geçiş iletkenliğidir.





Şekil 2.4: MOS transistör tabanlı ICFOA içyapısı.

Önerilen GCM devresinde kullanılan ICFOA'nın içyapısında kullanılan MOS transistörlere ait en ( $W$ ) boy ( $L$ ) oranları Tablo 2.1'de verilmiştir. İçyapının besleme gerilimleri  $V_{DD} = -V_{SS} = 1.25$  V olarak seçilmiştir. Ayrıca, içyapıya ait kutuplama gerilimleri  $V_{B1}$  ve  $V_{B2}$  sırasıyla  $-0.1$  V ve  $-0.81$  V olarak seçilmiştir. Bununla birlikte, içyapıdaki MOS transistörler için  $0.18$   $\mu\text{m}$  TSMC CMOS teknoloji parametreleri kullanılmıştır (Rabaey 2008). Bu değerler altında, ICFOA'ya ait içyapının elde edilen parazitik empedans ve ideal olmayan kazanç değerleri Tablo 2.2'de verilmiştir.

Tablo 2.1: ICFOA içyapısındaki MOS transistörlere ait en boy oranları.

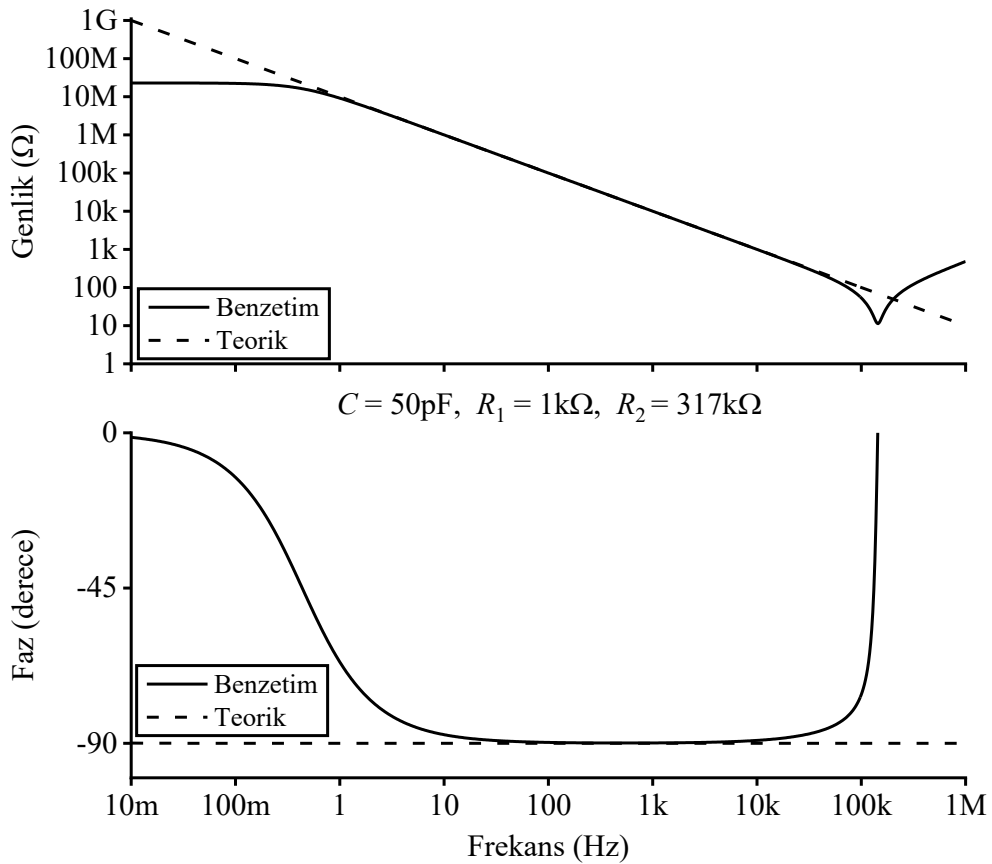
NMOS Transistörler	$W$ ( $\mu\text{m}$ )	$L$ ( $\mu\text{m}$ )
$M_{25}-M_{28}$	6	1
$M_{33}, M_{38}, M_{40}, M_{45}$	12	1
$M_{23}, M_{24}, M_{29}-M_{32}, M_{34}-M_{37}, M_{39}, M_{41}-M_{44}, M_{46}$	1	1
PMOS Transistörler	$W$ ( $\mu\text{m}$ )	$L$ ( $\mu\text{m}$ )
$M_1-M_3, M_9-M_{11}, M_{21}, M_{22}$	9	1
$M_4-M_8, M_{14}-M_{18}$	5	1
$M_{12}, M_{13}, M_{19}, M_{20}$	3	1

Tablo 2.2: ICFOA içyapısına ait parazitik empedans ve ideal olmayan kazanç değerleri.

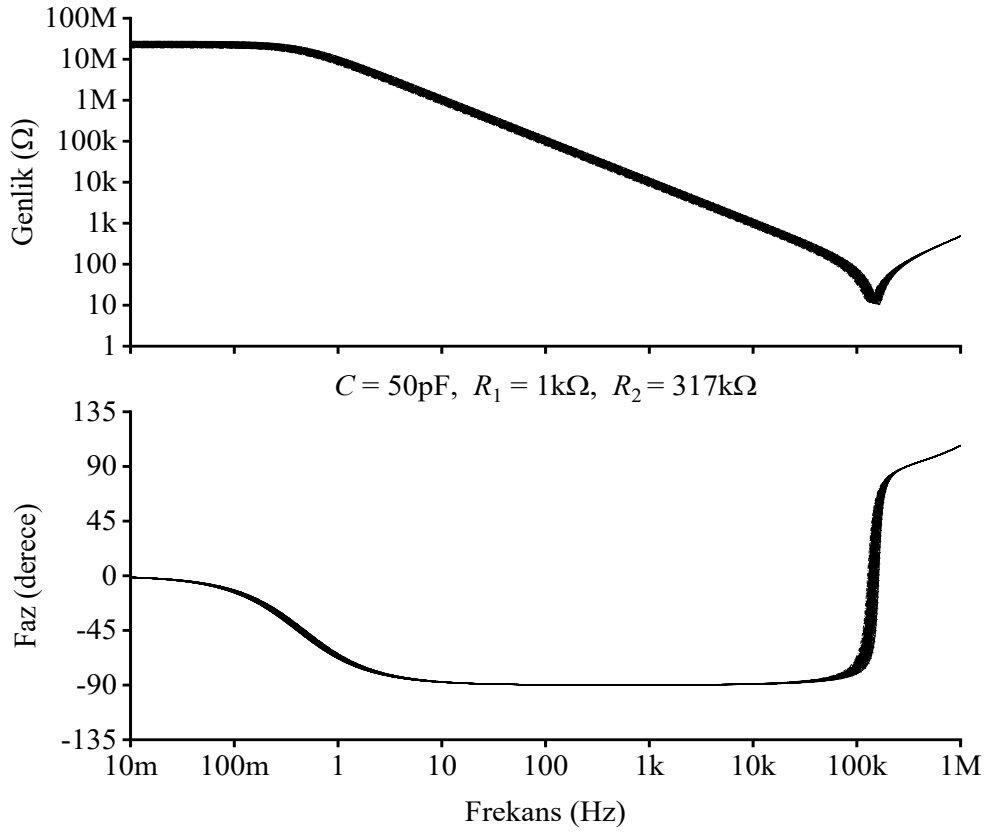
ICFOA'nın Parazitik Empedans Değerleri			
$R_X = R_W \cong 15 \Omega$	$R_Z \cong 7 \text{ G}\Omega$	$C_Z \cong 13 \text{ fF}$	$C_Y \cong 5 \text{ fF}$
ICFOA'nın İdeal Olmayan Kazanç Değerleri			
$\gamma \cong 1$	$\beta_1 \cong 1$	$\beta_2 \cong 1$	
$f_\gamma \cong 19 \text{ MHz}$	$f_{\beta_1} \cong 54 \text{ MHz}$	$f_{\beta_2} \cong 65 \text{ MHz}$	

Benzetimler, SPICE programı aracılığı ile yapılmıştır. Tüm benzetimlerde  $C = 50$  pF ve  $R_1 = 1$  k $\Omega$  olarak seçilmiştir.  $K$ , çarpma faktörü,  $R_2$  direncinin değeri değiştirilerek elde edilmiştir. Şekil 2.5'te  $R_2 = 317$  k $\Omega$  olarak seçildiği durum olan

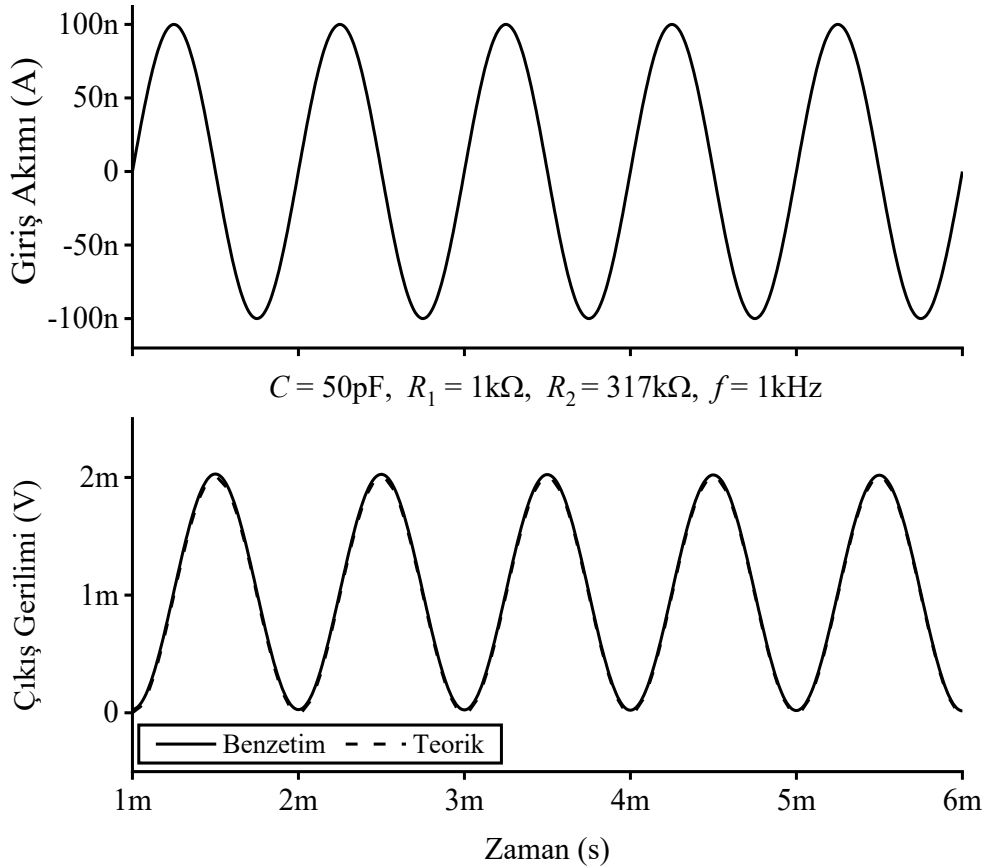
$K = 318$  için önerilen GCM devresinin genlik ve faz cevabı teorik sonuçlar ile karşılaştırılmalı olarak verilmiştir. Bu değerler altında,  $C_{eq} = 15.9$  nF olarak elde edilmiştir. Önerilen devrenin Monte Carlo (MC) analizleri  $K = 318$  için 200 örnekleme ile birlikte tüm pasif elemanlardaki değişim eş dağılımlı %10 alınarak yapılmıştır. MC analiz sonuçları Şekil 2.6’da gösterilmiştir. Önerilen devredeki pasif eleman değerleri aynı seçilerek zaman analizleri yapılmıştır. Zaman analizleri için girişe 100 nA genliğine sahip 1 kHz frekansında sinüsoidal bir akım uygulanmıştır. Elde edilen sonuçlar Şekil 2.7’de verilmiştir. Önerilen devrede  $C = 50$  pF,  $R_1 = 1$  k $\Omega$  ve  $R_2 = 317$  k $\Omega$  seçildiğinde devrenin toplam harmonik bozulma (THD) değeri %0.06 olarak bulunmuştur. Önerilen GCM devresinin farklı çarpma faktörleri için frekans cevabı analizleri de yapılmıştır. Bu analizlerde  $C = 50$  pF ve  $R_1 = 1$  k $\Omega$  olarak seçilip  $R_2$  değeri değiştirilerek farklı kuvvetlendirme katsayıları elde edilmiştir. Analizlerde,  $K$  değeri 10, 100, 200, 500, 1000 ve 10000 alınarak yapılmıştır. Elde edilen sonuçlar teorik sonuçlar ile karşılaştırılmalı olarak Şekil 2.8’de gösterilmiştir. Önerilen ICFOA tabanlı GCM devresinin güç tüketimi 24  $\mu$ W olarak hesaplanmıştır.



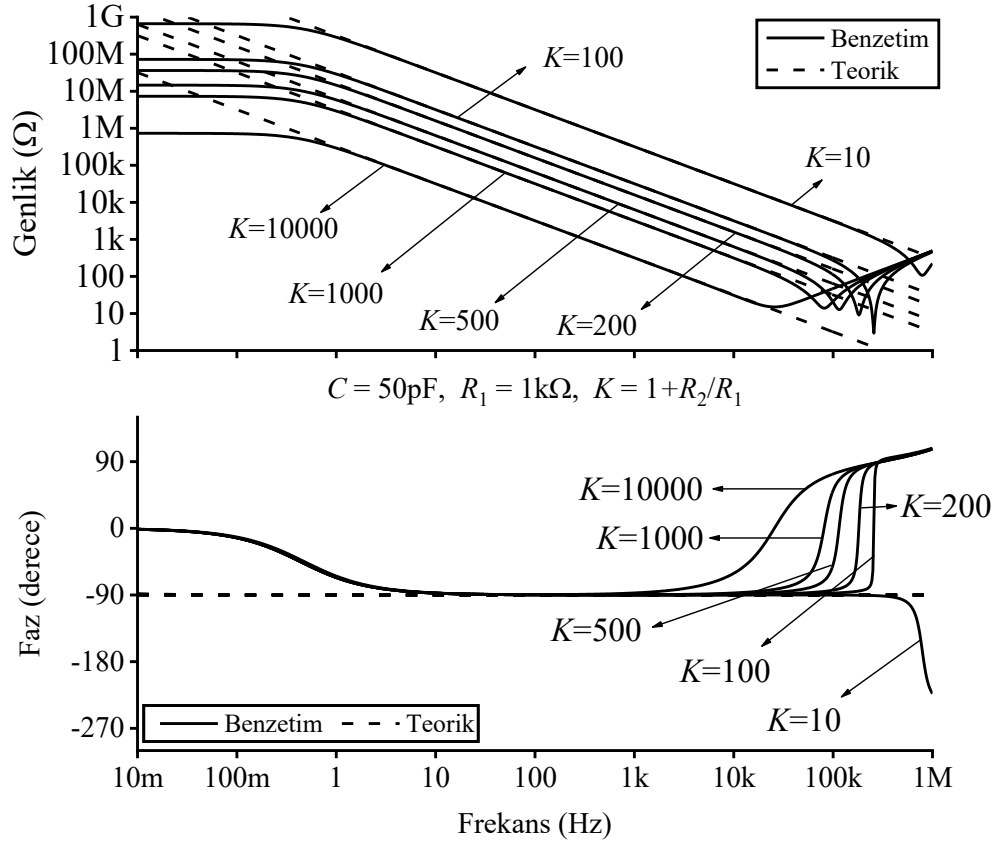
Şekil 2.5: Önerilen ICFOA tabanlı GCM devresinin genlik ve faz cevabı.



**Şekil 2.6:** Önerilen ICFOA tabanlı GCM devresinin Monte Carlo analiz sonuçları (Tüm pasif elemanlarda eş dağılımlı %10 değişim ile yapılmıştır).



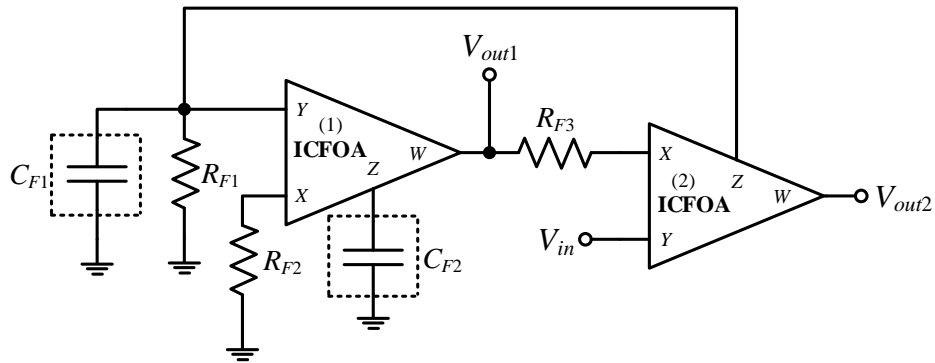
**Şekil 2.7:** Önerilen ICFOA tabanlı GCM devresinin zaman analizi cevapları.



Şekil 2.8: Önerilen ICFOA tabanlı GCM devresinin farklı kuvvetlendirme katsayıları için frekans cevabı.

## 2.2 Uygulama Devresi

Şekil 2.9’da ICFOA tabanlı ikinci dereceden süzgeç devresi gösterilmiştir. Bu devre önerilen ICFOA tabanlı GCM devresinin test edilmesi için kullanılmıştır. Süzgeç devresinin iki adet çıkışı olup, birinci çıkıştan ( $V_{out1}$ ) LP, ikinci çıkıştan ( $V_{out2}$ ) BP sonuçları elde edilmektedir. Çıkışlara ait transfer fonksiyonları (TF) sırasıyla eşitlik (2.9) ve (2.10)’da verilmiştir.



Şekil 2.9: Önerilen ICFOA tabanlı GCM devresinin test edildiği ikinci dereceden süzgeç devresi.

$$\frac{V_{out1}}{V_{in}} = \frac{1}{1 + \frac{sC_{F2}R_{F2}R_{F3}}{R_{F1}} + s^2C_{F1}C_{F2}R_{F2}R_{F3}} \quad (2.9)$$

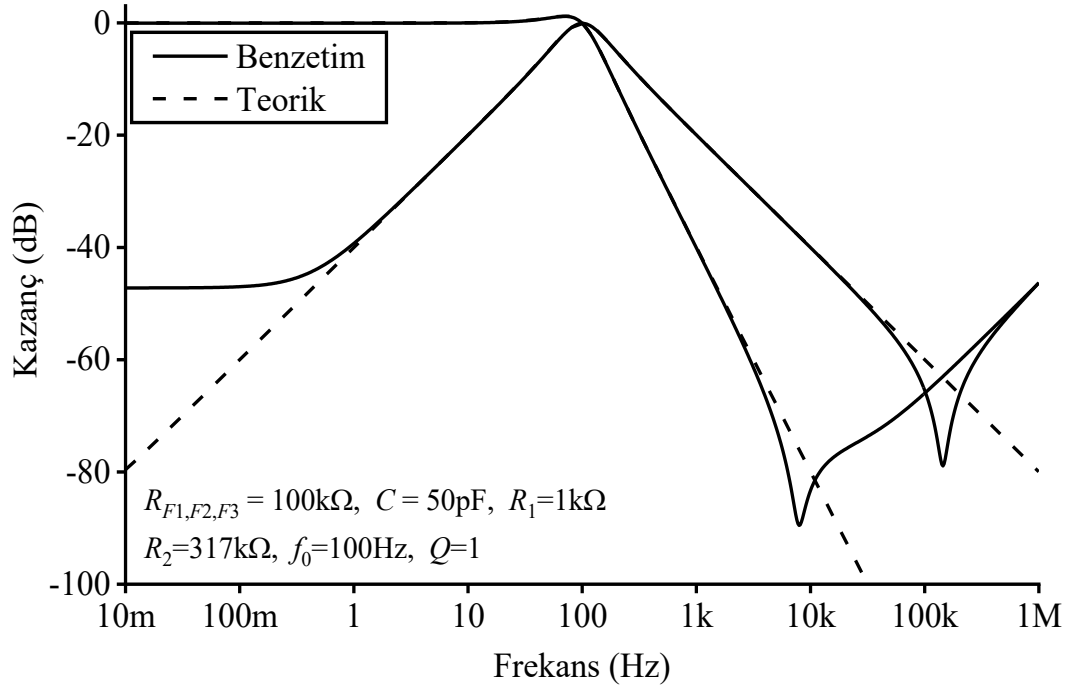
$$\frac{V_{out2}}{V_{in}} = -\frac{R_{F1}}{R_{F3}} \times \frac{\frac{sC_{F2}R_{F2}R_{F3}}{R_{F1}}}{1 + \frac{sC_{F2}R_{F2}R_{F3}}{R_{F1}} + s^2C_{F1}C_{F2}R_{F2}R_{F3}} \quad (2.10)$$

Denklemlerden de görüldüğü gibi LP çıkışı evirmeyen olup birim kazançlıdır. Ayrıca BP çıkışı eviren olup kazancı  $R_{F1}/R_{F3}$ 'tür. Süzgeç devresine ait rezonans frekansı ( $f_0$ ) ve kalite faktörü ( $Q$ ) sırasıyla eşitlik (2.11) ve (2.12)'de verilmiştir. Bu denklemlerden görüldüğü gibi  $R_{F1}$  direnci ile  $f_0$  sabit tutularak  $Q$  değiştirilebilmektedir.

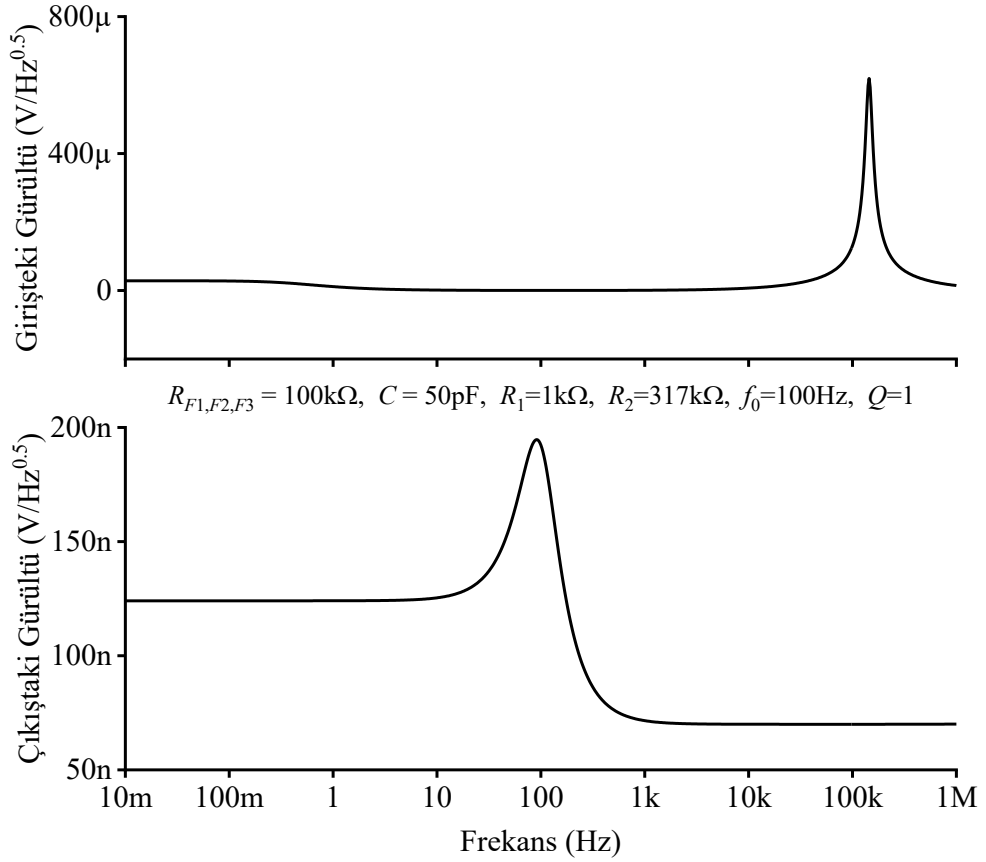
$$f_0 = \frac{1}{2\pi\sqrt{C_{F1}C_{F2}R_{F2}R_{F3}}} \quad (2.11)$$

$$Q = R_{F1}\sqrt{\frac{C_{F1}}{C_{F2}R_{F2}R_{F3}}} \quad (2.12)$$

Şekil 2.9'da verilen süzgeç devresinin benzetimleri sırasında  $C_{F1}$  ve  $C_{F2}$  kondansatörleri yerine  $K = 318$  ( $C = 50$  pF,  $R_1 = 1$  k $\Omega$  ve  $R_2 = 317$  k $\Omega$ ) için Şekil 2.1'deki önerilen ICFOA tabanlı GCM devresi kullanılmıştır. Süzgeç devresinde verilen tüm dirençlerin ( $R_{F1}$ ,  $R_{F2}$  ve  $R_{F3}$ ) değerleri 100 k $\Omega$  olarak seçilmiştir. Bu değerler altında, Şekil 2.9'da verilen süzgeç devresinin  $f_0$  ve  $Q$  değerleri sırasıyla 100 Hz ve 1 olarak hesaplanmıştır. Süzgeç devresine ait kazanç sonuçları teorik sonuçlarla karşılaştırmalı olarak Şekil 2.10'da verilmiştir. Şekil 2.10'dan da görüldüğü üzere, uygulama devresinin LP çıkışı 5 kHz frekansına kadar ve BP çıkışı ise 1 Hz ile 60 kHz frekans aralığında ideale yakın sonuç vermektedir. Bununla beraber, süzgeç devresinin BP çıkışına ait gürültü analizleri yapılmış olup sonuçlar Şekil 2.11'de gösterilmiştir. Süzgeç devresinin güç tüketimi 95  $\mu$ W olarak hesaplanmıştır.



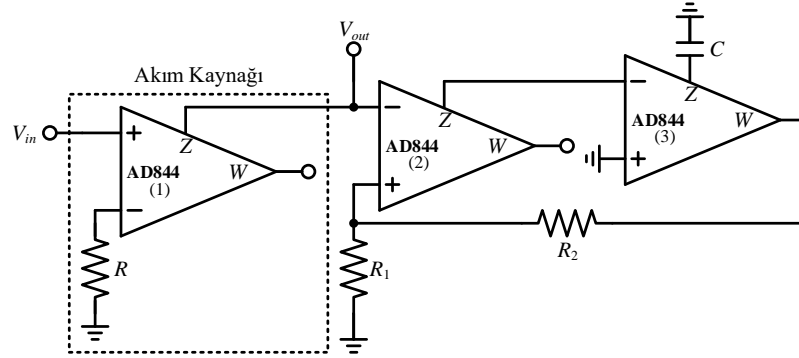
Şekil 2.10: İkinci dereceden süzgeç devresinin kazanç sonuçları.



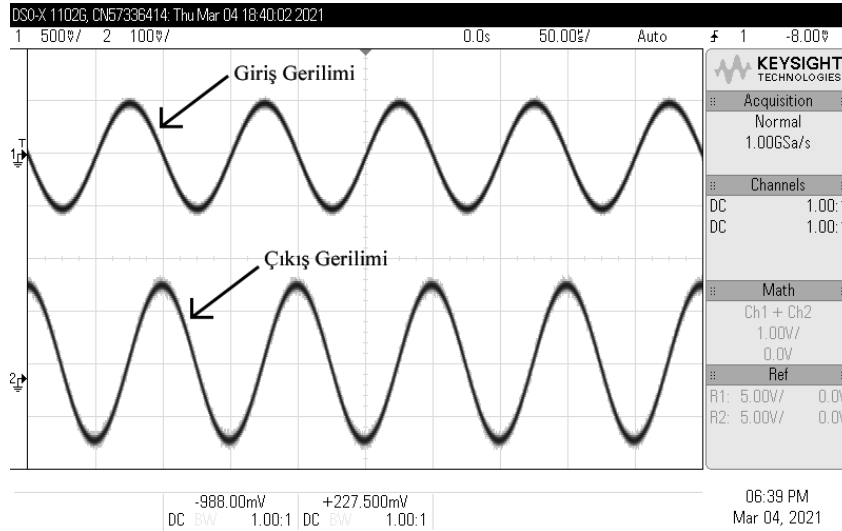
Şekil 2.11: İkinci dereceden süzgeç devresinin BP çıkışına ait gürültü analizi sonuçları.

## 2.3 Deney Sonuçları

Önerilen ICFOA tabanlı GCM devresi AD844'ler kullanılarak test edilmiştir. Girişe akım verilebilmesi için ayrıca tek bir AD844 kullanılarak bir akım kaynağı yapılmıştır. Şekil 2.1'deki önerilen devre ile akım kaynağının gerçekleştirilmesi Şekil 2.12'de gösterilmiştir. Tüm AD844'ler  $\pm 12$  V ile beslenmiştir. Devredeki pasif elemanların değerleri  $R = 4.7$  k $\Omega$ ,  $R_1 = 1$  k $\Omega$ ,  $R_2 = 10$  k $\Omega$  ve  $C = 1$  nF olarak seçilmiştir. Bu değerler altında  $K = 11$  ve  $C_{eq} = 11$  nF olarak hesaplanmıştır. Şekil 2.12'deki devrenin girişine tepeden tepeye 1 V genlikli 10 kHz frekansına sahip sinüsoidal bir gerilim uygulanmıştır. Böylece, önerilen devrenin girişinde yaklaşık olarak tepeden tepeye 0.21 mA genlikli bir akım uygulanmıştır. Önerilen GCM devresine ait deney sonuçları Şekil 2.13'te gösterilmiştir. Deney sonucunda, tasarlanan devreye ait giriş ve çıkış gerilimleri arasında olması gereken  $-90^\circ$ 'lik faz farkı yaklaşık olarak elde edilmiştir.



Şekil 2.12: Önerilen ICFOA tabanlı GCM devresinin ve akım kaynağının AD844'ler ile gerçekleştirilmesi.



Şekil 2.13: Önerilen ICFOA tabanlı GCM devresinin deney sonuçları.

### 3. CCII TABANLI KAYIPSIZ YÜZEN BOBİN SİMÜLATÖR DEVRESİ

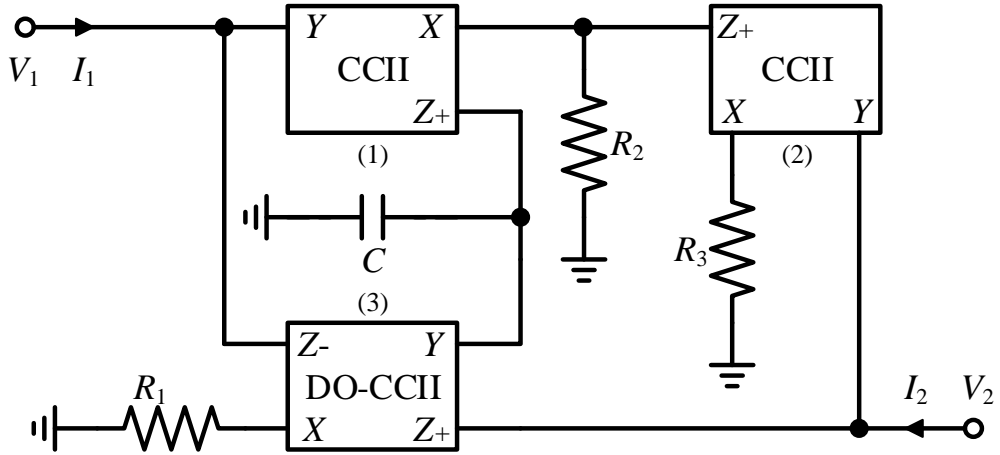
Literatürde, CCII ile gerçekleştirilmiş birçok yüzen bobin simülator (SFI) devresi yer almaktadır (Alpaslan ve diğerleri 2013, De Marcellis ve diğerleri 2009, Fakhfakh ve diğerleri 2007, Ferri ve diğerleri 2003, Higashimura ve Fukui 1989, Kiranon ve Pawarangkoon 1997, Layos ve Haritantis 1997, Metin ve Cicekogl u 2006, Minaei ve diğerleri 2002, 2006, Minaei ve Yuce 2008<sup>b, c</sup>, P.V. Ananda Mohan 1998, Pal 1981<sup>a, b</sup>, 2004, Sagbas ve diğerleri 2009<sup>a, b</sup>, Senani 1978, 1979, 1980<sup>a, b</sup>, 1982, 1986<sup>a</sup>, 1988, Singh 1979, Yuce 2006<sup>a, b</sup>, Yuce ve diğerleri 2006<sup>a, b, d</sup>). Bu devrelerin bazı dezavantajları bulunmaktadır: Verilen bazı devreler kayıplıdır (Metin ve Cicekogl u 2006, Senani 1978, 1979, 1980<sup>b</sup>, 1988, Singh 1979). Önerilen çeşitli devrelerde yüzen kondansatör kullanılmıştır (De Marcellis ve diğerleri 2009, Metin ve Cicekogl u 2006, Minaei ve Yuce 2008<sup>b, c</sup>, Senani 1978, 1979, 1980<sup>a, b</sup>, 1986<sup>a</sup>, 1988, Singh 1979). Bu, IC teknolojisi için istemeyen bir durumdur (Bhushan ve Newcomb 1967). Belirtilen bazı devrelerde ise yüzen direnç veya dirençler kullanılmıştır (Alpaslan ve diğerleri 2013, De Marcellis ve diğerleri 2009, Ferri ve diğerleri 2003, Higashimura ve Fukui 1989, Kiranon ve Pawarangkoon 1997, Metin ve Cicekogl u 2006, Minaei ve diğerleri 2006, Minaei ve Yuce 2008<sup>c</sup>, P.V. Ananda Mohan 1998, Pal 2004, 1981<sup>a</sup>, Senani 1978, 1979, 1980<sup>a, b</sup>, 1982, 1986<sup>a</sup>, 1988, Singh 1979, Yuce ve diğerleri 2006<sup>a, b</sup>). Verilen birkaç devrede üçten fazla aktif blok kullanılmıştır (Alpaslan ve diğerleri 2013, Fakhfakh ve diğerleri 2007, Ferri ve diğerleri 2003, Kiranon ve Pawarangkoon 1997, Pal 1981<sup>a, b</sup>, 2004, Senani 1982, Yuce ve diğerleri 2006<sup>b</sup>). Önerilen bazı devrelerin BJT kullanılarak gerçekleştirilmesi sebebi ile bu devrelerde sıcaklığa karşı hassasiyet vardır (Higashimura ve Fukui 1989, Kiranon ve Pawarangkoon 1997, Minaei ve diğerleri 2002, 2006, Minaei ve Yuce 2008<sup>b, c</sup>, Sagbas ve diğerleri 2009<sup>b</sup>, Yuce 2006<sup>b</sup>, Yuce ve diğerleri 2006<sup>d</sup>). Belirtilen birkaç devrede kullanılan aktif bloğun  $X$  ucuna kondansatör bağlanmıştır (Minaei ve diğerleri 2006, Singh 1979, Yuce ve diğerleri 2006<sup>a, b</sup>). Bundan dolayı bu devreler yüksek frekanslarda sınırlamalara sahiptir (Yuce ve Minaei 2008<sup>b</sup>). Verilen devrede bir adet çift çıkışlı CCII (DO-CCII), bir adet pozitif tip CCII (CCII+) ve bir adet negatif tip CCII (CCII-) kullanılmıştır



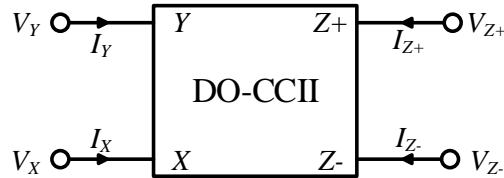
(Yuce 2006<sup>a</sup>). Önerilen devrede ise bir adet DO-CCII ve iki adet CCII+ kullanılmıştır. Bu sebeple, (Yuce 2006<sup>a</sup>)’daki devre IC üretim sürecinde önerilen devreye göre daha fazla alan kaplamaktadır. Bir diğer ifade ile, önerilen SFI devresi beş adet AD844 ile gerçekleştirilebilirken, (Yuce 2006<sup>a</sup>)’da önerilen devre altı adet AD844 ile gerçekleştirilebilmektedir.

Bu tezde, CCII tabanlı yüzen kayıpsız bobin simülâtör devresi önerilmiştir (Yucehan ve Yuce 2022<sup>c</sup>). Önerilen devrede bir adet DO-CCII ve iki adet CCII+ kullanılmıştır. Önerilen devrede, üç adet direnç ve bir adet kondansatör olmak üzere toplamda dört adet pasif eleman kullanılmış olup, tüm pasif elemanlar topraklanmıştır. Bununla birlikte, önerilen devrede kullanılan dirençlerden ikisinde eşleme problemi bulunmaktadır.

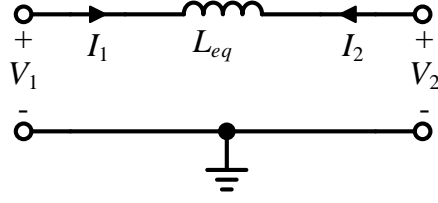
Önerilen devre Şekil 3.1’de gösterilmiştir. Önerilen SFI devresinde kullanılan CCII+, Z- ucu topraklanmış DO-CCII kullanılarak elde edilebilmektedir. Kullanılan DO-CCII aktif blok sembolü Şekil 3.2’de verilmiştir. Şekil 3.1’de verilen önerilen SFI devresine ait eşdeğer devre Şekil 3.3’te verilmiştir.



Şekil 3.1: Önerilen DO-CCII tabanlı yüzen bobin simülâtör devresi.



Şekil 3.2: DO-CCII aktif blok sembolü.



Şekil 3.3: Önerilen SFI devresine ait eşdeğer devre gösterimi.

Önerilen devrede kullanılan DO-CCII elemanına ait uç denklemleri eşitlik (3.1)'de verilmiştir.

$$\begin{bmatrix} I_Y \\ V_X \\ I_{Z+} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ \beta & 0 \\ 0 & \alpha \\ 0 & -\gamma \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \end{bmatrix} \quad (3.1)$$

Burada,  $\beta$  ideal olmayan gerilim kazancı iken  $\alpha$  ve  $\gamma$  ideal olmayan akım kazancıdır. Bu kazançlar idealde 1'e eşittir. Şekil 3.1'de verilen önerilen devrede  $R_3 = R_2$  olarak seçildiğinde önerilen devreye ait giriş çıkış matris denklemi ideal olarak eşitlik (3.2)'deki gibi elde edilir.

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{1}{sCR_1R_2} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \frac{1}{sL_{eq}} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (3.2)$$

Bu durumda eşdeğer bobin ( $L_{eq}$ ),  $L_{eq} = CR_1R_2$  olarak elde edilir. Eğer DO-CCII elemanına ait ideal olmayan kazançlar dahil edilirse önerilen SFI devresine ait giriş çıkış matris denklemleri aşağıdaki gibi olur.

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{\alpha_1\beta_3}{sCR_1R_2R_3} \begin{bmatrix} \beta_1\gamma_3R_3 & -\alpha_2\beta_2\gamma_3R_2 \\ -\alpha_3\beta_1R_3 & \alpha_2\alpha_3\beta_2R_2 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (3.3)$$

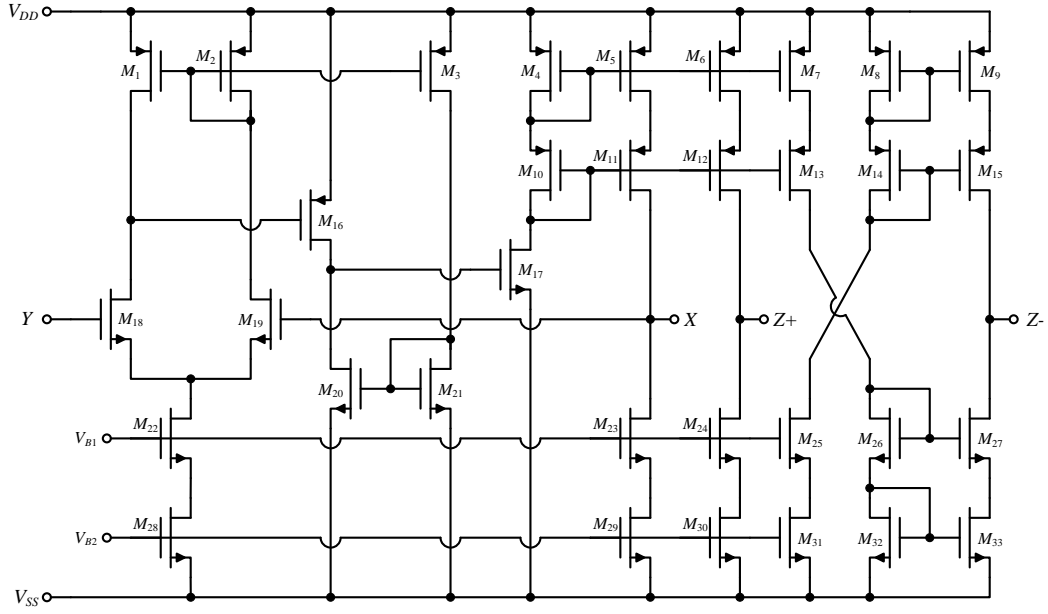
### 3.1 Benzetim Sonuçları

Önerilen kayıpsız SFI devresinde kullanılan DO-CCII aktif bloğuna ait MOS transistör tabanlı içyapı (Hassanein ve diğerleri 2005) çalışmasından türetilmiş ve türetilen içyapı Şekil 3.4'te gösterilmiştir. Şekil 3.4'te verilen içyapıya ait küçük işaret giriş ve çıkış dirençleri aşağıdaki gibi hesaplanmıştır.

$$r_X \cong \frac{r_{O5}}{\left( \frac{1}{g_{m4}} + \frac{1}{g_{m10}} \right) (r_{O1} // r_{O18}) (r_{O16} // r_{O20}) g_{m16} g_{m17} g_{m18}} \quad (3.4)$$

$$r_{Z+} = (r_{O6} r_{O12} g_{m12}) // (r_{O24} r_{O30} g_{m24}) \quad (3.5)$$

$$r_{Z-} = (r_{O9} r_{O15} g_{m15}) // (r_{O27} r_{O33} g_{m27}) \quad (3.6)$$



Şekil 3.4: MOS transistör tabanlı DO-CCII iç yapısı.

Önerilen kayıpsız SFI devresinde kullanılan DO-CCII'nin iç yapısında kullanılan MOS transistörlere ait en boy oranları Tablo 3.1'de verilmiştir. İç yapının besleme gerilimleri  $V_{DD} = -V_{SS} = 1.25$  V seçilirken, kutuplama gerilimleri  $V_{B1}$  ve  $V_{B2}$  sırasıyla  $-0.25$  V ve  $-0.62$  V olarak seçilmiştir. Bununla birlikte, iç yapıdaki MOS transistörler için  $0.18 \mu\text{m}$  TSMC CMOS teknoloji parametreleri kullanılmıştır (Rabaey 2008). Bu değerler altında DO-CCII'a ait iç yapının elde edilen parazitik empedans ve ideal olmayan kazanç değerleri Tablo 3.2'de verilmiştir.

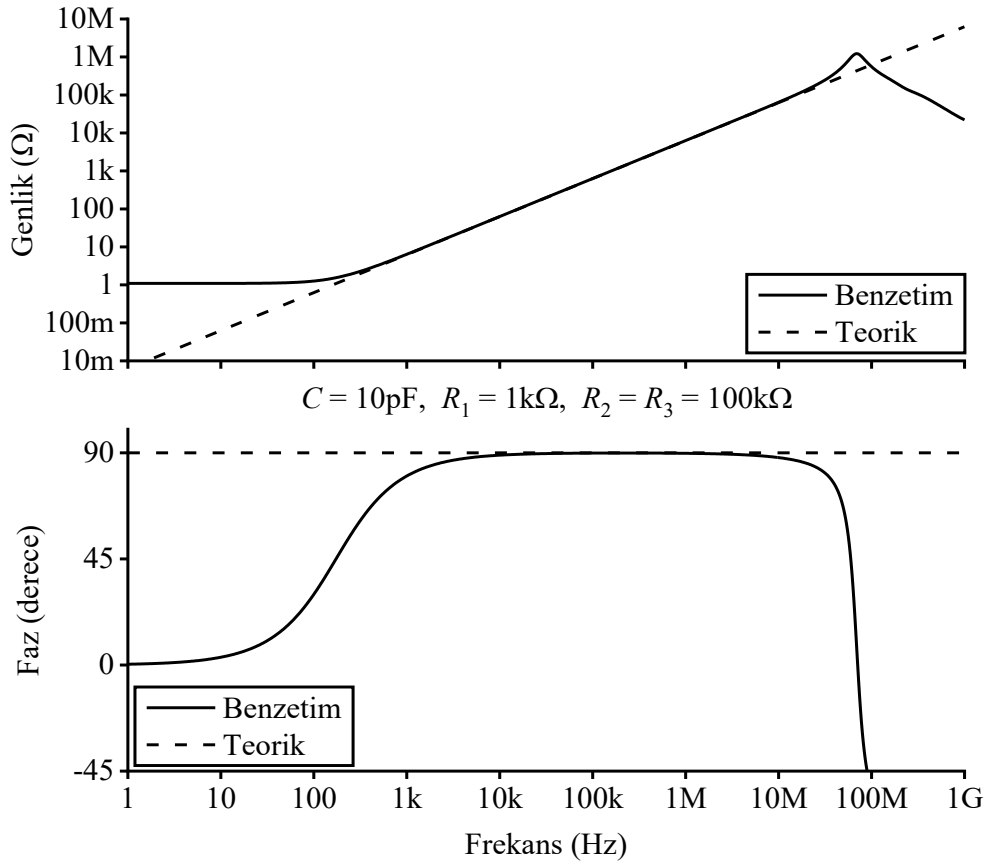
Tablo 3.1: DO-CCII iç yapısındaki MOS transistörlere ait en boy oranları.

	MOS Transistörler	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
PMOS Transistörler	$M_1-M_3, M_{16}$	6	0.5
	$M_4-M_{15}$	4	
NMOS Transistörler	$M_{17}, M_{20}, M_{21}, M_{23}-M_{27}, M_{29}-M_{33}$	1	
	$M_{18}, M_{19}$	6	
	$M_{22}, M_{28}$	12	

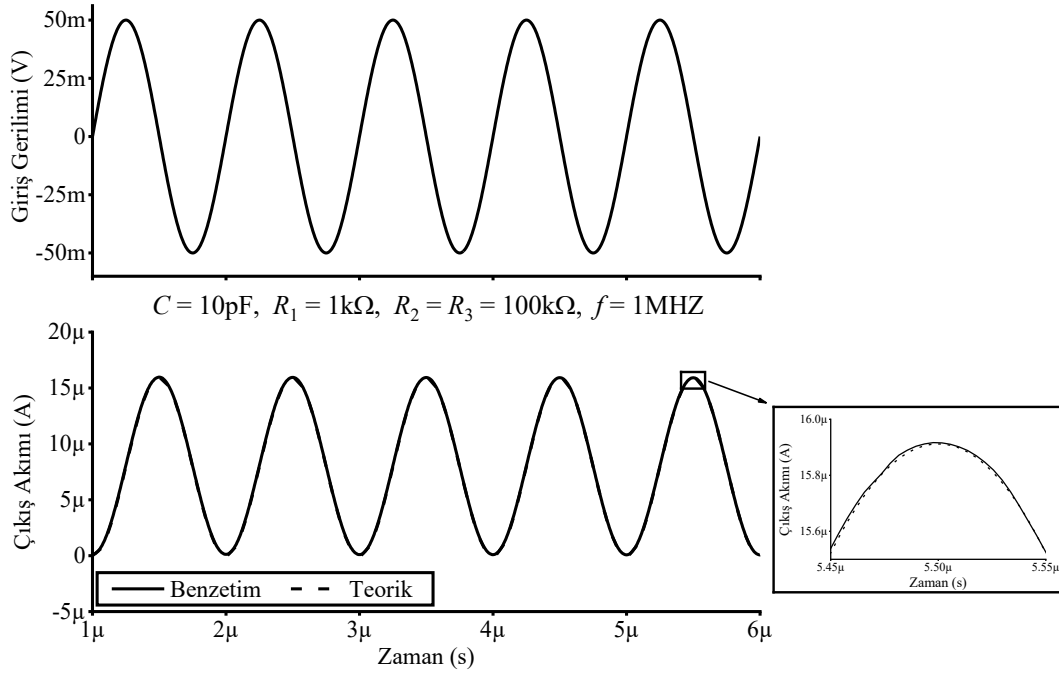
**Tablo 3.2:** DO-CCII içyapısına ait parazitik empedans ve ideal olmayan kazanç değerleri.

DO-CCII'a Ait Parazitik Empedans Değerleri		
$R_X \cong 4.2 \Omega$	$R_{Z+} \cong 92 M\Omega$	$R_{Z-} \cong 101 M\Omega$
$C_Y \cong 4.8 \text{ fF}$	$C_{Z+} \cong 3.6 \text{ fF}$	$C_{Z-} \cong 7.2 \text{ fF}$
DO-CCII'a Ait İdeal Olmayan Kazanç Değerleri		
$\alpha_0 = 1$	$\beta_0 = 1$	$\gamma_0 = 0.9997$
$f_\alpha \cong 590 \text{ MHz}$	$f_\beta \cong 1.1 \text{ GHz}$	$f_\gamma \cong 440 \text{ MHz}$

Simülasyonlar, SPICE programı aracılığı ile yapılmıştır. Önerilen SFI devresine ait genlik ve faz cevapları frekans ortamında teorik sonuçlarla karşılaştırılmalı olarak Şekil 3.5'te verilmiştir. Benzetim için Şekil 3.1'de verilen devredeki pasif elemanların değerleri  $R_1 = 1 \text{ k}\Omega$ ,  $R_2 = R_3 = 100 \text{ k}\Omega$  ve  $C = 10 \text{ pF}$  seçilmiştir. Bu değerler altında elde edilen  $L_{eq}$ , 1 mH olarak hesaplanmıştır. Önerilen devreye ait zaman ortamı analizleri de tüm pasif elemanların değerleri aynı seçilmişken yapılmıştır ve devrenin girişine 50 mV genliğe ve 1 MHz frekansa sahip sinüsoidal bir sinyal uygulanmıştır. Elde edilen sonuçlar, teorik sonuçlar ile karşılaştırılmalı olarak Şekil 3.6'da gösterilmiştir.

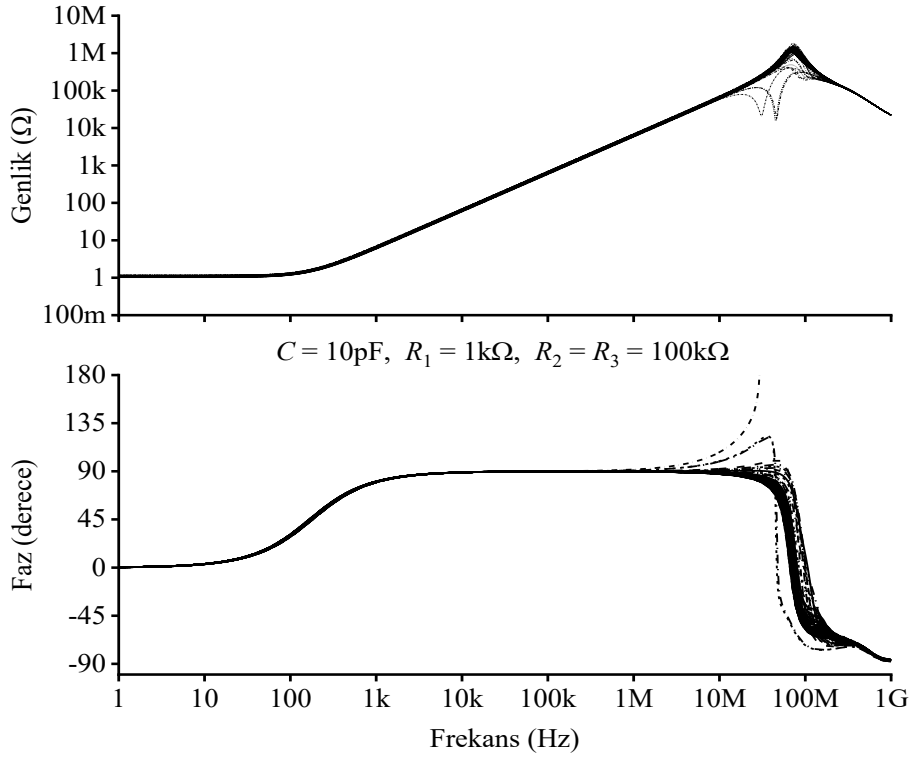


**Şekil 3.5:** Önerilen DO-CCII tabanlı SFI devresinin genlik ve faz cevabı.



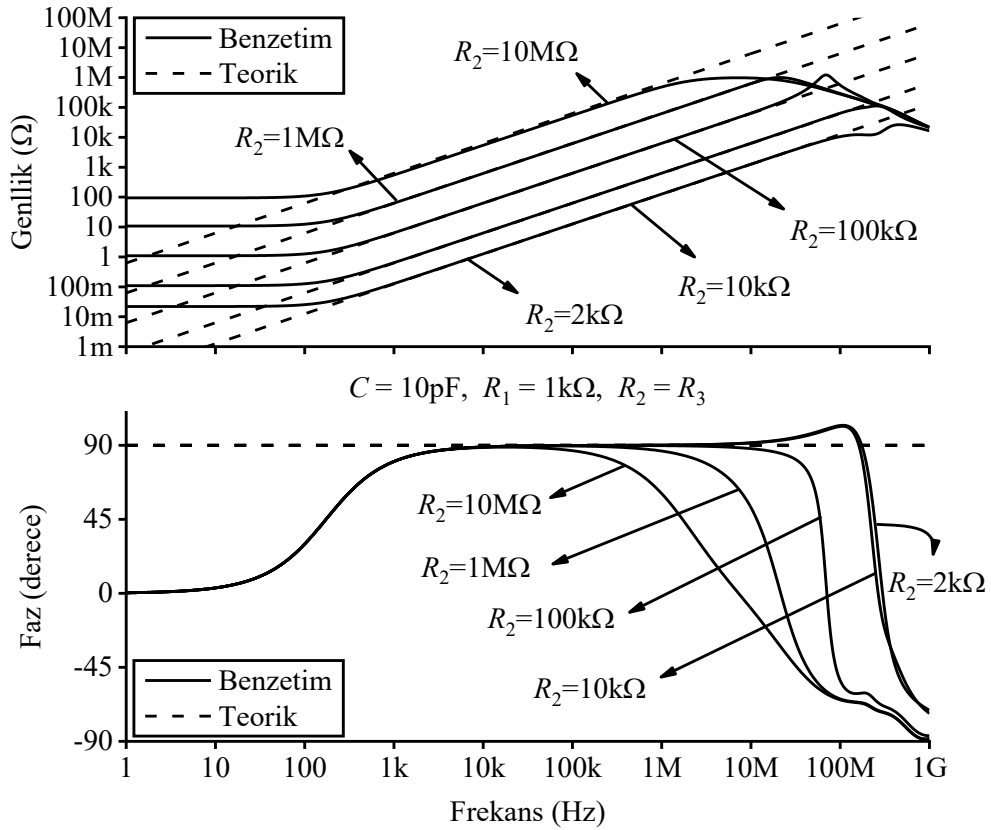
Şekil 3.6: Önerilen DO-CCII tabanlı SFI devresinin zaman ortamı analiz sonuçları.

Önerilen DO-CCII tabanlı SFI devresinin MC analiz sonuçları Şekil 3.7’de verilmiştir. Pasif elemanların değerleri  $R_1 = 1 \text{ k}\Omega$ ,  $R_2 = R_3 = 100 \text{ k}\Omega$  ve  $C = 10 \text{ pF}$  olarak seçilmiş olup, MC analizi 200 örnekleme ile tüm pasif elemanlarda eş dağılımlı %5 değişim ile yapılmıştır.



Şekil 3.7: Önerilen DO-CCII tabanlı SFI devresinin MC analiz sonuçları (Tüm pasif elemanlarda eş dağılımlı %5 değişim ile yapılmıştır).

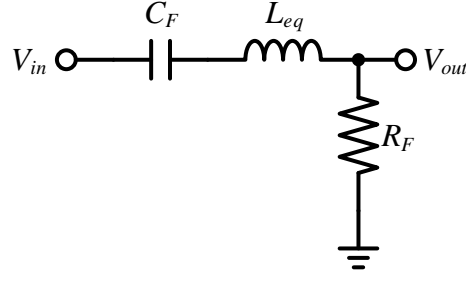
Önerilen kayıpsız SFI devresinin farklı kuvvetlendirme katsayıları için de analizleri yapılmıştır. Bu analizlerde,  $R_1 = 1 \text{ k}\Omega$  ve  $C = 10 \text{ pF}$  olarak seçilmiştir. Analizlerde,  $R_2 = R_3$  dirençleri,  $2 \text{ k}\Omega$ ,  $10 \text{ k}\Omega$ ,  $100 \text{ k}\Omega$ ,  $1 \text{ M}\Omega$  ve  $10 \text{ M}\Omega$  olarak alınmıştır. Bu değerler altında  $L_{eq}$ , sırasıyla  $20 \mu\text{H}$ ,  $100 \mu\text{H}$ ,  $1 \text{ mH}$ ,  $10 \text{ mH}$ , ve  $100 \text{ mH}$  olarak hesaplanmıştır. Elde edilen sonuçlar, Şekil 3.8’de verilmiştir. Şekil 3.1’de verilen DO-CCII tabanlı kayıpsız SFI devresinin güç tüketimi yaklaşık olarak  $1.26 \text{ mW}$  olarak hesaplanmıştır.



**Şekil 3.8:** Önerilen DO-CCII tabanlı SFI devresinin farklı kuvvetlendirme katsayıları için frekans cevabı.

### 3.2 Uygulama Devresi

Şekil 3.9’da ikinci dereceden band geçiren süzgeç devresi verilmiştir. Bu süzgeç devresi önerilen DO-CCII tabanlı SFI devresinin test edilmesi için kullanılmıştır. Süzgeç devresinde bir adet kondansatör, bir adet yüzen bobin ve bir adet direnç bulunmaktadır. Kullanılan bobin yerine önerilen SFI devresi kullanılmıştır. Süzgeç devresinin çıkışına ait TF denklemi eşitlik (3.7)’de verilmiştir.



Şekil 3.9: İkinci dereceden band geçiren süzgeç devresi.

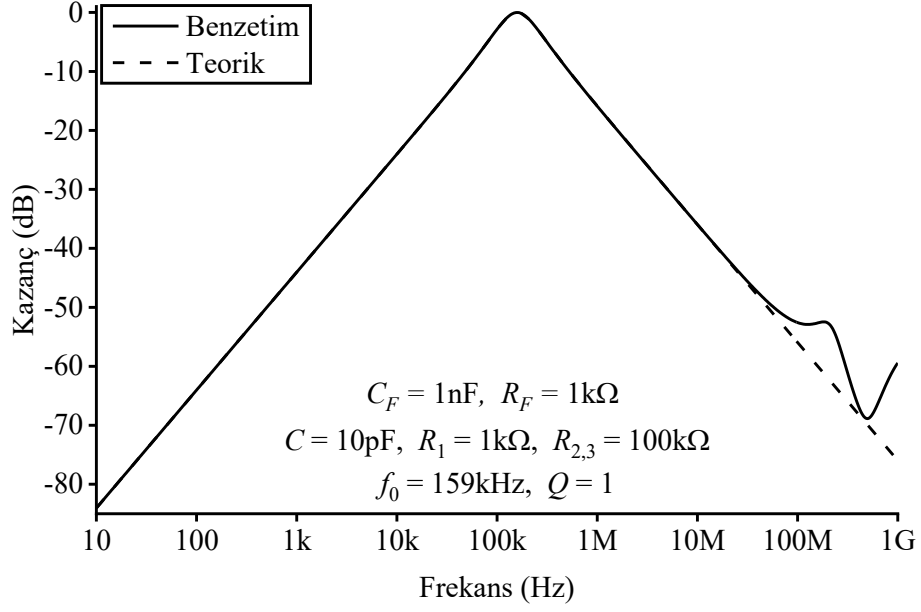
$$H(s) = \frac{s \frac{R_F}{L_{eq}}}{s^2 + s \frac{R_F}{L_{eq}} + \frac{1}{C_F L_{eq}}} \quad (3.7)$$

Süzgeç devresine ait  $f_0$  ve  $Q$  sırasıyla eşitlik (3.8) ve (3.9)'da verilmiştir.

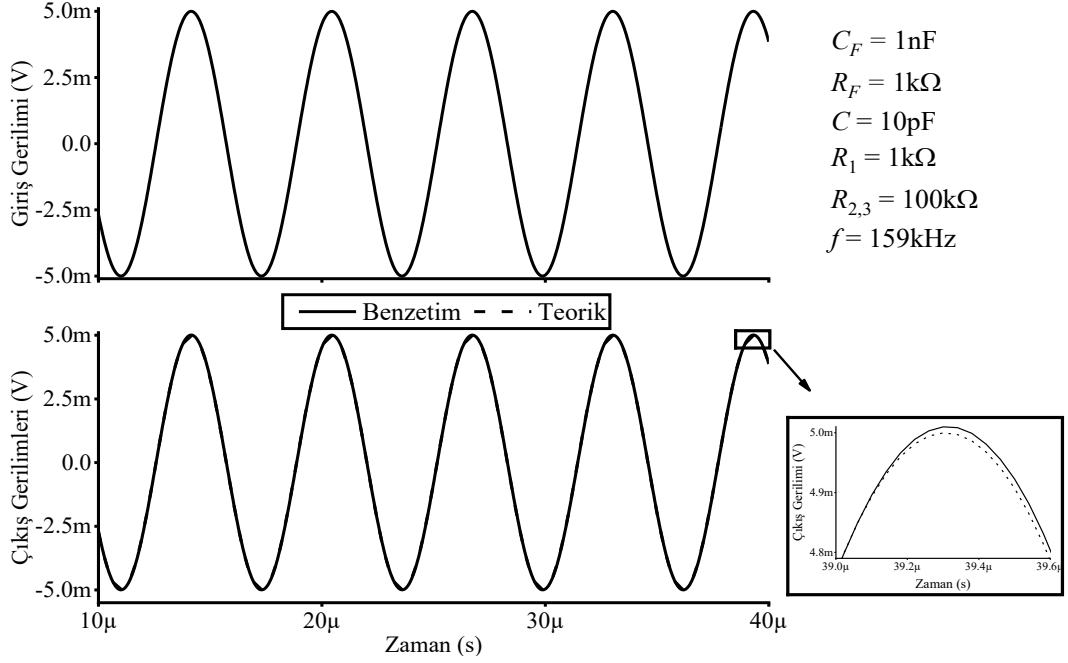
$$f_0 = \frac{1}{2\pi} \frac{1}{\sqrt{C_F L_{eq}}} \quad (3.8)$$

$$Q = \frac{1}{R_F} \sqrt{\frac{L_{eq}}{C_F}} \quad (3.9)$$

BP süzgeç devresinde  $C_F = 1$  nF,  $R_F = 1$  k $\Omega$  ve  $L_{eq} = 1$  mH olarak seçilmiştir. Bu değerler altında, Şekil 3.9'da verilen süzgeç devresinin  $f_0$  ve  $Q$  değerleri sırasıyla 159 kHz ve 1 olarak bulunmuştur. BP süzgeç devresinde kullanılan eşdeğer bobinin elde edilmesi için Şekil 3.1'de verilen DO-CCII tabanlı SFI devresinde kullanılan pasif elemanlar,  $R_1 = 1$  k $\Omega$ ,  $R_2 = R_3 = 100$  k $\Omega$  ve  $C = 10$  pF olarak seçilmiştir. Süzgeç devresine ait kazanç sonuçları teorik sonuçlarla karşılaştırmalı olarak Şekil 3.10'da verilmiştir. Bununla birlikte, uygulama devresi olarak verilen ikinci dereceden BP süzgeç devresine ait zaman ortamı analizleri de yapılmıştır. Zaman ortamı analizlerinde girişte 5 mV genlikli ve 159 kHz frekansına sahip sinüsoidal bir sinyal uygulanmıştır. Elde edilen sonuçlar Şekil 3.11'de gösterilmiştir. Süzgeç devresine ait güç tüketimi de yaklaşık olarak 1.26 mW olarak hesaplanmıştır.



**Şekil 3.10:** İkinci dereceden BP süzgeç devresine ait kazanç sonuçları.



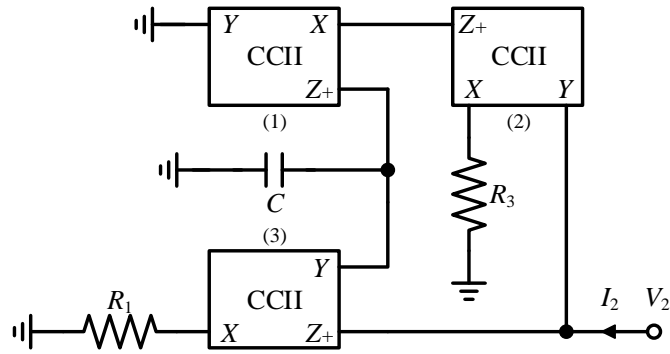
**Şekil 3.11:** İkinci dereceden BP süzgeç devresine ait zaman ortamı analiz sonuçları.

### 3.3 Deney Sonuçları

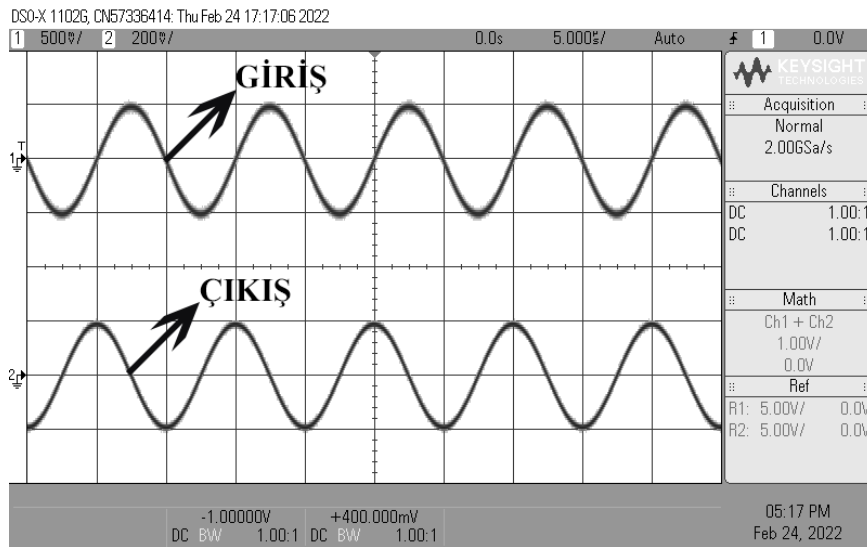
Önerilen kayıpsız SFI devresinin deneyleri de yapılmıştır. Önerilen devrenin deneyi için Şekil 3.12'deki devre kullanılmıştır. Bu devre, Şekil 3.1'de verilen devrenin birinci terminalinin topraklanmış halidir. Deneyler sırasında, Şekil 3.12'de gösterilen CCII+ aktif blokları yerine AD844'ler kullanılmıştır. Her bir aktif blok için tek bir AD844 kullanılması yeterlidir. Devrede kullanılan pasif



elemanların değerleri,  $R_1 = R_3 = 2.2 \text{ k}\Omega$  ve  $C = 470 \text{ pF}$  seçilmiştir ve bu durumda  $L_{eq}$ , 2.28 mH olarak bulunmuştur. Şekil 3.12’de verilen devreye ek olarak bir tane daha AD844 kullanılmıştır. Bu AD844 akım kaynağı olarak kullanılmıştır. Bu AD844’ün  $X$  terminali ve toprak arasına bir  $R$  direnci bağlanmıştır ve  $Y$  terminaline ise giriş işareti uygulanmıştır. Burada kullanılan  $R$  direncinin değeri  $4.7 \text{ k}\Omega$  olarak belirlenmiştir. Devrenin girişine ise  $0.5 \text{ V}$  genliğe ve  $100 \text{ kHz}$  frekansına sahip sinüsoidal bir gerilim uygulanmıştır. Devredeki tüm AD844’ler  $\pm 6 \text{ V}$  ile beslenmiştir. Birinci terminali topraklanmış önerilen devreye ait deney sonuçları Şekil 3.13’te gösterilmiştir. Deney sonucunda, tasarlanan devreye ait giriş ve çıkış gerilimleri arasında olması gereken  $90^\circ$ ’lik faz farkı yaklaşık olarak elde edilmiştir.

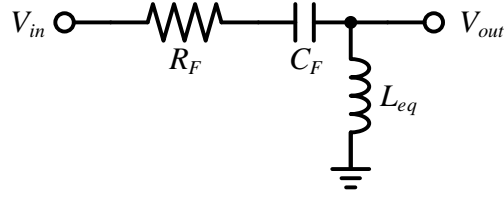


Şekil 3.12: Birinci terminali topraklanmış önerilen SFI devresinin deneyi.



Şekil 3.13: Birinci terminali topraklanmış önerilen SFI devresinin deney sonuçları.

Birinci terminali topraklanmış önerilen devre, Şekil 3.14’te gösterilen ikinci dereceden HP süzgeç devresinde test edilmiştir. Süzgeç devresine ait  $TF$ ,  $f_0$  ve  $Q$  sırasıyla eşitlik (3.10), (3.11) ve (3.12)’de verilmiştir.



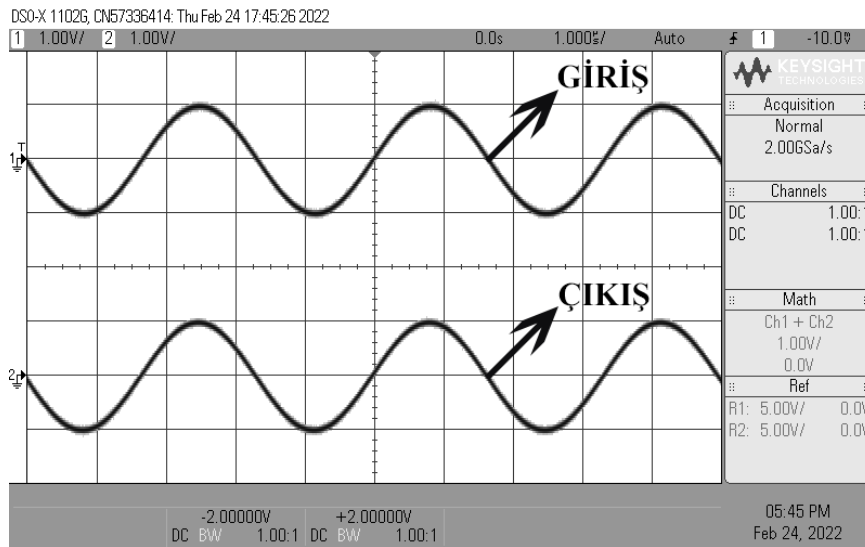
Şekil 3.14: İkinci dereceden yüksek geçiren süzgeç devresi.

$$H(s) = \frac{s^2}{s^2 + s \frac{R_F}{L_{eq}} + \frac{1}{C_F L_{eq}}} \quad (3.10)$$

$$f_0 = \frac{1}{2\pi} \frac{1}{\sqrt{C_F L_{eq}}} \quad (3.11)$$

$$Q = \frac{1}{R_F} \sqrt{\frac{L_{eq}}{C_F}} \quad (3.12)$$

Süzgeç devresinde yer alan bobin yerine Şekil 3.12'deki eşdeğer bobin devresi kullanılmıştır. Devredeki kondansatör ve direncin değerleri ise sırasıyla 1 nF ve 1.5 k $\Omega$  olarak seçilmiştir. Bu değerler altında, süzgeç devresinin diğer parametreleri ise  $f_0 \cong 100$  kHz ve  $Q \cong 1$  olarak hesaplanmıştır. Süzgeç devresinin girişine 1 V genlikli 300 kHz frekansına sahip sinüsoidal bir gerilim uygulandığında elde edilen sonuçlar Şekil 3.15'te verilmiştir.



Şekil 3.15: İkinci dereceden yüksek geçiren süzgecin deney sonuçları.

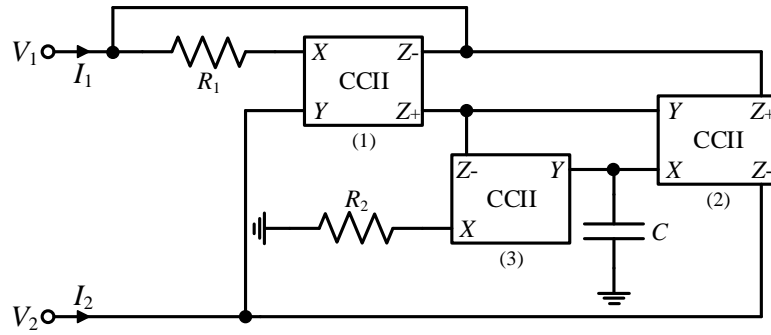
## 4. CCII TABANLI KAYIPSIZ YÜZEN KAPASİTE ÇARPMA DEVRESİ

Literatürde, CCII ile gerçekleştirilmiş birçok yüzen kapasite çarpma (FCM) devresi yer almaktadır (Abuelma'Atti ve Tasadduq 1999, Al-Absi ve Al-Khulaifi 2019, De Marcellis ve diğerleri 2009, Jaikla ve Siripruchyanun 2007, Minaei ve diğerleri 2006, P.V. Ananda Mohan 2005, Pal 1981<sup>a</sup>, Sagbas ve diğerleri 2009<sup>a</sup>, Senani 1982, Siripruchyanun ve diğerleri 2007, Yuce 2006<sup>a, b</sup>, Yuce ve diğerleri 2006<sup>a, d</sup>). Bu devrelerin bazı dezavantajları bulunmaktadır: Verilen birkaç devrede yüzen kondansatör kullanılmıştır (Al-Absi ve Al-Khulaifi 2019, De Marcellis ve diğerleri 2009). Bu durum, IC teknolojisi için tercih edilmemektedir. Belirtilen bazı devreler üçten fazla aktif blok kullanılarak gerçekleştirilmiştir (Abuelma'Atti ve Tasadduq 1999, Al-Absi ve Al-Khulaifi 2019, Jaikla ve Siripruchyanun 2007, Pal 1981<sup>a</sup>, Senani 1982, Siripruchyanun ve diğerleri 2007, Yuce 2006<sup>b</sup>, Yuce ve diğerleri 2006<sup>d</sup>). Önerilen bazı devrelerde kullanılan aktif bloğun X terminaline seri kondansatör bağlanmıştır (Al-Absi ve Al-Khulaifi 2019, De Marcellis ve diğerleri 2009, Jaikla ve Siripruchyanun 2007, P.V. Ananda Mohan 2005, Sagbas ve diğerleri 2009<sup>a</sup>, Senani 1982, Siripruchyanun ve diğerleri 2007, Yuce 2006<sup>a, b</sup>, Yuce ve diğerleri 2006<sup>d</sup>). Bu sebeple bu devreler, yüksek frekanslarda sınırlamalara sahiptir (Yuce ve Minaei 2008<sup>b</sup>). Verilen çeşitli devrelerin elektronik olarak ayarlanabilme özellikleri yoktur (Minaei ve diğerleri 2006, P.V. Ananda Mohan 2005, Pal 1981<sup>a</sup>, Senani 1982, Yuce 2006<sup>a, b</sup>). Önerilen bazı devreler BJT kullanılarak gerçekleştirilmiştir (Abuelma'Atti ve Tasadduq 1999, Jaikla ve Siripruchyanun 2007, Minaei ve diğerleri 2006, Siripruchyanun ve diğerleri 2007, Yuce 2006<sup>b</sup>, Yuce ve diğerleri 2006<sup>d</sup>). Dolayısı ile bu devrelerin sıcaklığa karşı hassasiyetleri bulunmaktadır. Ayrıca, (Yuce 2006<sup>a</sup>)'da tanıtılan devrede ise pasif eleman eşleme sorunu bulunmaktadır.

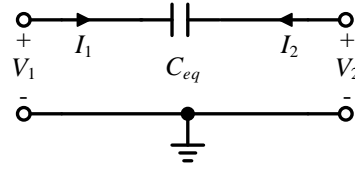
Bu tezde, CCII tabanlı yüzen kayıpsız kapasite çarpma devresi önerilmiştir (Yucehan ve Yuce 2022<sup>c</sup>). Önerilen devrede iki adet DO-CCII ve bir adet CCII-kullanılmıştır. Önerilen FCM devresinde, iki adet direnç ve bir adet kondansatör olmak üzere toplamda üç adet pasif eleman kullanılmış olup, devredeki kondansatör

ve dirençlerden biri topraklanmış. Bununla birlikte, devredeki diğer direnç yüzen olarak kullanılmıştır. Ek olarak, önerilen devrede pasif eleman eşlemesine ihtiyaç duyulmamaktadır.

Önerilen kayıpsız FCM devresi Şekil 4.1’de gösterilmiştir. Önerilen FCM devresinde kullanılan CCII-, Z+ ucu topraklanmış DO-CCII kullanılarak elde edilebilmektedir. Kullanılan DO-CCII’ya ait aktif blok sembolü Şekil 3.2’de daha önce verilmiştir. Şekil 4.1’de gösterilmiş, önerilen FCM devresine ait eşdeğer devre Şekil 4.2’de verilmiştir.



Şekil 4.1: Önerilen DO-CCII tabanlı yüzen kapasite çarpma devresi.



Şekil 4.2: Önerilen FCM devresine ait eşdeğer devre gösterimi.

Önerilen devrede kullanılan DO-CCII’ya ait uç denklemleri daha önce eşitlik (3.1)’de verilmiştir. Bununla birlikte, devreye ait giriş çıkış denklemi ideal olarak eşitlik (4.1)’deki gibi elde edilir.

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = sC \frac{R_2}{R_1} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = sC_{eq} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (4.1)$$

Burada, eşdeğer kapasite ( $C_{eq}$ ),  $C_{eq} = C(R_2/R_1) = C \times K$  olarak elde edilir.  $K = R_2/R_1$ ’dir. Eğer DO-CCII’ya ait ideal olmayan kazançlar dahil edilirse, önerilen FCM devresine ait giriş çıkış denklemleri eşitlik (4.2)’deki gibi olur.

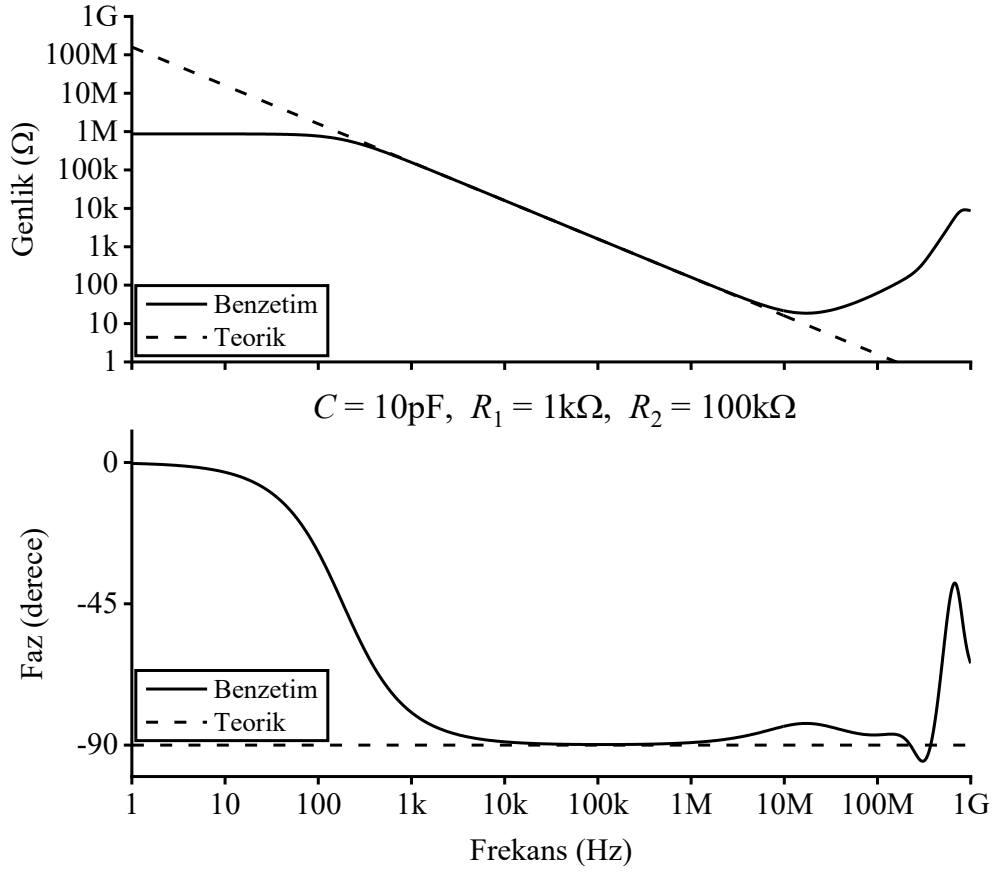
$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{1}{R_1 \beta_3 \gamma_3} \begin{bmatrix} sCR_2 \alpha_1 \alpha_2 + \beta_3 \gamma_3 (1 - \gamma_1) & -sCR_2 \alpha_1 \alpha_2 \beta_1 - \beta_1 \beta_3 \gamma_3 (1 - \gamma_1) \\ -sCR_2 \alpha_1 \gamma_2 & sCR_2 \alpha_1 \beta_1 \gamma_2 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (4.2)$$

#### 4.1 Benzetim Sonuçları

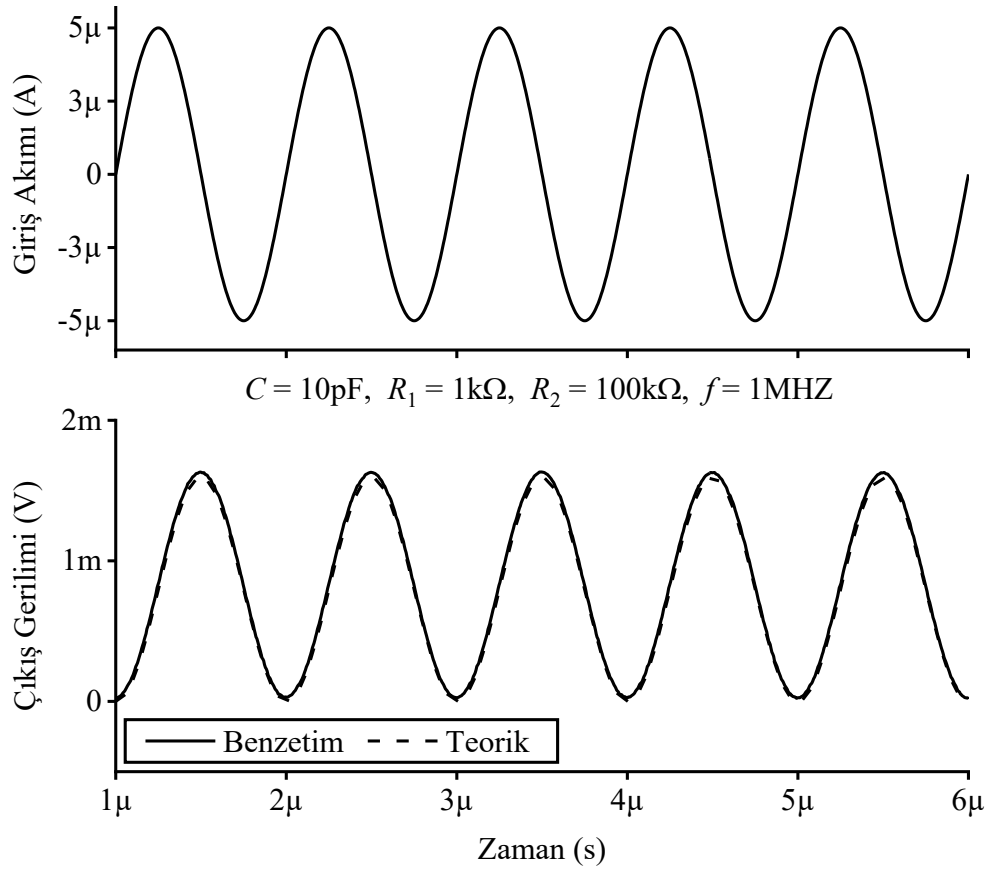
Önerilen kayıpsız FCM devresinde kullanılan DO-CCII aktif bloğuna ait MOS transistör tabanlı içyapı, (Hassanein ve diğerleri 2005)'nin çalışmasından türetilmiş ve türetilen içyapı daha önce Şekil 3.4'te gösterilmiştir. Şekil 3.4'te verilen içyapıya ait küçük işaret giriş ve çıkış dirençleri eşitlikler (3.4), (3.5) ve (3.6)'da verilmiştir.

Önerilen kayıpsız FCM devresinde kullanılan DO-CCII'm içyapısındaki MOS transistörlere ait en boy oranları Tablo 3.1'de verilmiştir. İçyapının besleme gerilimleri  $V_{DD} = -V_{SS} = 1.25$  V olarak seçilmiştir ve kutuplama gerilimleri  $V_{B1}$  ve  $V_{B2}$  sırasıyla  $-0.25$  V ve  $-0.62$  V olarak belirlenmiştir. Bununla birlikte, içyapıdaki MOS transistörler için  $0.18$   $\mu\text{m}$  TSMC CMOS teknoloji parametreleri kullanılmıştır (Rabaey 2008). Bu değerler altında, DO-CCII'a ait içyapının elde edilen parazitik empedans ve ideal olmayan kazanç değerleri Tablo 3.2'de verilmiştir.

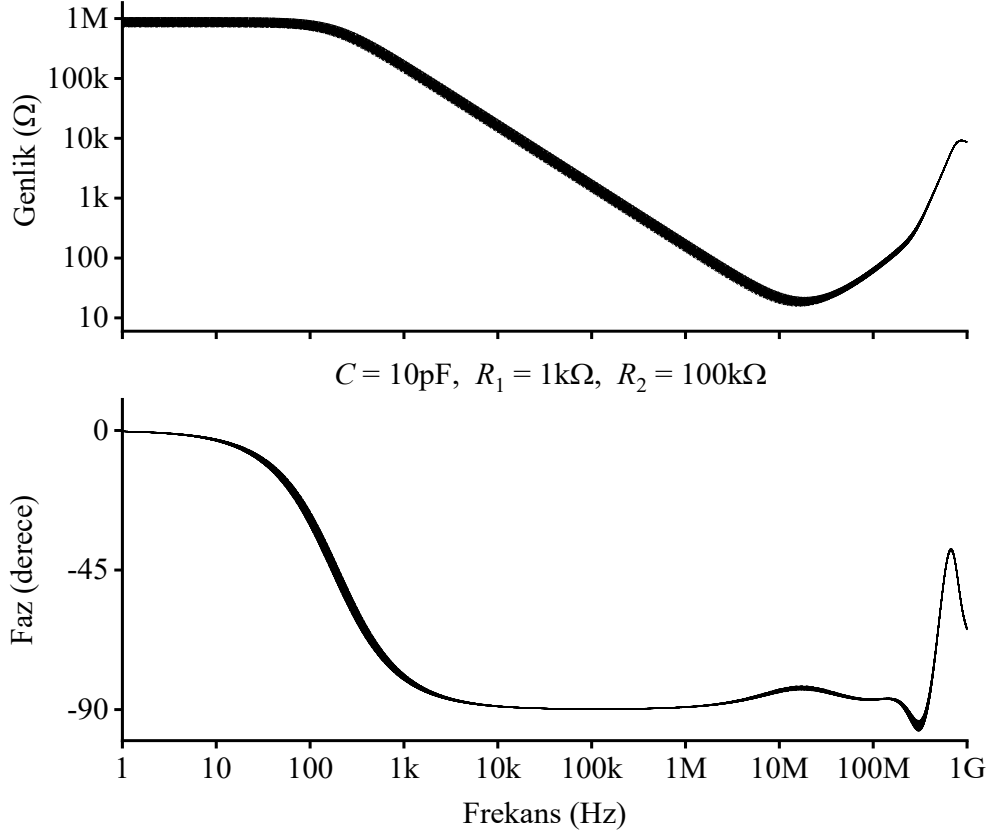
Simülasyonlar, SPICE programı aracılığı ile yapılmıştır. Önerilen FCM devresine ait genlik ve faz cevapları frekans ortamında teorik sonuçlarla karşılaştırmalı olarak Şekil 4.3'te verilmiştir. Benzetim için Şekil 4.1'de verilen devredeki pasif elemanların değerleri  $R_1 = 1$  k $\Omega$ ,  $R_2 = 100$  k $\Omega$  ve  $C = 10$  pF seçilmiştir. Bu değerler altında, elde edilen  $C_{eq} = 1$  nF ve  $K = 100$  olarak hesaplanmıştır. Önerilen devrenin zaman ortamı analizlerin de pasif elemanların değerleri aynı seçilmiş olup girişe  $50$   $\mu\text{A}$  genliğe ve  $1$  MHz frekansa sahip sinüsoidal bir sinyal uygulanmıştır. Elde edilen sonuçlar, teorik sonuçlar ile karşılaştırmalı olarak Şekil 4.4'te gösterilmiştir. Önerilen DO-CCII tabanlı FCM devresinin MC analiz sonuçları, Şekil 4.5'te verilmiştir. Aynı pasif elemanlarla, MC analizi  $200$  örnekleme ile tüm pasif elemanlarda eş dağılımlı %10 değişim ile yapılmıştır. Önerilen kayıpsız FCM devresinin farklı kuvvetlendirme katsayıları için de analizleri yapılmıştır. Bu analizlerde,  $R_1 = 1$  k $\Omega$  ve  $C = 10$  pF olarak seçilmiştir.  $K$ ,  $R_2$  direnci değiştirilerek elde edilmiştir. Analizlerde,  $R_2$  direnci,  $2$  k $\Omega$ ,  $10$  k $\Omega$ ,  $100$  k $\Omega$ ,  $1$  M $\Omega$  ve  $10$  M $\Omega$  olarak alınmıştır. Bu durumda,  $K$  sırasıyla,  $2$ ,  $10$ ,  $100$ ,  $1000$  ve  $10000$  olarak ve  $C_{eq}$  sırasıyla,  $20$  pF,  $100$  pF,  $1$  nF,  $10$  nF, ve  $100$  nF olarak hesaplanmıştır. Elde edilen sonuçlar Şekil 4.6'da verilmiştir. Önerilen FCM devresinin güç tüketimi yaklaşık olarak  $1.26$  mW olarak hesaplanmıştır.



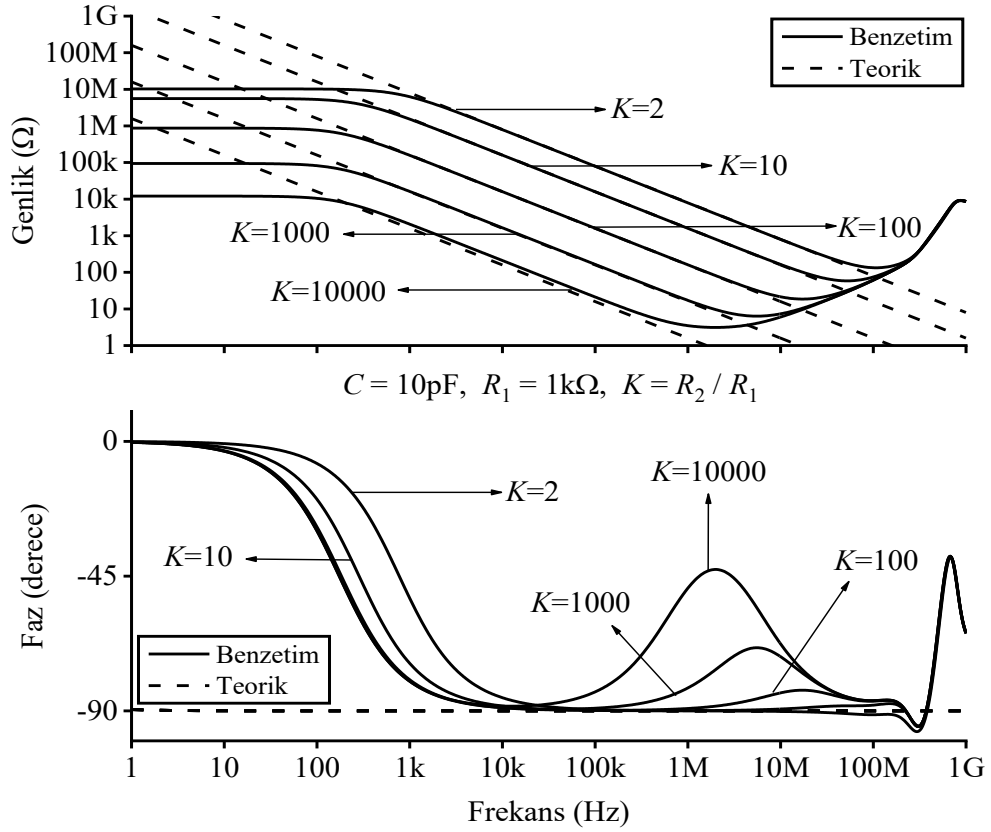
Şekil 4.3: Önerilen DO-CCII tabanlı FCM devresinin genlik ve faz cevabı.



Şekil 4.4: Önerilen DO-CCII tabanlı FCM devresinin zaman ortamı analiz sonuçları.



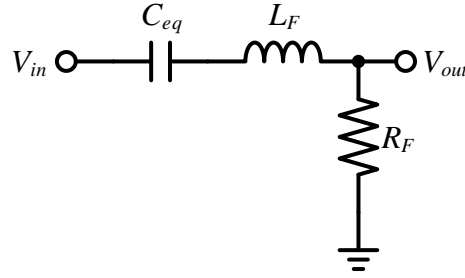
**Şekil 4.5:** Önerilen DO-CCII tabanlı FCM devresinin Monte Carlo analiz sonuçları (Tüm pasif elemanlarda eş dağılımlı %10 değişim ile yapılmıştır).



**Şekil 4.6:** Önerilen DO-CCII tabanlı FCM devresinin farklı kuvvetlendirme katsayıları için frekans cevabı.

## 4.2 Uygulama Devresi

Şekil 4.7’de ikinci dereceden BP süzgeç devresi verilmiştir. Bu süzgeç devresi, önerilen DO-CCII tabanlı FCM devresinin test edilmesi için kullanılmıştır. Süzgeç devresinde bir adet kondansatör, bir adet bobin ve bir adet direnç bulunmaktadır. Kullanılan kondansatör yerine önerilen FCM devresi kullanılmıştır. Bu süzgeç devresine ait çıkışına ait TF eşitlik (4.3)’te verilmiştir.



Şekil 4.7: İkinci dereceden band geçiren süzgeç devresi.

$$H(s) = \frac{s \frac{R_F}{L_F}}{s^2 + s \frac{R_F}{L_F} + \frac{1}{C_{eq} L_F}} \quad (4.3)$$

Süzgeç devresine ait  $f_0$  ve  $Q$  sırasıyla eşitlik (4.4) ve (4.5)’te verilmiştir.

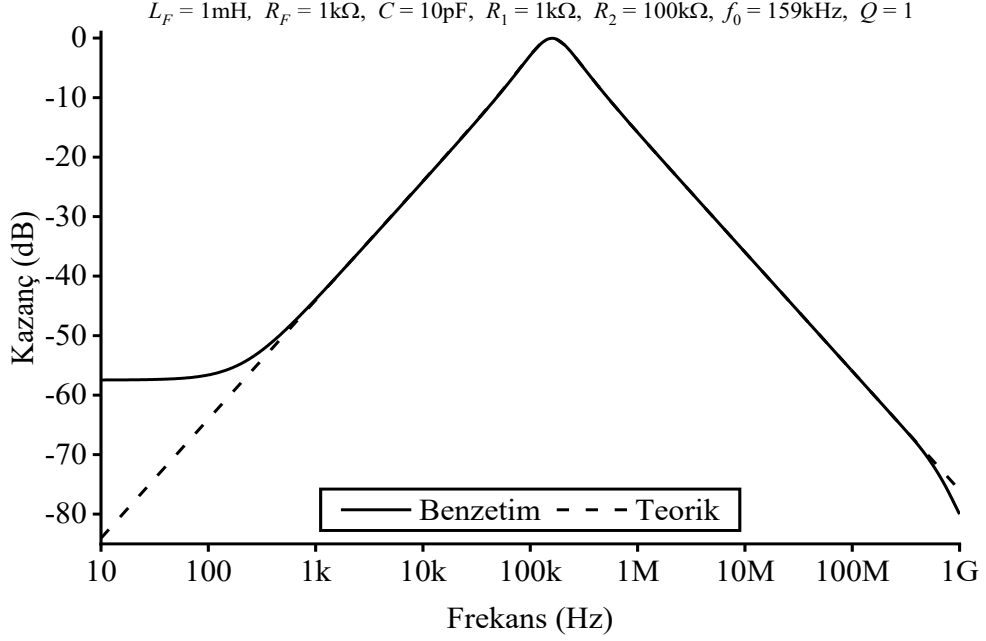
$$f_0 = \frac{1}{2\pi} \frac{1}{\sqrt{C_{eq} L_F}} \quad (4.4)$$

$$Q = \frac{1}{R_F} \sqrt{\frac{L_F}{C_{eq}}} \quad (4.5)$$

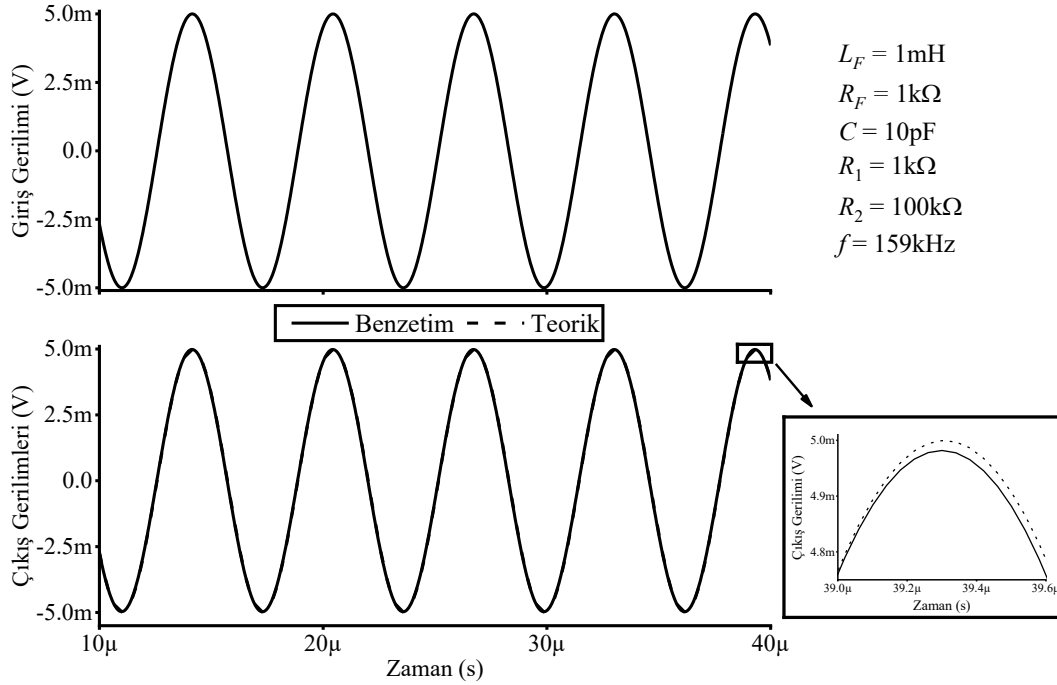
BP süzgeç devresinde  $C_{eq} = 1$  nF,  $R_F = 1$  k $\Omega$  ve  $L_F = 1$  mH olarak seçilmiştir. Bu değerler altında, Şekil 4.7’de verilen süzgeç devresinin  $f_0$  ve  $Q$  değerleri sırasıyla 159 kHz ve 1 olarak bulunmuştur. BP süzgeç devresinde kullanılan eşdeğer kapasitenin elde edilmesi için Şekil 4.1’de verilen DO-CCII tabanlı FCM devresinde kullanılan pasif elemanlar,  $R_1 = 1$  k $\Omega$ ,  $R_2 = 100$  k $\Omega$  ve  $C = 10$  pF olarak seçilmiştir. Süzgeç devresine ait kazanç sonuçları teorik sonuçlarla karşılaştırmalı olarak Şekil 4.8’de verilmiştir. Bununla birlikte, uygulama devresi olarak verilen ikinci dereceden BP süzgeç devresine ait zaman ortamı analizleri de yapılmıştır.



Zaman ortamı analizlerinde girişe 5 mV genlikli ve 159 kHz frekansına sahip sinüsoidal bir sinyal uygulanmıştır. Elde edilen sonuçlar, Şekil 4.9’da gösterilmiştir. Aynı şekilde süzgeç devresine ait güç tüketimi de yaklaşık olarak 1.26 mW olarak hesaplanmıştır.



Şekil 4.8: İkinci dereceden BP süzgeç devresine ait kazanç sonuçları.



Şekil 4.9: İkinci dereceden BP süzgeç devresine ait zaman ortamı analiz sonuçları.

## 5. DO-CCII+ TABANLI YÜKSEK DERECEDEDEN SÜZGEÇ DEVRELERİ

Literatürde, CCII aktif bloğu kullanılarak gerçekleştirilmiş bir çok yüksek dereceden süzgeç devresi bulunmaktadır. Bu süzgeç devreleri giriş ve çıkış işaretlerine göre farklı modlarla sıralanabilirler. Bunlar; gerilim modlu (VM) (Acar 1978, 1996<sup>a, b, c</sup>, Anday 1977, Cam Taskiran ve diğerleri 2018, Chang ve diğerleri 2004, 2006<sup>a</sup>, 2007, Choubey ve Paul 2022, Gunes ve Anday 1997, Günes ve Anday 1995, 1999, Horng 2012, Wang ve diğerleri 2016), akım modlu (CM) (Abuelma'atti ve Tassaduq 1998, Acar ve Sedef 2000, 2003, Altun ve diğerleri 2009, Alzاهر ve diğerleri 2013, Chang ve Al-hashimi 2003, Ghosh ve Ray 2015<sup>b</sup>, Horng 2009, 2012, Koksall ve Sagbas 2008, Lee 2013, Sagbas ve Koksall 2008, Yuce ve Minaei 2008<sup>c</sup>, 2009, 2014), geçiş iletkenliği modlu (TIM) (Horng 2009) ve karışık modlu (MM) (Aghaei Jeshvaghani ve Dolatshahi 2014, Chang ve diğerleri 2006<sup>b</sup>, Lee ve Chang 2009) süzgeçlerdir. Kazanca sahip analog devrelerin kazanç elde etmek için ekstra devrelere ihtiyaç duymamaları nedeniyle kazanç, analog devrelerde tercih edilen önemli bir parametredir (Alzاهر ve diğerleri 2003). Bununla birlikte, IC teknolojisinde sadece topraklanmış pasif elemanların kullanımı tercih edilmektedir (Bhushan ve Newcomb 1967, Senani ve Singh 1995). Yüksek giriş ve/veya düşük çıkış empedansına sahip VM devreler kolayca kaskat bağlanabilmektedirler. Benzer şekilde, yüksek çıkış ve/veya düşük giriş empedansına sahip CM devreler de kolayca kaskat bağlanabilmektedirler. Yukarıda verilen literatürdeki bu devreler bazı dezavantajlara sahiptirler:

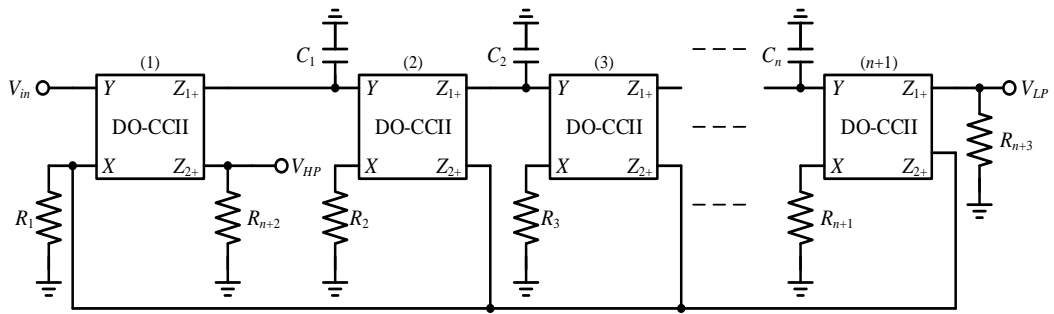
Verilen iki devrede kullanılan CCII aktif bloklarının  $X$  ucuna seri kondansatör bağlanmıştır (Acar 1996<sup>c</sup>, Günes ve Anday 1995). Böylece, bu devrelerin yüksek frekans sınırlamaları bulunmaktadır (Fabre ve diğerleri 1995, Yuce ve Minaei 2008<sup>b</sup>). Aktif blok olarak işlemsel yükselteç (OA) kullanılması sebebi ile (Acar 1978)'in devresinde yetiştirme hızı sınırlaması vardır. Verilen bazı devrelerde yüzen pasif elemanlar kullanılmıştır (Acar 1978, 1996<sup>a, b, c</sup>, Acar ve Sedef 2000, 2003, Anday 1977, Choubey ve Paul 2022, Günes ve Anday 1999, Horng 2009, Koksall ve Sagbas 2008, Wang ve diğerleri 2016, Yuce ve Minaei

2014). Literatürde önerilen birkaç devrede fazla sayıda direnç kullanımı mevcuttur (Acar 1978, 1996<sup>b, c</sup>, Altun ve diğerleri 2009, Anday 1977, Ghosh ve Ray 2015<sup>b</sup>, Günes ve Anday 1995, 1999, Horng 2012, Wang ve diğerleri 2016, Yuce ve Minaei 2014). Verilen çeşitli devreler, fazla sayıda aktif blok kullanılarak tasarlanmıştır (Abuelma'atti ve Tassaduq 1998, Altun ve diğerleri 2009, Ghosh ve Ray 2015<sup>b</sup>, Günes ve Anday 1995, Horng 2012, Wang ve diğerleri 2016, Yuce ve Minaei 2014). Tasarlanan bazı VM devreler yüksek giriş empedansına sahip değildir (Acar 1978, 1996<sup>a, b, c</sup>, Anday 1977, Choubey ve Paul 2022, Gunes ve Anday 1997, Günes ve Anday 1999, Wang ve diğerleri 2016). Tasarlanan bazı devrelerin girişi kullanılan moda göre karmaşık kombinasyonlar ile seçilmektedir (Acar ve Sedef 2000, Aghaei Jeshvaghani ve Dolatshahi 2014, Chang ve diğerleri 2006<sup>b</sup>, Chang ve Al-hashimi 2003, Choubey ve Paul 2022, Horng 2009, Lee 2013, Lee ve Chang 2009, Wang ve diğerleri 2016). Önerilen çeşitli devreler, sadece tek çıkış cevabı vermektedir (Acar 1978, 1996<sup>a, b, c</sup>, Acar ve Sedef 2000, 2003, Anday 1977, Cam Taskiran ve diğerleri 2018, Chang ve diğerleri 2007, Günes ve Anday 1995, 1999, Gunes ve Anday 1997, Wang ve diğerleri 2016). Verilen birkaç devrede benzer yapıda aktif bloklar kullanılmamıştır (Aghaei Jeshvaghani ve Dolatshahi 2014, Alzaher ve diğerleri 2013, Chang ve diğerleri 2006<sup>a, b</sup>, 2007, Chang ve Al-hashimi 2003, Ghosh ve Ray 2015<sup>b</sup>, Horng 2009, 2012, Lee 2013, Lee ve Chang 2009, Sagbas ve Koksall 2008). Sunulan bazı devrelerde pasif eleman eşleme sorunu vardır (Acar 1978, 1996<sup>a, b, c</sup>, Acar ve Sedef 2003, Gunes ve Anday 1997, Günes ve Anday 1995, 1999, Horng 2012, Wang ve diğerleri 2016). Ayrıca, (Acar ve Sedef 2003, Gunes ve Anday 1997)'de tasarlanan devrelerin gerçekleştirilmesi için fazla sayıda kondansatör kullanılması gerekmektedir. Önerilen birçok devrede, kazanca sahip çıkış elde edebilmek için ekstra devrelere ihtiyaç vardır (Acar 1996<sup>a, c</sup>, Acar ve Sedef 2000, 2003, Aghaei Jeshvaghani ve Dolatshahi 2014, Cam Taskiran ve diğerleri 2018, Chang ve diğerleri 2007, 2004, 2006<sup>a, b</sup>, Chang ve Al-hashimi 2003, Choubey ve Paul 2022, Ghosh ve Ray 2015<sup>b</sup>, Gunes ve Anday 1997, Günes ve Anday 1999, Horng 2009, Koksall ve Sagbas 2008, Lee 2013, Lee ve Chang 2009, Sagbas ve Koksall 2008, Wang ve diğerleri 2016, Yuce ve Minaei 2008<sup>c</sup>, 2009).

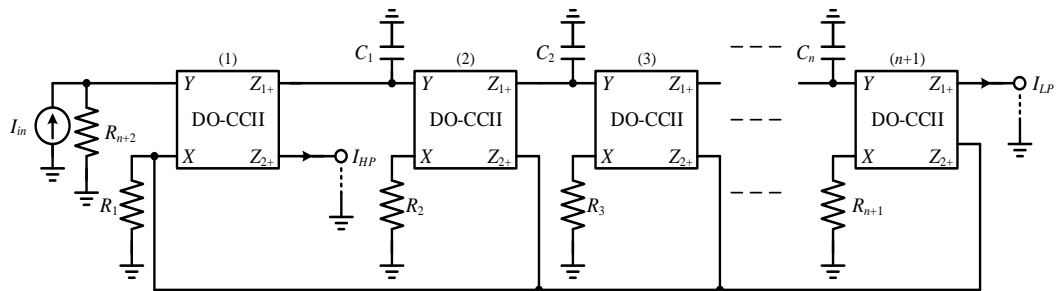
Bu tezde, pozitif tip çift çıkışlı CCII (DO-CCII+) kullanılarak kazanca sahip gerilim ve akım modlu yüksek dereceden süzgeç devreleri önerilmiştir (Yucehan ve Yuce 2022<sup>a</sup>). Önerilen her iki devrede de pasif eleman eşlemesine ihtiyaç

duyulmamaktadır. Ayrıca, önerilen her iki devrede kullanılan tüm pasif elemanlar topraklanmıştır. Bu sebeple, önerilen devreler IC teknolojisine uygundur. Önerilen VM süzgeç devresi yüksek giriş empedansına sahipken, önerilen CM süzgeç devresi yüksek çıkış empedansına sahiptir. Böylece, her iki devre kolayca kaskat bağlanabilmektedir. Bununla birlikte, eğer ihtiyaç duyulursa, VM süzgeç devresinin çıkışlarına gerilim takipleyci (VF) bağlanarak düşük çıkış empedansı elde edilebilirken, CM süzgeç devresinin girişine akım takipleyci (CF) bağlanarak düşük giriş empedansı elde edilebilir. Önerilen VM süzgeç devresinde,  $n$  süzgecin derecesi olmak üzere,  $n+1$  adet aktif blok,  $n+3$  adet direnç ve  $n$  adet kondansatör kullanılmıştır. Bununla birlikte, önerilen CM süzgeç devresi  $n+1$  adet aktif blok,  $n+2$  adet direnç ve  $n$  adet kondansatör kullanılarak tasarlanmıştır. Önerilen süzgeç devrelerinin HP ve LP olmak üzere iki adet çıkışı vardır. Ek olarak, VM süzgeç devresinde,  $n$  çift sayı olarak seçildiğinde BP çıkışı da alınabilmektedir.

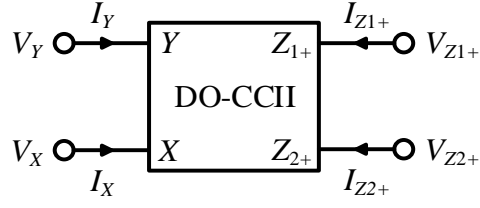
Önerilen yüksek dereceden VM ve CM süzgeç devreleri sırasıyla Şekil 5.1 ve Şekil 5.2’de verilmiştir. Önerilen devrelerde aktif blok olarak sadece DO-CCII+ kullanılmıştır. Kullanılan DO-CCII+ aktif blok sembolü Şekil 5.3’te gösterilmiştir.



Şekil 5.1: Önerilen DO-CCII+ tabanlı gerilim modlu yüksek dereceden süzgeç devresi.



Şekil 5.2: Önerilen DO-CCII+ tabanlı akım modlu yüksek dereceden süzgeç devresi.



Şekil 5.3: DO-CCII+ aktif blok sembolü.

Önerilen devrede kullanılan DO-CCII+ aktif bloğuna ait uç denklemleri eşitlik (5.1)'de verilmiştir.

$$\begin{bmatrix} V_X \\ I_Y \\ I_{Z1+} \\ I_{Z2+} \end{bmatrix} = \begin{bmatrix} \beta & 0 \\ 0 & 0 \\ 0 & \alpha \\ 0 & \gamma \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \end{bmatrix} \quad (5.1)$$

Burada,  $\beta$  ideal olmayan gerilim kazancıyken  $\alpha$  ve  $\gamma$  ideal olmayan akım kazancıdır. Bu kazanç değerleri idealde 1'e eşittir. Şekil 5.1'de verilen VM süzgeç devresinin çıkışlarına ait TF denklemleri aşağıda verilmiştir.

$$\frac{V_{HP}}{V_{in}} = \frac{R_{n+2}}{R_1} \frac{s^n \prod_{i=1}^n C_i R_{i+1}}{D(s)} \quad (5.2)$$

$$\frac{V_{LP}}{V_{in}} = \frac{R_{n+3}}{R_1} \frac{1}{D(s)} \quad (5.3)$$

$$\frac{V_{BP}}{V_{in}} = \frac{R_{\frac{n}{2}+1}}{R_1} \frac{s^{\frac{n}{2}} \prod_{i=1}^{\frac{n}{2}} C_{n-i+1} R_{n-i+2}}{D(s)} \quad (5.4)$$

Burada  $D(s)$ ,

$$D(s) = 1 + \sum_{i=1}^n s^i \prod_{j=1}^i C_{n-j+1} R_{n-j+2} \quad (5.5)$$

olarak bulunmuştur.

Şekil 5.2’de verilen CM süzgeç devresinin çıkışlarına ait TF denklemleri eşitlik (5.6) ve (5.7)’de verilmiştir.

$$\frac{I_{HP}}{I_{in}} = \frac{R_{n+2}}{R_1} \frac{s^n \prod_{i=1}^n C_i R_{i+1}}{D(s)} \quad (5.6)$$

$$\frac{I_{LP}}{I_{in}} = \frac{R_{n+2}}{R_1} \frac{1}{D(s)} \quad (5.7)$$

Burada  $D(s)$ , eşitlik (5.5)’teki gibi elde edilmiştir. Şekil 5.1’de verilen VM süzgeç devresinde kullanılan DO-CCII+ aktif bloğuna ait ideal olmayan kazançları dahil edilirse, çıkışlara ait TF denklemleri aşağıda gibi elde edilir.

$$\frac{V_{HP}}{V_{in}} = \beta_1 \gamma_1 \frac{R_{n+2}}{R_1} \frac{s^n \prod_{i=1}^n C_i R_{i+1}}{a_1 + a_2} \quad (5.8)$$

$$\frac{V_{LP}}{V_{in}} = \frac{R_{n+3}}{R_1} \frac{\prod_{i=1}^{n+1} \alpha_i \beta_i}{a_1 + a_2} \quad (5.9)$$

$$\frac{V_{BP}}{V_{in}} = \frac{R_{\frac{n}{2}+1}}{R_1} \frac{s^{\frac{n}{2}} \prod_{i=1}^{\frac{n}{2}} \alpha_i \beta_i C_{n-i+1} R_{n-i+2}}{a_1 + a_2} \quad (5.10)$$

Burada  $a_1$  ve  $a_2$ ,

$$a_1 = s^n \prod_{i=1}^n C_i R_{i+1} + \gamma_{n+1} \prod_{i=1}^n \alpha_i \beta_{i+1} \quad (5.11)$$

$$a_2 = \sum_{i=1}^{n-1} \gamma_{n-i+1} s^i \prod_{j=1}^i C_{n-j+1} R_{n-j+2} \prod_{k=1}^{n-i} \alpha_k \beta_{k+1} \quad (5.12)$$

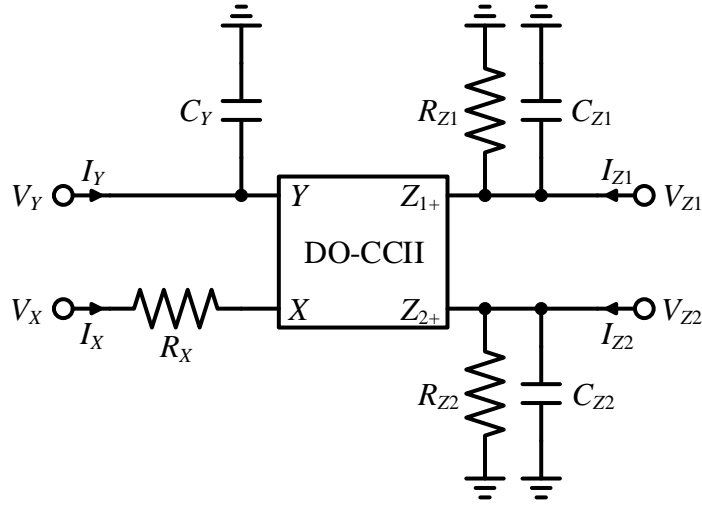
olarak elde edilmiştir.

Şekil 5.2’de verilen CM süzgeç devresinde kullanılan DO-CCII+ aktif bloğuna ait ideal olmayan kazançları dahil edilirse, çıkışlara ait TF denklemleri eşitlik (5.13) ve (5.14)’teki gibi elde edilir.

$$\frac{I_{HP}}{I_{in}} = \beta_1 \gamma_1 \frac{R_{n+2}}{R_1} \frac{s^n \prod_{i=1}^n C_i R_{i+1}}{a_1 + a_2} \quad (5.13)$$

$$\frac{I_{LP}}{I_{in}} = \frac{R_{n+2}}{R_1} \frac{\prod_{i=1}^{n+1} \alpha_i \beta_i}{a_1 + a_2} \quad (5.14)$$

Burada  $a_1$  ve  $a_2$ , sırasıyla eşitlik (5.11) ve (5.12)’deki gibi elde edilmiştir. Parazitik empedanslar ile birlikte DO-CCII+’ya ait aktif blok sembolü Şekil 5.4’te verilmiştir. Aynı şekilde, parazitik empedanslar dahil edildiğinde DO-CCII+ aktif bloğuna ait uç denklemleri eşitlik (5.15)’te verilmiştir.



Şekil 5.4: Parazitik empedanslar dahil edilmiş DO-CCII+ aktif blok sembolü.

$$\begin{bmatrix} V_X \\ I_Y \\ I_{Z1} \\ I_{Z2} \end{bmatrix} = \begin{bmatrix} 1 & R_X & 0 & 0 \\ sC_Y & 0 & 0 & 0 \\ 0 & 1 & sC_{Z1} + 1/R_{Z1} & 0 \\ 0 & 1 & 0 & sC_{Z2} + 1/R_{Z2} \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_{Z1} \\ V_{Z2} \end{bmatrix} \quad (5.15)$$

Eşitlik (5.15)’te verilen parazitik direnç  $R_X$ , idealde sıfırdır ve diğer parazitik dirençler,  $R_{Z1}$  ve  $R_{Z2}$ , idealde sonsuza eşittir. Bununla birlikte, parazitik kondansatörler,  $C_Y$ ,  $C_{Z1}$ , ve  $C_{Z2}$ , idealde sıfıra eşittir. Eğer Şekil 5.1’de önerilen VM süzgeç devresinde benzer DO-CCII+ aktif blokları kullanıldığında parazitik

empedanslar dahil edilirse, elde edilen TF denklemleri eşitlik (5.16), (5.17) ve (5.18)'teki gibi olur.

$$\frac{V_{HP}}{V_{in}} = \left( R_{n+2} // R_{Z2} // \frac{1}{sC_{Z2}} \right) \frac{b_1}{b_1(R_X + 1) + b_2} \quad (5.16)$$

$$\frac{V_{LP}}{V_{in}} = \left( R_{n+3} // R_{Z1} // \frac{1}{sC_{Z1}} \right) \frac{1}{b_1(R_X + 1) + b_2} \quad (5.17)$$

$$\frac{V_{BP}}{V_{in}} = \left( R_{\frac{n}{2}+1} + R_X \right) \frac{b_3}{b_1(R_X + 1) + b_2} \quad (5.18)$$

Burada  $b_1$ ,  $b_2$  ve  $b_3$  aşağıdaki gibi elde edilmiştir.

$$b_1 = \prod_{i=1}^n (R_X + R_{i+1}) \left( s(C_i + C_Y + C_{Z1}) + \frac{1}{R_{Z1}} \right) \quad (5.19)$$

$$b_2 = \left( R_1 // \frac{R_{Z2}}{n} // \frac{1}{nsC_{Z2}} \right) \left( 1 + \sum_{i=1}^{n-1} \prod_{j=1}^i (R_X + R_{n-i+1}) \left( s(C_{n-j+1} + C_Y + C_{Z1}) + \frac{1}{R_{Z1}} \right) \right) \quad (5.20)$$

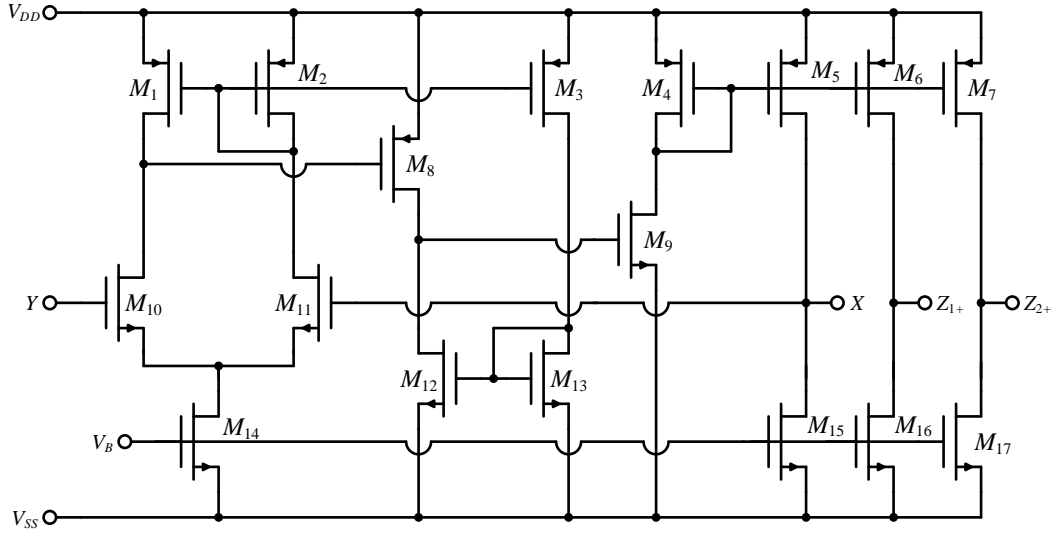
$$b_3 = \prod_{j=1}^{\frac{n}{2}} (R_X + R_{n-i+2}) \left( s(C_{n-i+1} + C_Y + C_{Z1}) + \frac{1}{R_{Z1}} \right) \quad (5.21)$$

Eşitlikler (5.16), (5.17), (5.18), (5.19), (5.20) ve (5.21)'den görüldüğü üzere,  $R_{Z1}$  düşük frekanslarda performansı sınırlandırırken,  $C_{Z1}$  ve  $C_{Z2}$  yüksek frekanslarda performansı sınırlandırmaktadır (Fabre ve diğerleri 1995, Yuca ve Minaei 2008<sup>b</sup>).

## 5.1 Benzetim Sonuçları

Şekil 5.1 ve Şekil 5.2'de önerilen süzgeç devrelerinde kullanılan DO-CCII+ aktif bloğuna ait MOS transistör tabanlı içyapı Şekil 5.5'te verilmiştir (Hassanein ve diğerleri 2005).





Şekil 5.5: MOS transistör tabanlı DO-CCII+ içyapısı.

Önerilen devrelerde kullanılan DO-CCII+'nın içyapısında kullanılan MOS transistörlere ait en boy oranları Tablo 5.1'de verilmiştir. İçyapının besleme gerilimleri,  $V_{DD} = -V_{SS} = 1.25$  V olarak seçilmiştir ve içyapıdaki kutuplama gerilimi  $V_B$  ise  $-0.6$  V olarak seçilmiştir. Bununla birlikte, içyapıdaki MOS transistörler için  $0.18$   $\mu\text{m}$  TSMC CMOS teknoloji parametreleri kullanılmıştır (Minaei ve Yuce 2010). Bu değerler altında DO-CCII+'ya ait içyapının elde edilen parazitik empedans ve ideal olmayan kazanç değerleri Tablo 5.2'de verilmiştir.

Tablo 5.1: DO-CCII+ içyapısındaki MOS transistörlere ait en boy oranları.

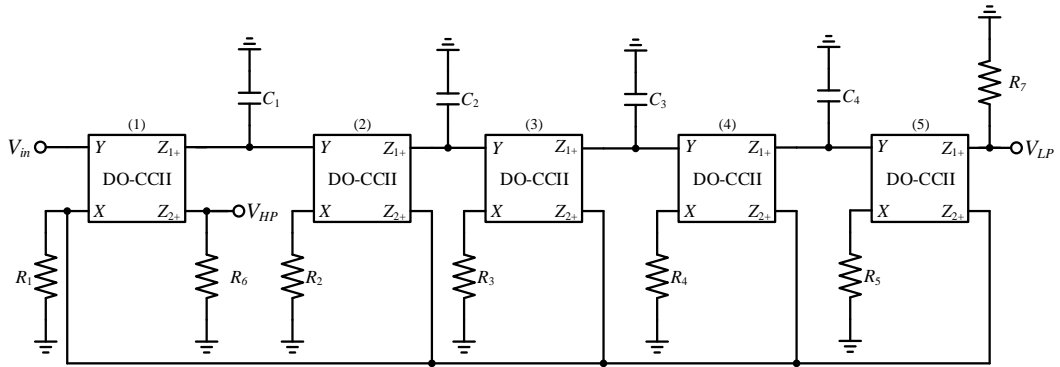
	MOS Transistörler	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
PMOS Transistörler	$M_1-M_8$	10	0.5
NMOS Transistörler	$M_9-M_{13}, M_{15}-M_{17}$	6	
	$M_{14}$	10	

Tablo 5.2: DO-CCII+ içyapısına ait parazitik empedans ve ideal olmayan kazanç değerleri.

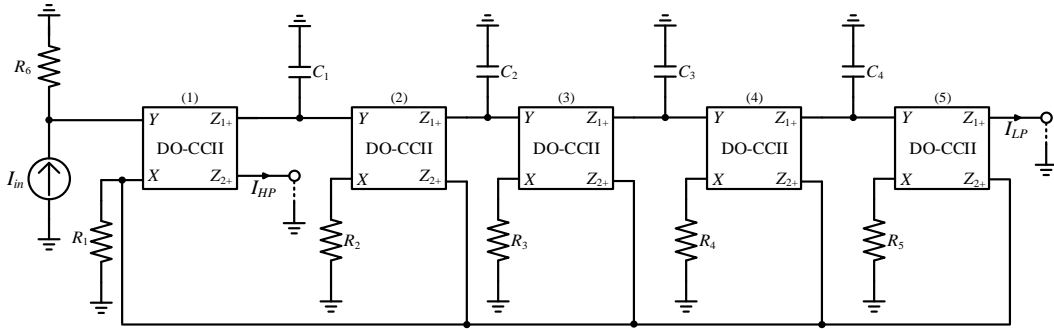
DO-CCII+'ya Ait Parazitik Empedans Değerleri		
$R_X \cong 1 \Omega$	$R_{Z1} \cong 93 \text{ k}\Omega$	$R_{Z2} \cong 93 \text{ k}\Omega$
$C_Y \cong 5.5 \text{ fF}$	$C_{Z1} \cong 20.5 \text{ fF}$	$C_{Z2} \cong 20.5 \text{ fF}$
DO-CCII+'ya Ait İdeal Olmayan Kazanç Değerleri		
$\alpha_0 = 1$	$\beta_0 = 1$	$\gamma_0 = 1$
$f_\alpha \cong 870 \text{ MHz}$	$f_\beta \cong 1.14 \text{ GHz}$	$f_\gamma \cong 870 \text{ MHz}$

Simülasyonlar, SPICE programı aracılığı ile yapılmıştır. Önerilen devrelere ait simülasyonlar örnek olması için  $n = 4$  alınarak yapılmıştır. Dördüncü dereceden süzgeç devrelerine ait şekiller sırasıyla VM için Şekil 5.6'da, CM için Şekil 5.7'de verilmiştir. Ayrıca, benzetimlerde dördüncü dereceden Butterworth süzgeç

parametreleri kullanılmıştır. Önerilen devrelerin kazanç değeri bir alınarak benzetimler yapılmıştır. Her iki önerilen dördüncü derece süzgeç devresi için kondansatör değerleri,  $C_1 = C_2 = C_3 = C_4 = 100$  pF olarak alınmıştır. Bununla birlikte, hem VM hem de CM süzgeç devresi için direnç değerleri,  $R_1 = R_6 = 1$  k $\Omega$ ,  $R_2 = 0.609$  k $\Omega$ ,  $R_3 = 1.218$  k $\Omega$ ,  $R_4 = 2.079$  k $\Omega$  ve  $R_5 = 4.158$  k $\Omega$  olarak seçilmiştir. Ayrıca, VM süzgeç devresinde  $R_7 = 1$  k $\Omega$  olarak alınmıştır. Bu değerler altında, her iki önerilen dördüncü dereceden süzgeç devresinin rezonans frekansı 1 MHz olarak hesaplanmıştır. Seçilen tüm pasif eleman değerleri yapılan bütün benzetimler için aynıdır.



Şekil 5.6: Dördüncü dereceden VM süzgeç devresi.



Şekil 5.7: Dördüncü dereceden CM süzgeç devresi.

Dördüncü dereceden VM süzgeç devresine ait frekans cevabı teorik sonuçlar ile karşılaştırmalı olarak Şekil 5.8'de verilmişken, CM süzgeç devresine ait frekans cevabı Şekil 5.9'da verilmiştir.

Önerilen süzgeç devrelerine ait MC analizleri de yapılmıştır. MC analizleri 200 örnekleme için tüm pasif elemanlarda %3'lük Gauss değişimi yapılırken DO-CCII+ içyapısında kullanılan MOS transistörlerin eşik gerilimlerinde %2'lik Gauss değişimi ile yapılmıştır. Pasif elemanlarda Gauss değişimi ile yapılan MC analiz sonuçları VM ve CM süzgeç devreleri için sırasıyla Şekil 5.10 ve

Şekil 5.11’de verilmiştir. MOS transistörlerdeki eşik geriliminin Gauss değişimi ile yapılan MC analiz sonuçları VM ve CM süzgeç devreleri için sırasıyla Şekil 5.12 ve Şekil 5.13’te gösterilmiştir.

Şekil 5.14 ve Şekil 5.15’te ise önerilen VM ve CM süzgeçlerine ait sıcaklık analiz sonuçları verilmiştir. Sıcaklık analizleri  $-30^{\circ}\text{C}$  ile  $120^{\circ}\text{C}$  arasında  $30^{\circ}\text{C}$ ’lik artışlar ile yapılmıştır.

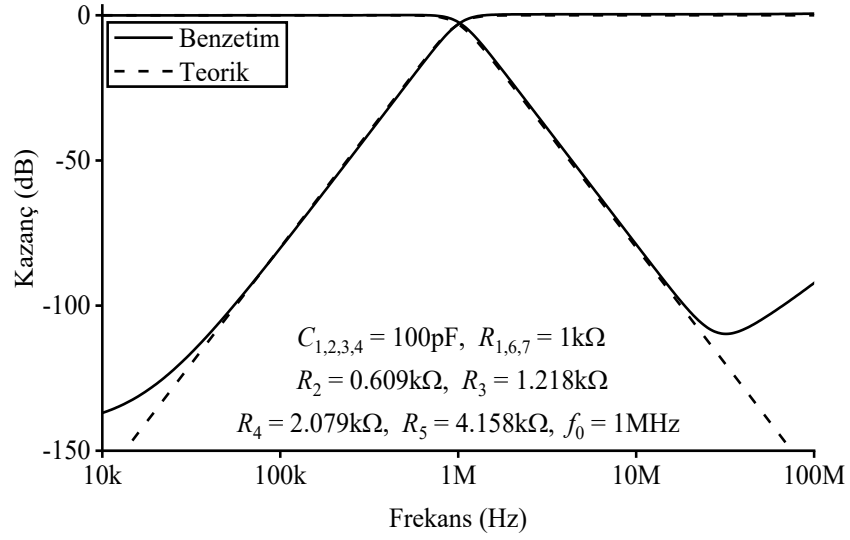
Önerilen VM ve CM süzgeç devrelerinin zaman ortamı analizleri de yapılmıştır. VM süzgeç devresi için girişe 50 mV genlikli bir sinüsoidal gerilim uygulanmıştır. Uygulanan giriş sinyalinin frekansı ise LP çıkışı için 100 kHz ve HP çıkışı için 10 MHz’dir. Elde edilen sonuçlar LP için Şekil 5.16’da ve HP için Şekil 5.17’de gösterilmiştir. Aynı şekilde, CM süzgeç devresi için girişe 40  $\mu\text{A}$  genlikli bir sinüsoidal akım uygulanmıştır. Elde edilen sonuçlar, dördüncü dereceden Butterworth süzgecin LP ve HP çıkışları sırasıyla Şekil 5.18 ve Şekil 5.19’da verilmiştir.

Dördüncü dereceden VM süzgeç devresinin HP ve LP çıkışları için gürültü analizleri de yapılmıştır. Elde edilen giriş ve çıkış gürültü analiz sonuçları HP çıkışı için Şekil 5.20’de ve LP çıkışı için Şekil 5.21’de gösterilmiştir.

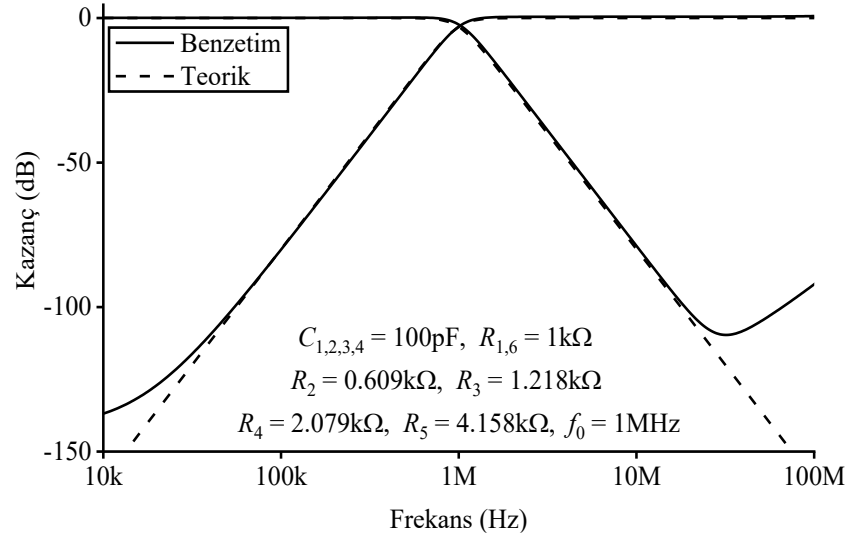
Dördüncü dereceden VM ve CM süzgeç devrelerinin LP çıkışı için, 100 kHz frekansında, giriş işaretinin genliğine göre THD değişimleri sırasıyla, Şekil 5.22 ve Şekil 5.23’te verilmiştir. Bununla birlikte önerilen devrelerin HP çıkışı için, 10 MHz frekansında, giriş işaretinin genliğine göre THD değişimleri, VM için Şekil 5.24’te ve CM için Şekil 5.25’te gösterilmiştir.

Dördüncü dereceden VM süzgeç devresinden  $C_2$  kondansatörü üzerinden BP çıkışı da alınabilmektedir. VM süzgeç devresinin BP çıkışına ait frekans cevabı sonuçları Şekil 5.26’da verilmiş ve zaman analizi sonuçları Şekil 5.27’de gösterilmiştir. Zaman analizinde girişe 25 mV genlikli, 1 MHz frekansında sinüsoidal bir gerilim uygulanmıştır.

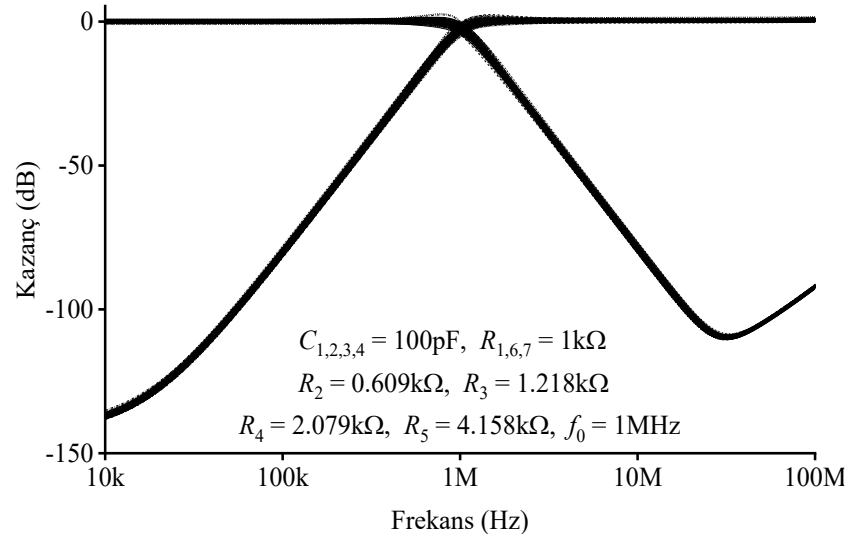
Her iki önerilen VM ve CM süzgeç devresinin  $n = 4$  olarak seçildiğinde güç tüketimi yaklaşık olarak 5.12 mW olarak hesaplanmıştır.



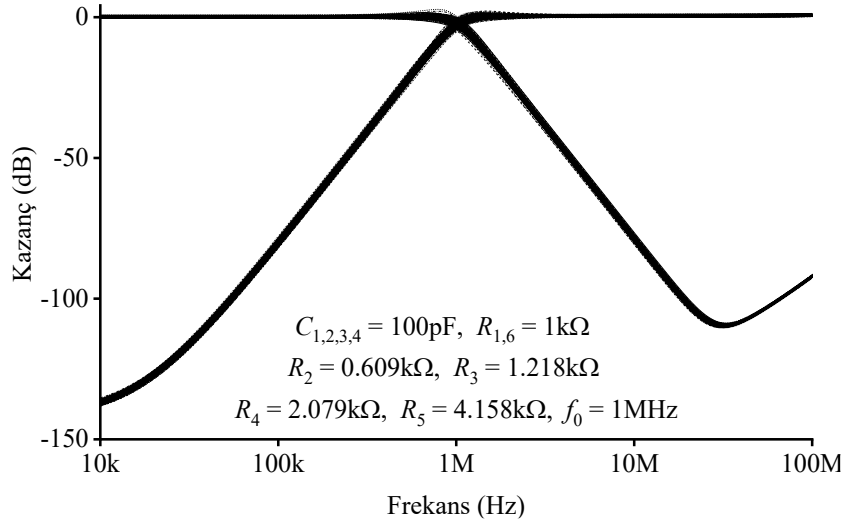
Şekil 5.8: VM süzgeç devresine ait frekans cevabı sonuçları.



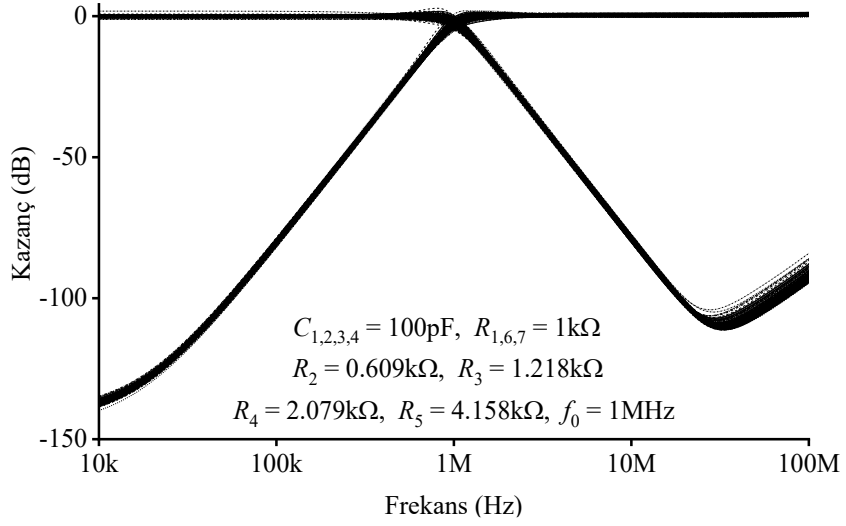
Şekil 5.9: CM süzgeç devresine ait frekans cevabı sonuçları.



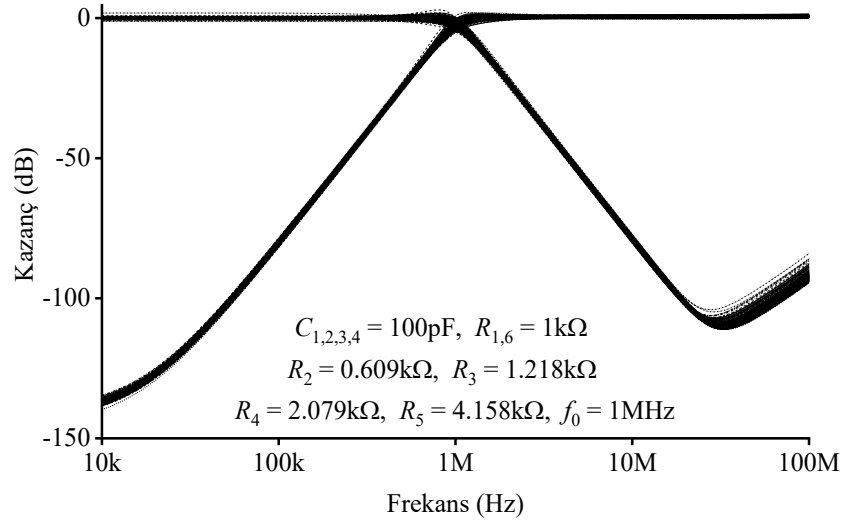
Şekil 5.10: VM süzgeç devresi için yapılan MC analizi sonuçları (Tüm pasif elemanlarda %3'lük Gauss değişimi ile yapılmıştır).



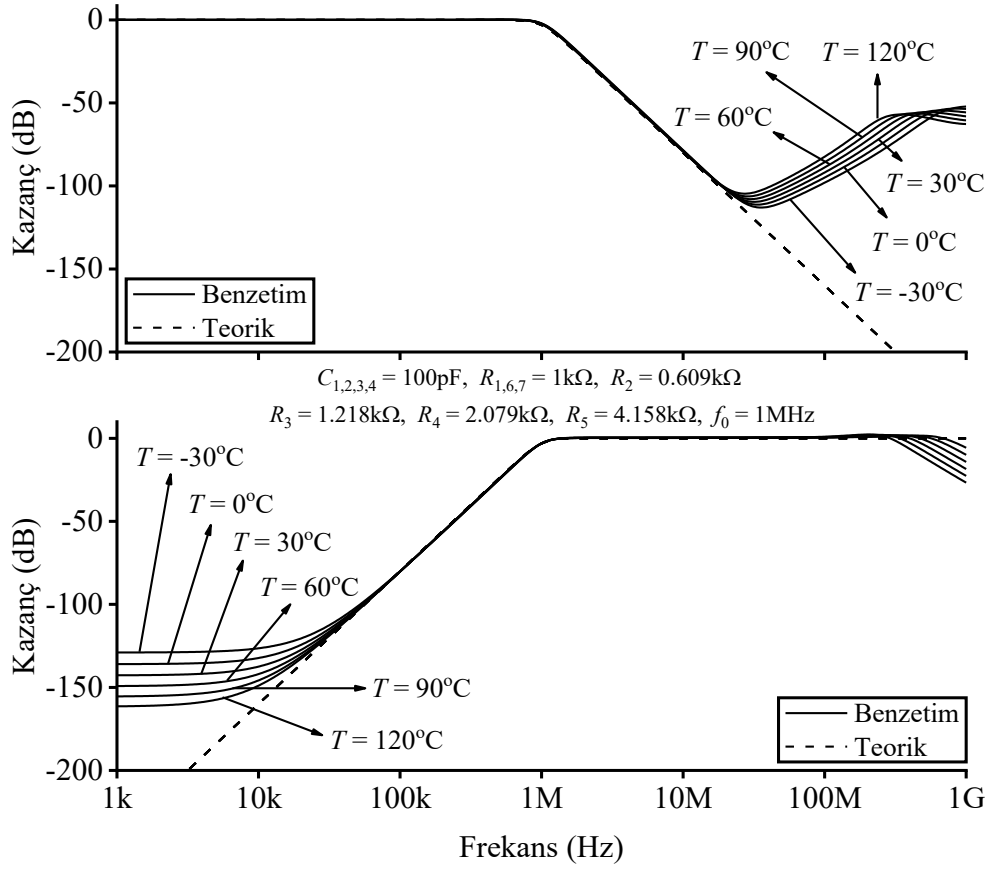
**Şekil 5.11:** CM süzgeç devresi için yapılan MC analizi sonuçları (Tüm pasif elemanlarda %3'lük Gauss değişimi ile yapılmıştır).



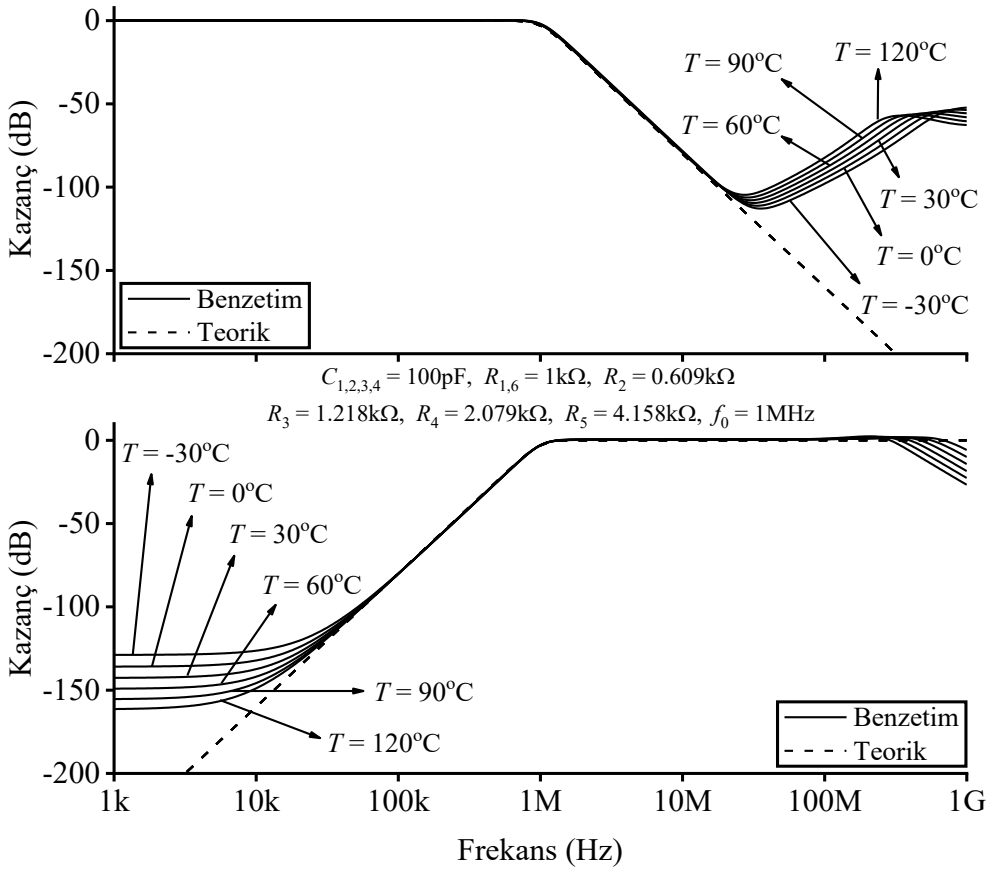
**Şekil 5.12:** VM süzgeç devresi için yapılan MC analizi sonuçları (İçyapıdaki tüm MOS transistörlerde %2'lik Gauss değişimi ile yapılmıştır).



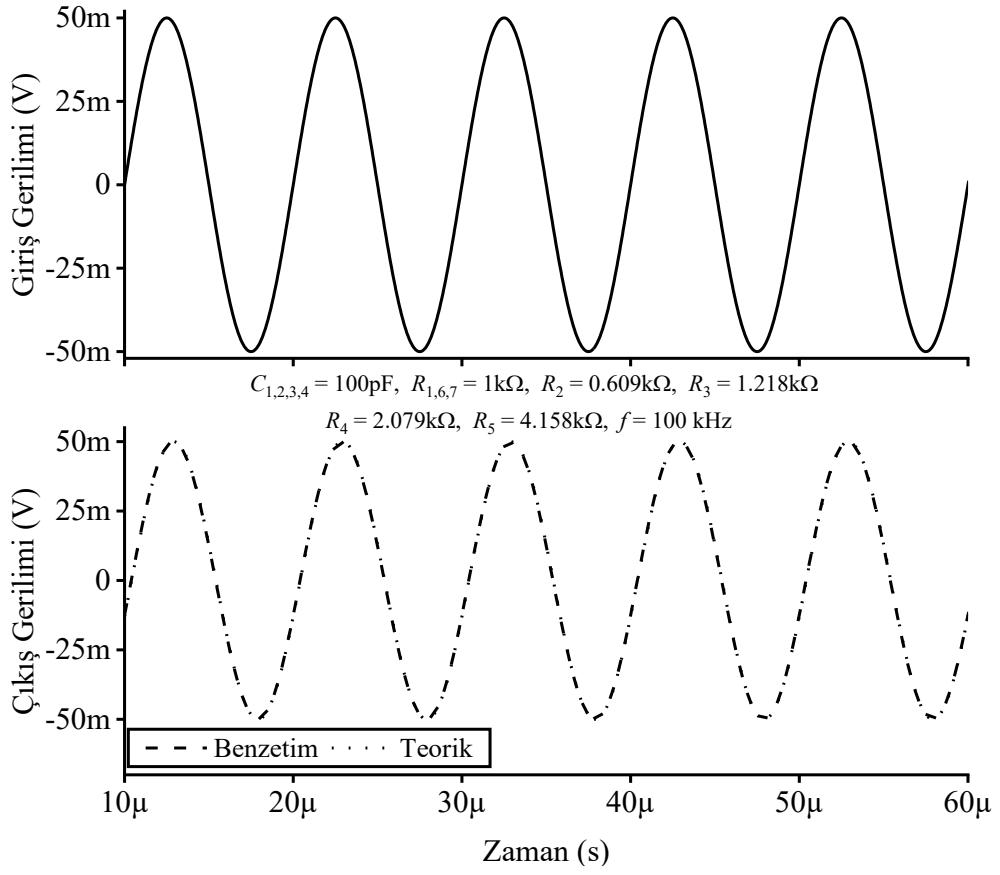
**Şekil 5.13:** CM süzgeç devresi için yapılan MC analizi sonuçları (İçyapıdaki tüm MOS transistörlerde %2'lik Gauss değişimi ile yapılmıştır).



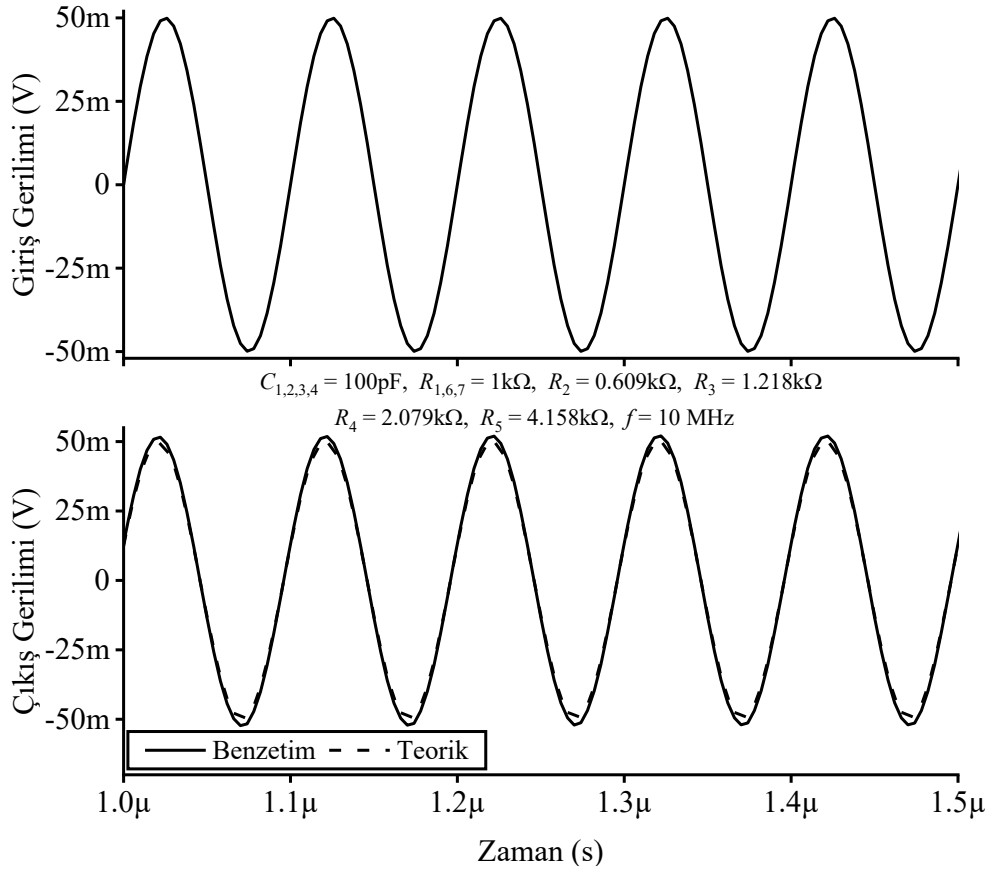
Şekil 5.14: VM süzgeç devresine ait sıcaklık analizi sonuçları.



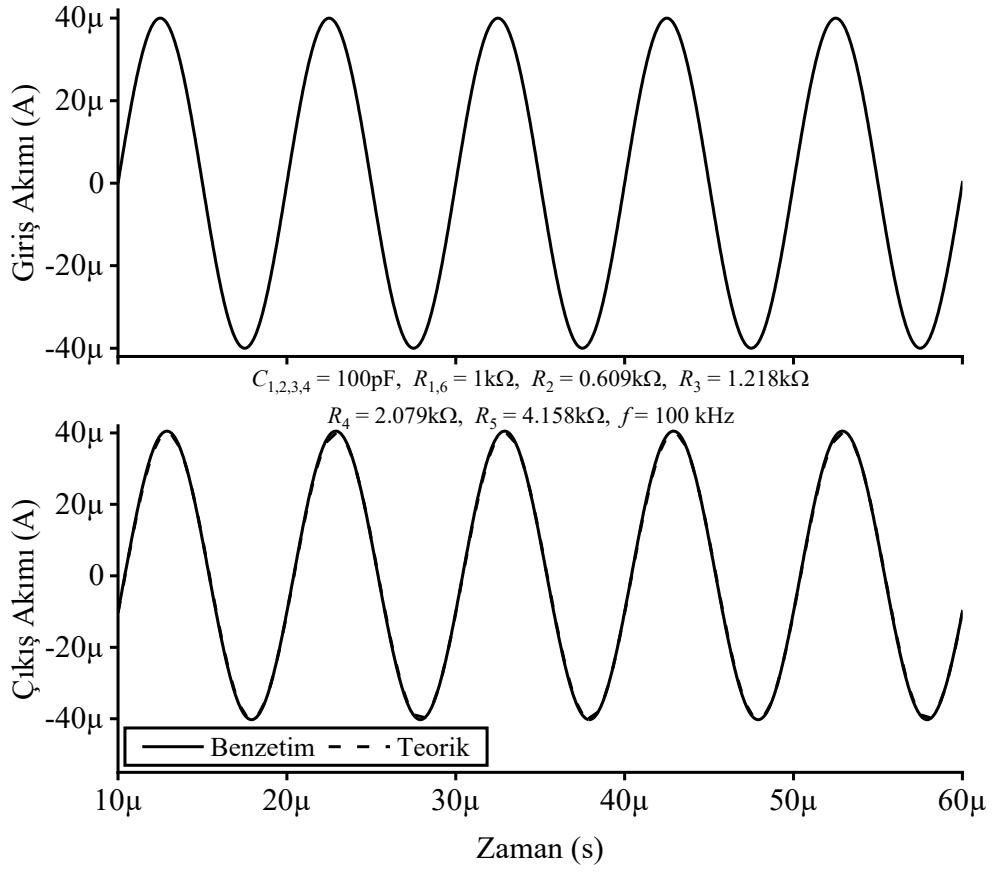
Şekil 5.15: CM süzgeç devresine ait sıcaklık analizi sonuçları.



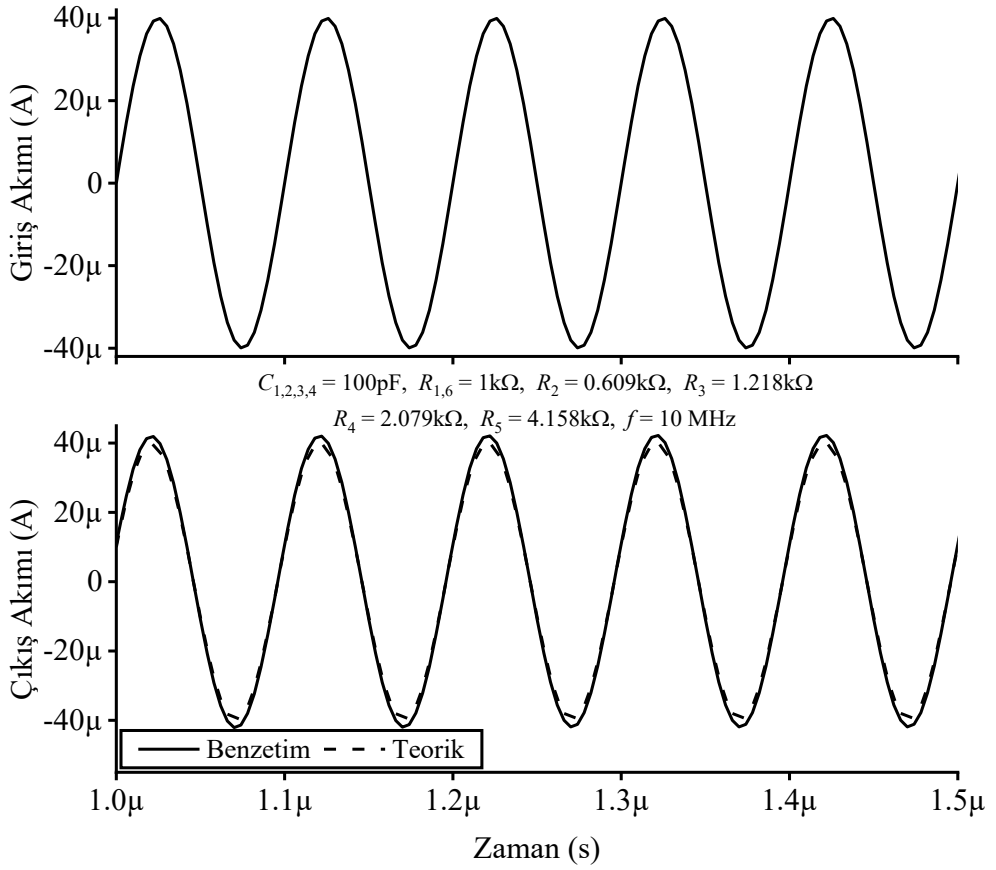
**Şekil 5.16:** VM süzgeç devresinin LP çıkışı için zaman ortamı analiz sonuçları.



**Şekil 5.17:** VM süzgeç devresinin HP çıkışı için zaman ortamı analiz sonuçları.

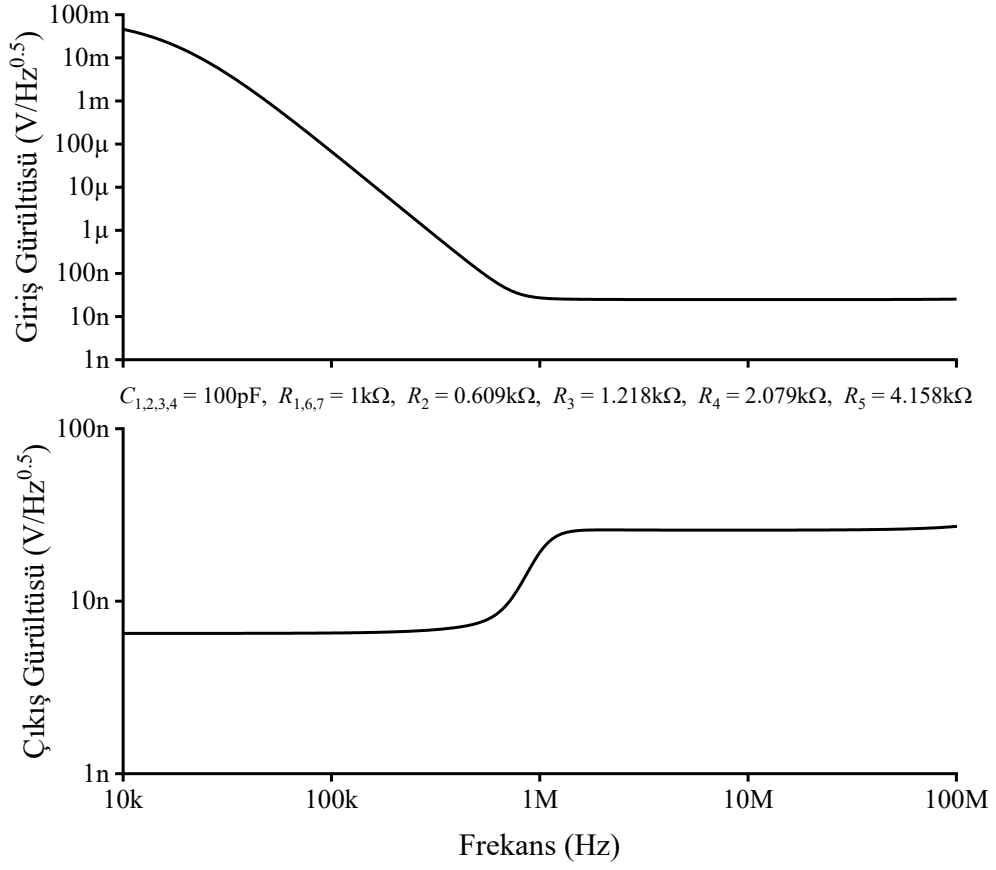


**Şekil 5.18:** CM süzgeç devresinin LP çıkışı için zaman ortamı analiz sonuçları.

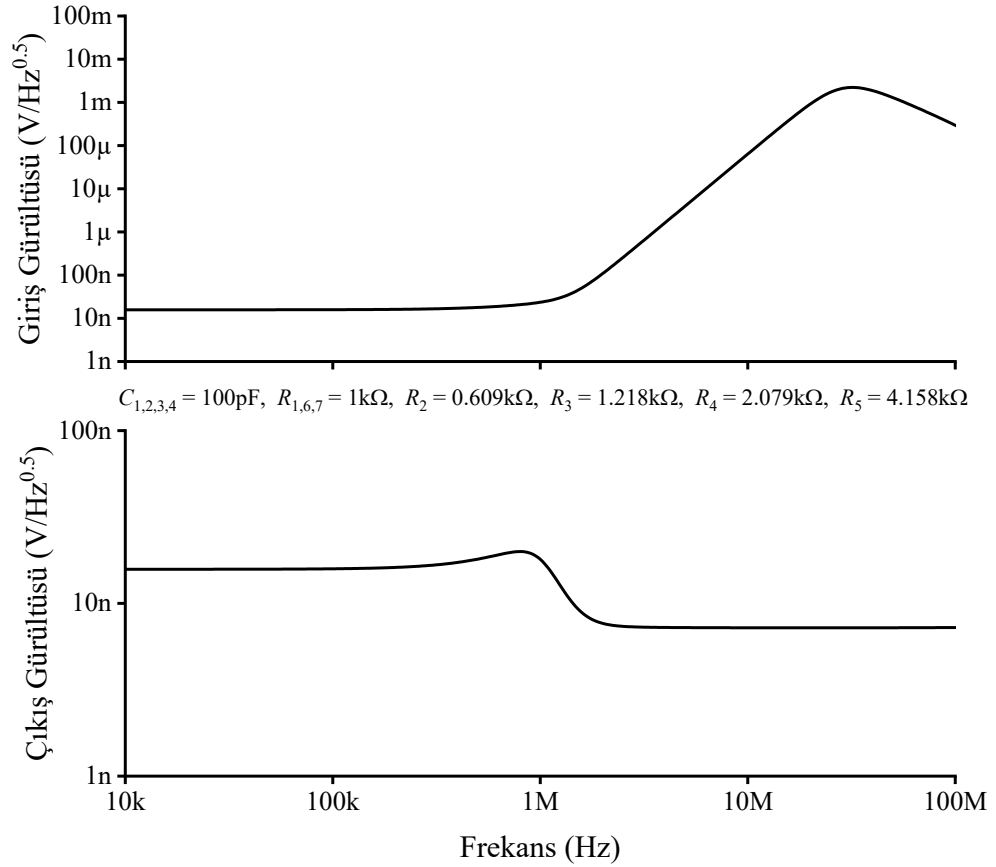


**Şekil 5.19:** CM süzgeç devresinin HP çıkışı için zaman ortamı analiz sonuçları.

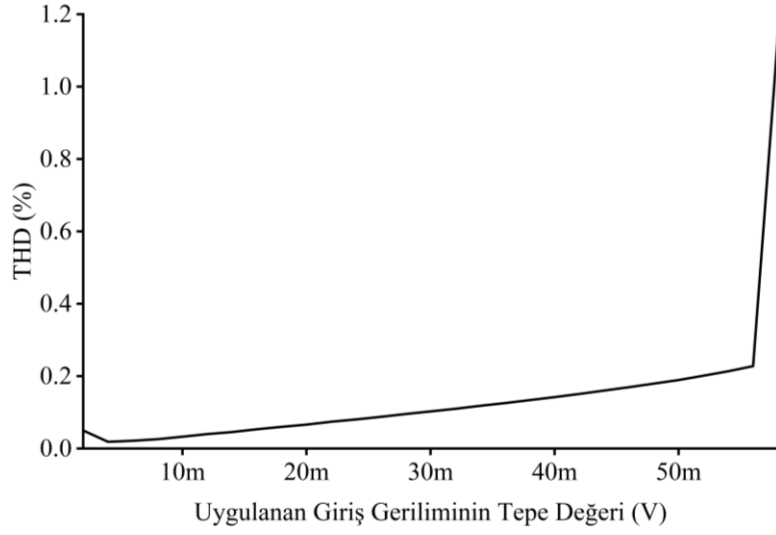




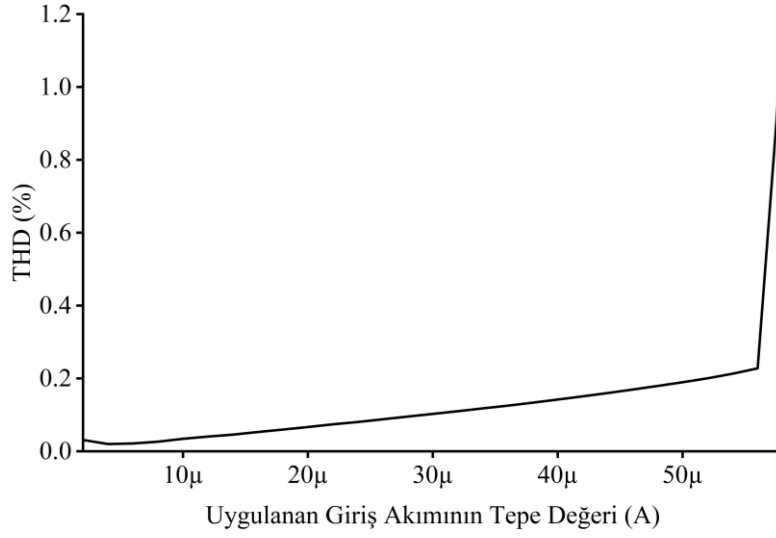
**Şekil 5.20:** VM süzgeç devresinin HP çıkışı için gürültü analizi sonuçları.



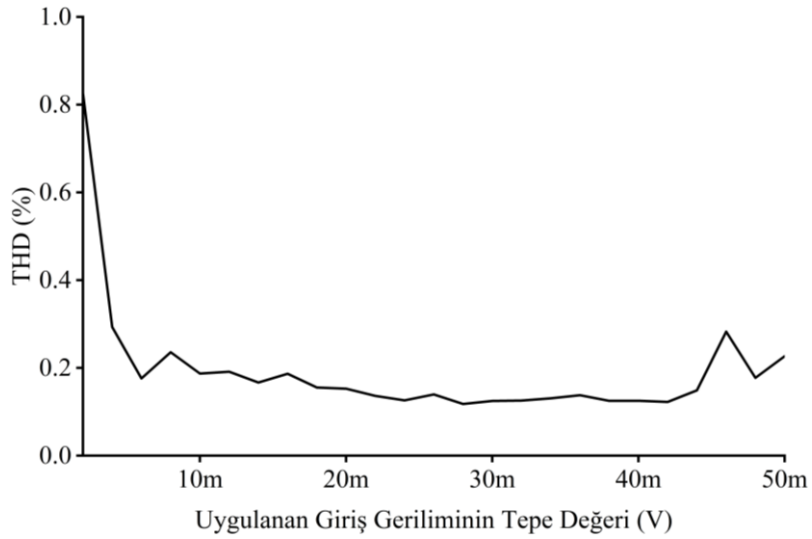
**Şekil 5.21:** VM süzgeç devresinin LP çıkışı için gürültü analizi sonuçları.



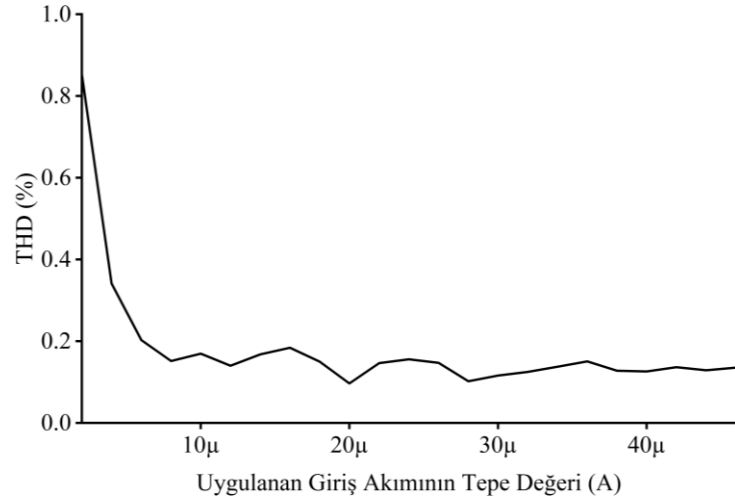
Şekil 5.22: 100 kHz frekansında VM süzgeç devresinin LP çıkışı için THD değişimleri.



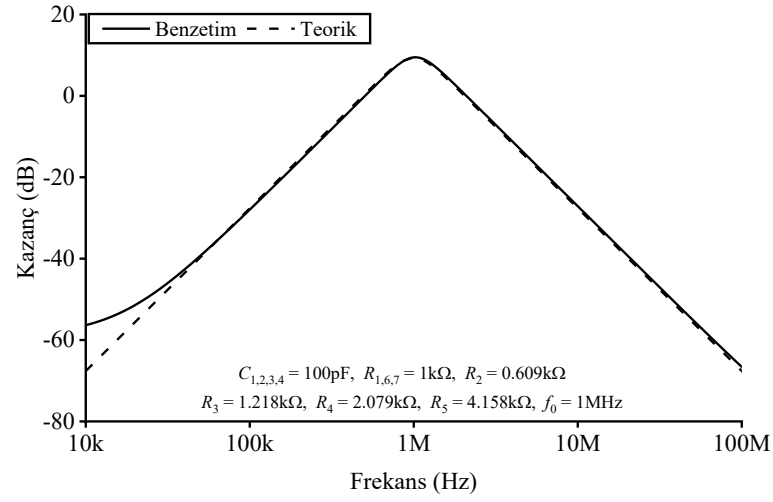
Şekil 5.23: 100 kHz frekansında CM süzgeç devresinin LP çıkışı için THD değişimleri.



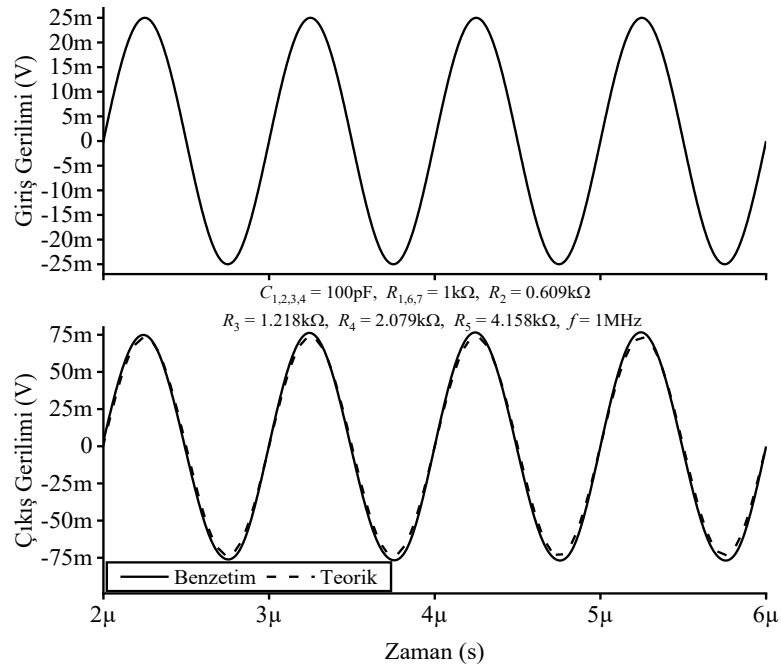
Şekil 5.24: 10 MHz frekansında VM süzgeç devresinin HP çıkışı için THD değişimleri.



Şekil 5.25: 10 MHz frekansında CM süzgeç devresinin HP çıkışı için THD değişimleri.



Şekil 5.26: VM süzgeç devresinin BP çıkışı için frekans cevabı sonuçları.

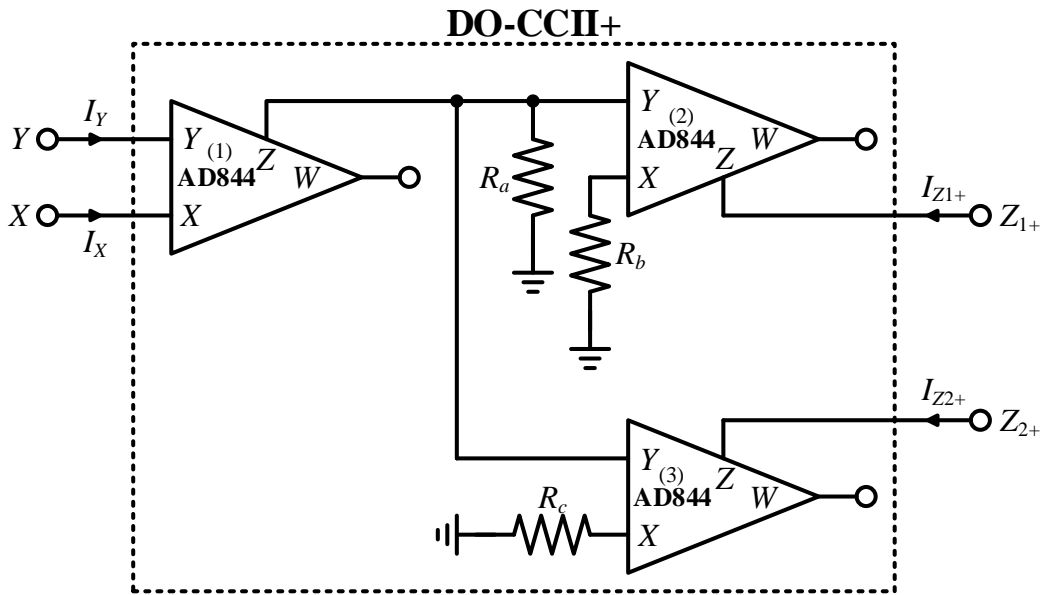


Şekil 5.27: VM süzgeç devresinin BP çıkışı için zaman analizi sonuçları.

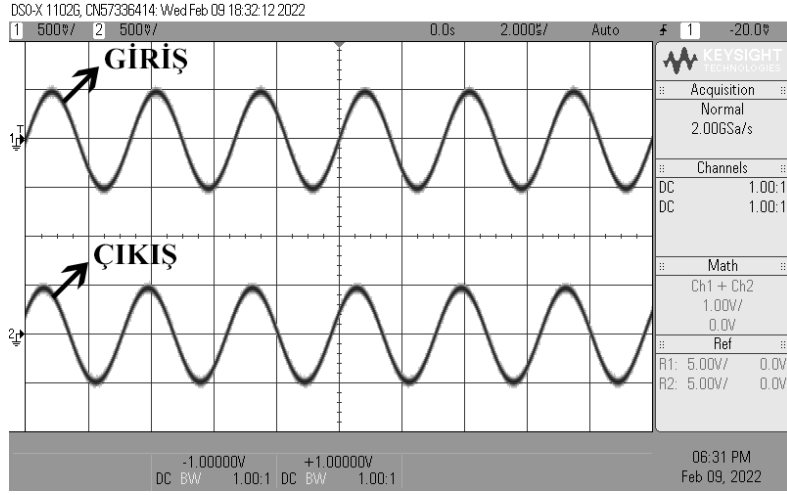
## 5.2 Deneysel Sonuçları

Örnek olması için önerilen dördüncü dereceden VM süzgeç devresinin deneyleri yapılmıştır. Deneylerde DO-CCII+ yerine üç adet AD844 kullanılmıştır. Şekil 5.28’de AD844’ler ve eş dirençler kullanılarak DO-CCII+ aktif bloğunun elde edilmesi verilmiştir. Şekil 5.28’de kullanılan eş dirençler,  $R_a$ ,  $R_b$  ve  $R_c$ , 2.2 k $\Omega$  olarak seçilmiştir. Şekil 5.6’da verilen dördüncü dereceden VM süzgeç devresinde kullanılan tüm kondansatör değerleri 1 nF olarak seçilmiş ve önerilen devredeki dirençler,  $R_1 = R_6 = R_7 = 1$  k $\Omega$ ,  $R_2 = 0.607$  k $\Omega$ ,  $R_3 = 1.203$  k $\Omega$ ,  $R_4 = 2.08$  k $\Omega$ , ve  $R_5 = 4.13$  k $\Omega$  olarak alınmıştır. Bu direnç değerleri benzetimlerde kullanılan değerlere yakın olacak şekilde seçilmiştir. Bu değerler altında, süzgeç devresinin  $f_0$  değeri yaklaşık 100 kHz olarak elde edilmiştir. Deneylerde kullanılan tüm AD844’lerin besleme gerilimi  $\pm 10$  V’tur.

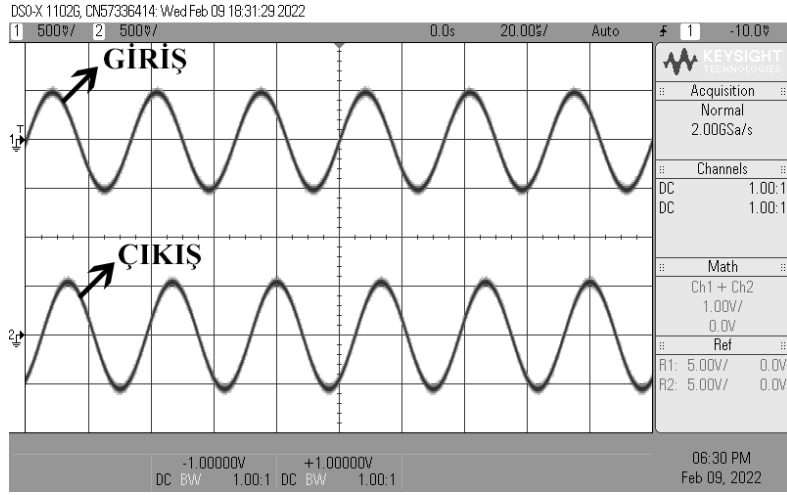
Zaman ortamı analizi için süzgeç devresinin girişine 500 mV genliğe sahip sinüsoidal bir gerilim uygulanmıştır. Uygulanan sinyalin frekansı ise HP ve LP için ayrı ayrı olmak şartı ile sırasıyla 300 kHz ve 30 kHz’dir. Elde edilen zaman ortamı analiz sonuçları HP çıkışı için Şekil 5.29’da ve LP çıkışı için Şekil 5.30’da gösterilmiştir. Önerilen dördüncü dereceden VM süzgeç devresinin frekans cevabı ise Şekil 5.31’de verilmiştir. Bu şekilde, deney sonuçları, benzetim sonuçları ve teorik sonuçlar karşılaştırmalı olarak verilmiştir.



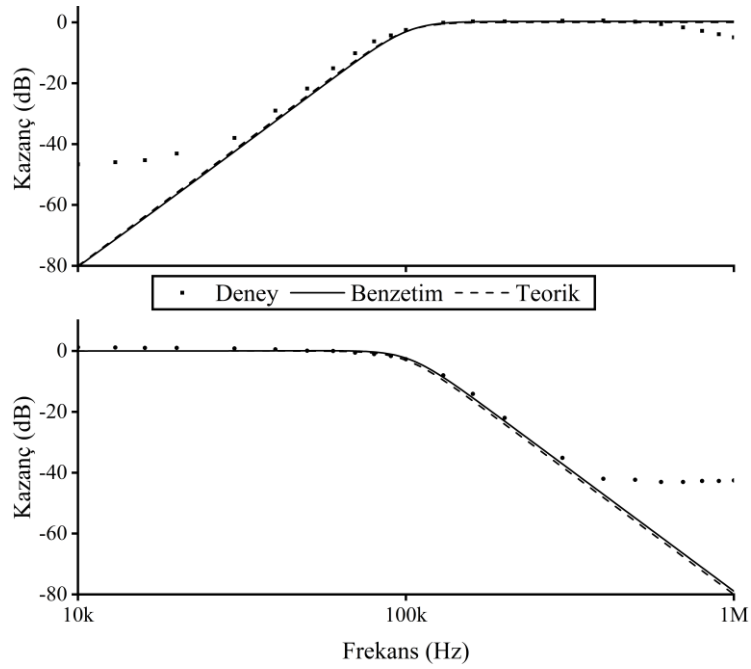
Şekil 5.28: AD844’ler ve eş dirençler ile DO-CCII+ elde edilmesi.



Şekil 5.29: Dördüncü dereceden VM süzgeç devresinin HP çıkışı.



Şekil 5.30: Dördüncü dereceden VM süzgeç devresinin LP çıkışı.



Şekil 5.31: Dördüncü dereceden VM süzgeç devresinin HP ve LP frekans cevabı sonuçları.

## 6. TAM DALGA DOĞRULTUCU DEVRELERİ

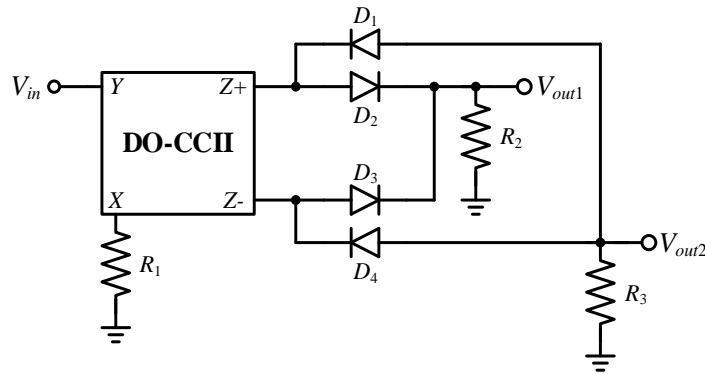
Literatürde, birçok aktif blok kullanılarak gerçekleştirilen tam dalga doğrultucu (FWR) devreleri bulunmaktadır. Bunlar; CCII ile gerçekleştirilenler (Djukić ve diğerleri 2010, Hayatleh ve diğerleri 1994, Koton ve diğerleri 2010, 2011, Maitreechit ve Monpapassorn 2005, Monpapassorn 2013, 2018, Monpapassorn ve diğerleri 2001, Toumazou ve diğerleri 1994, Yıldız ve diğerleri 2017, Yuce ve diğerleri 2006<sup>c</sup>, 2007), ikinci nesil gerilim taşıyıcı (VCII) ile tasarlanan (Kumar ve diğerleri 2021), DXCCII ile yapılanlar (Koton ve diğerleri 2014, Minaei ve Yuce 2008<sup>a</sup>), birinci nesil akım taşıyıcı (CCI) ile gerçekleştirilen (Gift 2000), OA ile yapılanlar (Gift 2000, Gift ve Maundy 2007, Sahu ve diğerleri 2010), CCCII ile tasarlanan (Petrović 2020), gerilim taşıyıcı (VC) ile gerçekleştirilenler (Koton ve diğerleri 2010, 2011, Safari ve diğerleri 2020), CFOA ile yapılan (Yuce ve diğerleri 2017), gerilim farkı alan akım taşıyıcı (DVCC) ile tasarlanan (İbrahim ve diğerleri 2016), OTA ile gerçekleştirilenler (Jongkustidchai ve diğerleri 2007, Kumngern ve Dejhan 2006) ve akım fark alan geçiş iletkenliği yükseltici (CDTA) ile tasarlanan (Kaçar ve Başak 2014) devrelerdir. Bu devrelerin bazı dezavantajları bulunmaktadır: Verilen bazı devreler yüksek giriş empedansına sahip değildir (Gift 2000, Gift ve Maundy 2007, Kaçar ve Başak 2014, Kumar ve diğerleri 2021, Petrović 2020, Safari ve diğerleri 2020, Sahu ve diğerleri 2010, Yıldız ve diğerleri 2017, Yuce ve diğerleri 2006<sup>c</sup>, 2007). Önerilen birkaç devrede pasif eleman eşleme sorunu vardır (Gift 2000, Gift ve Maundy 2007, İbrahim ve diğerleri 2016, Kaçar ve Başak 2014, Kumar ve diğerleri 2021, Monpapassorn 2013, Sahu ve diğerleri 2010, Yıldız ve diğerleri 2017). Belirtilen çeşitli devrelerde yüzen pasif elemanlar kullanılmıştır (Gift 2000, Gift ve Maundy 2007, Hayatleh ve diğerleri 1994, Kaçar ve Başak 2014, Kumar ve diğerleri 2021, Monpapassorn 2013, 2018, Safari ve diğerleri 2020, Sahu ve diğerleri 2010, Toumazou ve diğerleri 1994, Yıldız ve diğerleri 2017). Önerilen bazı devrelerde kazanç yoktur (İbrahim ve diğerleri 2016, Kumar ve diğerleri 2021, Kumngern ve Dejhan 2006, Minaei ve Yuce 2008<sup>a</sup>, Yıldız ve diğerleri 2017, Yuce ve diğerleri 2006<sup>c</sup>, 2007, 2017). Dolayısı ile bu devrelerde kazanç elde etmek için ek yükseltici devrelerine ihtiyaç vardır. Verilen birçok devrenin çalışabilmesi için

kutuplama akımı veya gerilimi kullanılması gerekmektedir (Djukić ve diğerleri 2010, Hayatleh ve diğerleri 1994, Jongkunsitdchai ve diğerleri 2007, Kaçar ve Başak 2014, Koton ve diğerleri 2011, Kumngern ve Dejhan 2006, Maitreechit ve Monpapassorn 2005, Minaei ve Yuce 2008<sup>a</sup>, Monpapassorn 2013, Monpapassorn ve diğerleri 2001, Yuce ve diğerleri 2006<sup>c</sup>, 2007, 2017). Bazı önerilen devreler farklı aktif bloklar kullanılarak tasarlanmışlardır (Gift 2000, Gift ve Maundy 2007, Koton ve diğerleri 2010, 2011, 2014, Sahu ve diğerleri 2010, Yuce ve diğerleri 2007). Ek olarak, (Djukić ve diğerleri 2010, Gift 2000, Gift ve Maundy 2007, Sahu ve diğerleri 2010)'de önerilen devrelerde OA kullanılmıştır. Böylece bu devrelerin yetişme hızı sınırlamaları bulunmaktadır.

### 6.1 DO-CCII Tabanlı Tam Dalga Doğrultucu Devresi

Bu tezde DO-CCII tabanlı FWR devresi önerilmiştir. Önerilen devrede tek bir aktif blok, üç adet topraklanmış direnç ve dört adet diyot kullanılmıştır. Diyot olarak, On Semiconductor firması tarafından üretilen MMBD101LT1G (On Semiconductor 2016) diyotları kullanılmıştır. Bu diyotun başlıca tercih sebepleri, diyotun kapasitif etkilerinin çok düşük olması ve anahtarlama hızlarının çok olmasıdır. Önerilen devrenin iki adet çıkışı vardır. Çıkışlardan biri pozitif tam dalga doğrultma çıkışı verirken diğeri negatif tam dalga doğrultma çıkışı vermektedir. Bununla birlikte, önerilen devre yüksek giriş empedansına ve kazançca sahiptir.

Önerilen DO-CCII tabanlı tam dalga doğrultucu devresi Şekil 6.1'de verilmiştir. Önerilen devrede kullanılan DO-CCII'ya ait aktif blok sembolü ise Şekil 3.2'de gösterilmiştir.



Şekil 6.1: Önerilen DO-CCII tabanlı tam dalga doğrultucu devresi.

Önerilen devrede kullanılan DO-CCII aktif bloğuna ait ideal uç denklemleri eşitlik (6.1)'de verilmiştir.

$$\begin{bmatrix} I_Y \\ V_X \\ I_{Z+} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ 1 & 0 \\ 0 & 1 \\ 0 & -1 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \end{bmatrix} \quad (6.1)$$

Şekil 6.1'de verilen önerilen devrede eğer,  $V_{in} > 0$  olursa  $D_2$  ve  $D_4$  diyotları iletimde,  $D_1$  ve  $D_3$  diyotları ise kesimde olur. Eğer  $V_{in} < 0$  olursa  $D_1$  ve  $D_3$  diyotları iletimde,  $D_2$  ve  $D_4$  diyotları ise kesimde olur. Bu durumda çıkış gerilimleri eşitlik (6.2) ve (6.3)'teki gibi olur.

$$V_{out1} = \frac{R_2}{R_1} |V_{in}| \quad (6.2)$$

$$V_{out2} = -\frac{R_3}{R_1} |V_{in}| \quad (6.3)$$

Önerilen devrede kullanılan DO-CCII'nin parazitik empedansları ve ideal olmayan kazançları dahil edilirse DO-CCII'a ait uç denklemleri aşağıdaki gibi olur.

$$\begin{bmatrix} I_Y \\ V_X \\ I_{Z+} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} sC_Y & 0 & 0 & 0 \\ \beta & R_X & 0 & 0 \\ 0 & \alpha & sC_{Z+} + 1/R_{Z+} & 0 \\ 0 & -\gamma & 0 & sC_{Z-} + 1/R_{Z-} \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_{Z+} \\ V_{Z-} \end{bmatrix} \quad (6.4)$$

Burada,  $\beta$  ideal olmayan gerilim kazançken  $\alpha$  ve  $\gamma$  ideal olmayan akım kazancıdır. Bu kazanç değerleri idealde 1'e eşittir. Ayrıca, eşitlik (6.4)'te verilen parazitik direnç  $R_X$  idealde sıfırdır ve diğer parazitik dirençler  $R_{Z+}$  ve  $R_{Z-}$  idealde sonsuza eşittir. Bununla birlikte, parazitik kondansatörler,  $C_Y$ ,  $C_{Z+}$ , ve  $C_{Z-}$  idealde sıfıra eşittir. DO-CCII'a ait parazitik empedanslar ve ideal olmayan kazançlar dahil edildiğinde ve tüm diyotların ideal oldukları varsayıldığında;  $V_{in} > 0$  olursa çıkışlara ait elde edilen gerilimler sırasıyla eşitlik (6.5) ve (6.6)'daki gibi olur ve  $V_{in} < 0$  olursa çıkışlara ait elde edilen gerilimler sırasıyla eşitlik (6.7) ve (6.8)'deki gibi olur.



$$V_{out1} = \frac{\alpha\beta}{(R_1 + R_X)(sC_{Z+} + 1/R_{Z+} + 1/R_2)} V_{in} \quad (6.5)$$

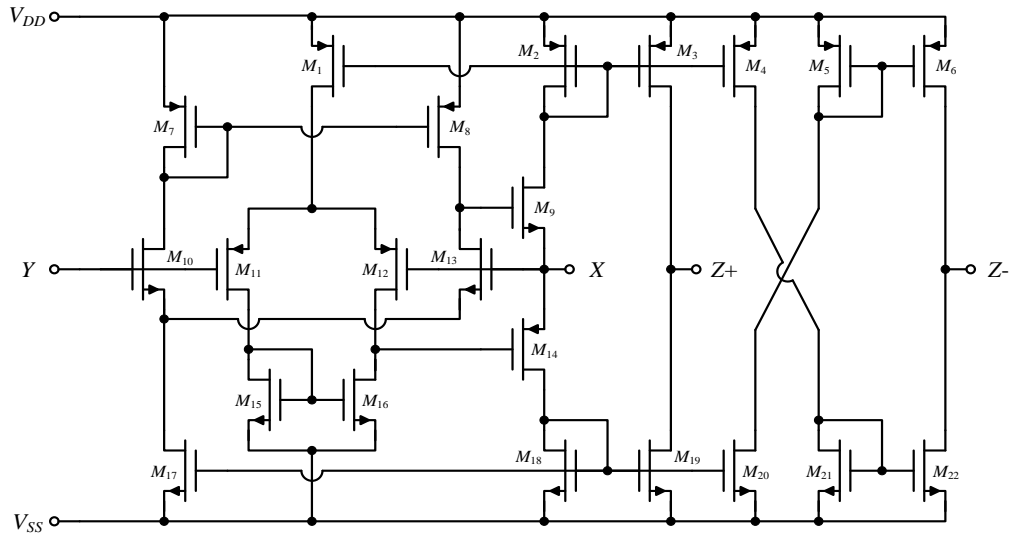
$$V_{out2} = -\frac{\beta\gamma}{(R_1 + R_X)(sC_{Z-} + 1/R_{Z-} + 1/R_3)} V_{in} \quad (6.6)$$

$$V_{out1} = -\frac{\beta\gamma}{(R_1 + R_X)(sC_{Z-} + 1/R_{Z-} + 1/R_2)} V_{in} \quad (6.7)$$

$$V_{out2} = \frac{\alpha\beta}{(R_1 + R_X)(sC_{Z+} + 1/R_{Z+} + 1/R_3)} V_{in} \quad (6.8)$$

### 6.1.1 Benzetim Sonuçları

Şekil 6.1’de önerilen DO-CCII tabanlı FWR devresinde kullanılan DO-CCII’ya ait içyapı Şekil 6.2’de verilmiştir (Arslan ve Morgul 2008).



Şekil 6.2: MOS transistör tabanlı DO-CCII içyapısı.

Önerilen devrede kullanılan DO-CCII’in içyapısında kullanılan MOS transistörlere ait en boy oranları Tablo 6.1’de verilmiştir. İçyapının besleme gerilimleri,  $V_{DD} = -V_{SS} = 1.25$  V olarak seçilmiştir. Bununla birlikte, içyapıdaki MOS transistörler için  $0.18 \mu\text{m}$  TSMC CMOS teknoloji parametreleri kullanılmıştır (Rabaey 2008). Bu değerler altında, DO-CCII’a ait içyapının elde edilen parazitik empedans ve ideal olmayan kazanç değerleri Tablo 6.2’de verilmiştir.

**Tablo 6.1:** DO-CCII içyapısındaki MOS transistörlere ait en boy oranları.

	MOS Transistörler	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
PMOS Transistörler	$M_1-M_8, M_{11}, M_{12}, M_{14}$	40	0.5
NMOS Transistörler	$M_9, M_{10}, M_{13}, M_{15}-M_{22}$	10	

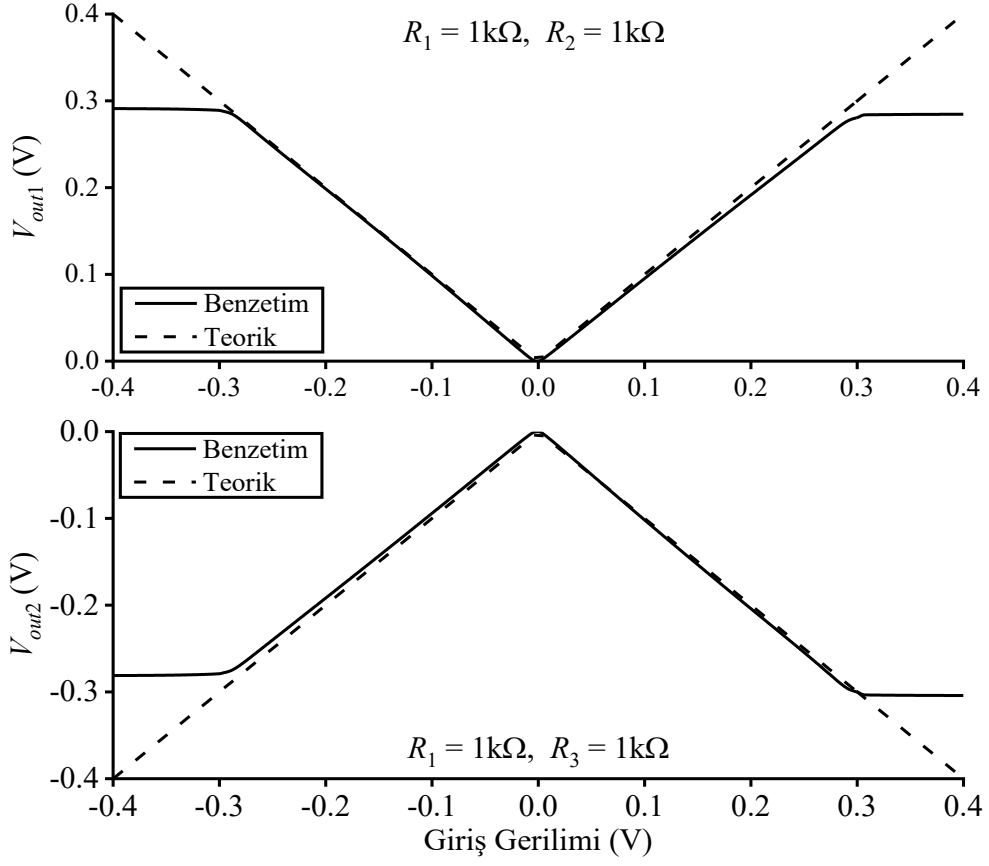
**Tablo 6.2:** DO-CCII içyapısına ait parazitik empedans ve ideal olmayan kazanç değerleri.

DO-CCII'ya Ait Parazitik Empedans Değerleri		
$R_X \cong 2 \Omega$	$R_{Z+} \cong 72 \text{ k}\Omega$	$R_{Z-} \cong 66 \text{ k}\Omega$
$C_Y \cong 37 \text{ fF}$	$C_{Z+} \cong 72 \text{ fF}$	$C_{Z-} \cong 75 \text{ fF}$
DO-CCII'ya Ait İdeal Olmayan Kazanç Değerleri		
$\alpha_0 = 1.0343$	$\beta_0 = 0.986$	$\gamma_0 = 1.0993$
$f_\alpha \cong 195 \text{ MHz}$	$f_\beta \cong 820 \text{ MHz}$	$f_\gamma \cong 190 \text{ MHz}$

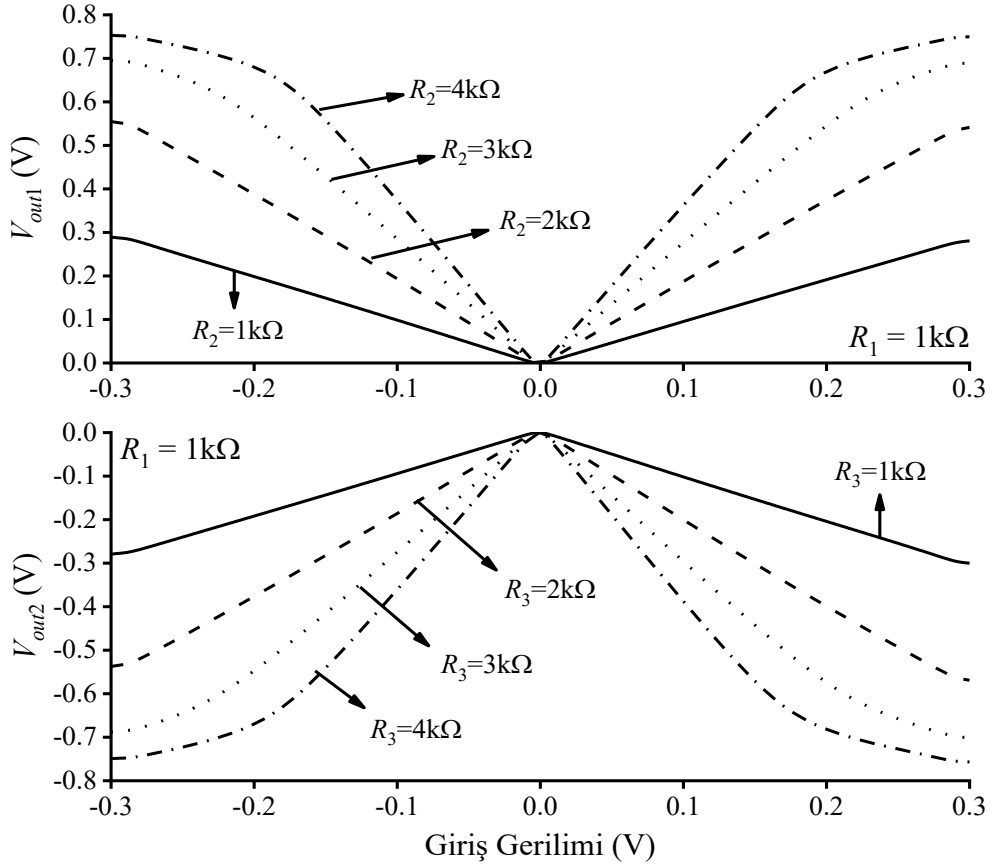
Simülasyonlar, SPICE programı aracılığı ile yapılmıştır. Tüm benzetimlerde, diyotların yerine MMBD101LT1G diyotları kullanılmıştır. Diyotlara ait SPICE parametreleri üretici firmanın web sitesinden alınmıştır. Şekil 6.3'te önerilen devrenin DC analiz sonuçları verilmiştir. DC analiz sırasında girişe -0.4 V ile 0.4 V arasında 1 mV'luk değişimler ile DC gerilim uygulanmıştır. Bununla birlikte, önerilen devrede kullanılan  $R_1$ ,  $R_2$  ve  $R_3$  dirençlerinin değerleri 1 k $\Omega$  olarak seçilmiştir. Farklı kazançlarda önerilen devreye ait DC analiz sonuçları Şekil 6.4'te gösterilmiştir. Bu analizlerde farklı kazanç değerleri,  $R_1$  direnci sabit tutulurken  $R_2$  ve  $R_3$  dirençleri değiştirilerek elde edilmiştir. Analizlerde,  $R_1 = 1 \text{ k}\Omega$  olarak seçilmişken  $R_2$  ve  $R_3$  dirençleri sırasıyla 1 k $\Omega$ , 2 k $\Omega$ , 3 k $\Omega$  ve 4 k $\Omega$  olarak alınmıştır. Devreye uygulanan giriş gerilimi ise -0.3 V ile 0.3 V arasında 1 mV'luk artış ile değiştirilmiştir.

Önerilen FWR devresinin sıcaklık analizleri -30°C ile 120°C arasında 30°C'lik artışlar ile yapılmıştır. Bununla birlikte sıcaklık analizi, devrenin giriş gerilimi -0.4 V ile 0.4 V arasında 1 mV'luk artış ile değiştirilmişken kullanılan dirençlerin hepsi 1 k $\Omega$  seçilmiştir ve elde edilen sonuçlar Şekil 6.5'te verilmiştir.

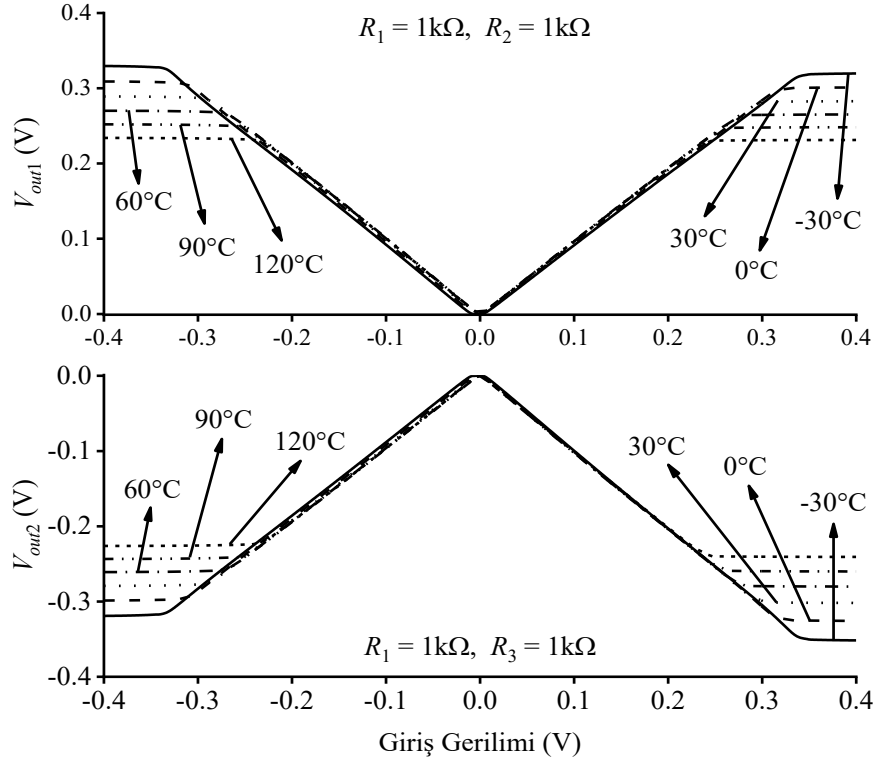
Önerilen DO-CCII tabanlı FWR devresinin zaman ortamı analizleri de yapılmıştır. Zaman ortamı analizlerinde girişe 250 mV genliğe sahip bir sinüsoidal gerilim uygulanmıştır. Uygulanan giriş geriliminin frekansı 100 kHz seçilmişken elde edilen çıkış gerilimleri Şekil 6.6'da gösterilmiştir. Bununla birlikte, uygulanan giriş geriliminin frekansı 1 MHz alınmışken elde edilen çıkış gerilimleri Şekil 6.7'de verilmiştir.



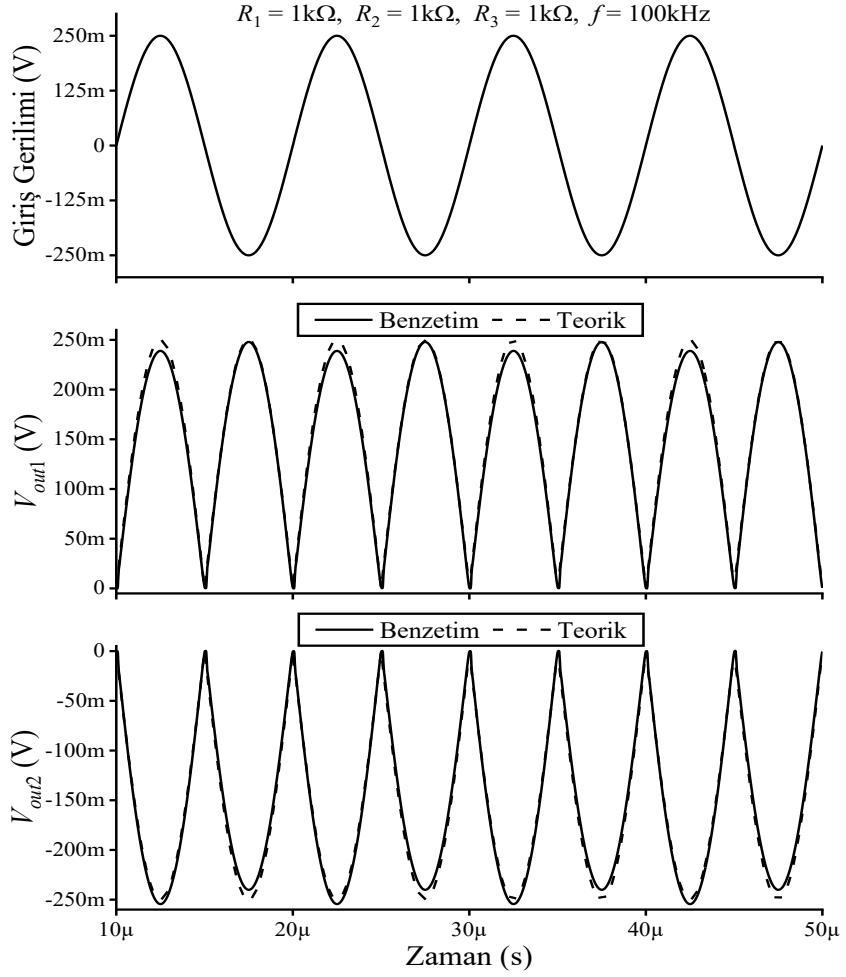
Şekil 6.3: Önerilen DO-CCII tabanlı FWR devresinin DC analiz sonuçları.



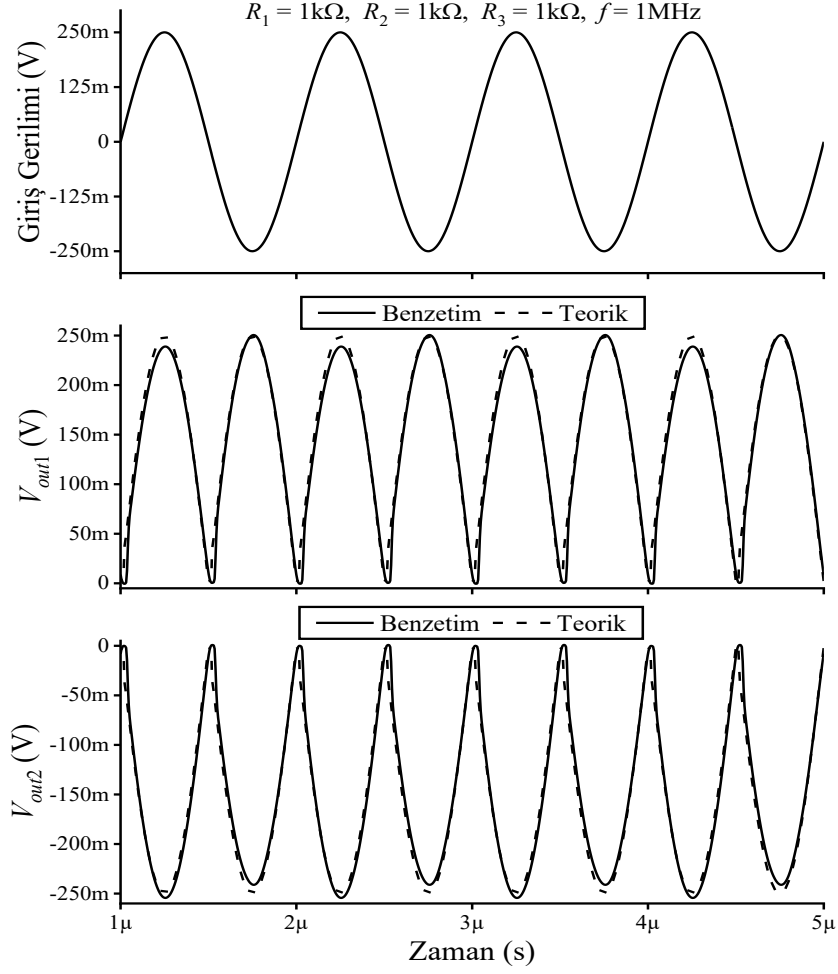
Şekil 6.4: Önerilen DO-CCII tabanlı FWR devresinin farklı kazançları için DC analiz sonuçları.



Şekil 6.5: Önerilen FWR devresinin sıcaklık analizi sonuçları.



Şekil 6.6: Önerilen FWR devresinin 100 kHz frekansında zaman analizi sonuçları.

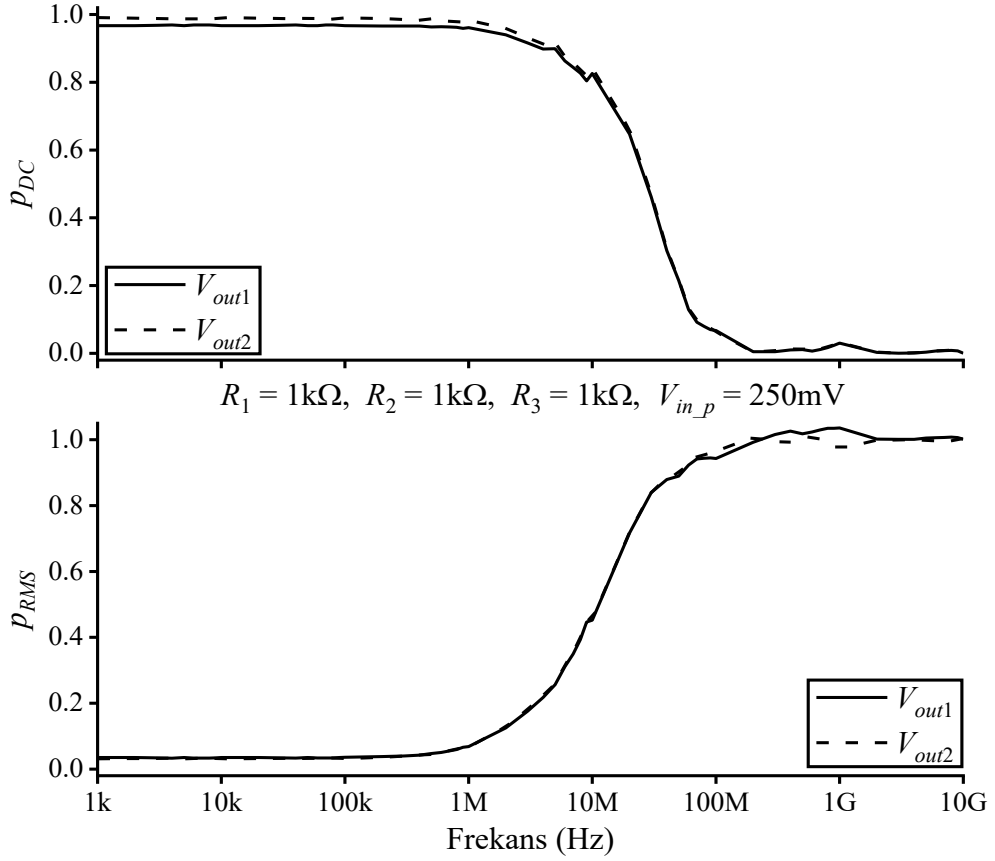


**Şekil 6.7:** Önerilen FWR devresinin 1 MHz frekansında zaman analizi sonuçları.

FWR devrelerinin önemli performans parametrelerinden ikisi, DC değeri aktarımı ( $p_{DC}$ ) ve RMS hatası ( $p_{RMS}$ )'dır. Bu değerler FWR devrelerinin doğruluğunu göstermek için kullanılırlar.  $p_{DC}$  ve  $p_{RMS}$  idealde sırasıyla bire ve sıfıra eşittir.  $p_{DC}$  ve  $p_{RMS}$ 'e ait denklemler sırasıyla eşitlik (6.9) ve (6.10)'da verilmiştir (Yıldız ve diğerleri 2017). Denklemlerde verilen  $V_{oa}(t)$  ve  $V_{oi}(t)$  sırasıyla, FWR devresinin gerçek ve ideal çıkış değerleridir. Önerilen devreye ait  $p_{DC}$  ve  $p_{RMS}$  analizleri devrenin kazancı bir olarak alındığında, girişe 250 mV genliğe sahip bir sinüsoidal sinyal uygulanarak elde edilmiş ve sonuçlar Şekil 6.8'de gösterilmiştir.

$$p_{DC} = \frac{\int_T V_{oa}(t) dt}{\int_T V_{oi}(t) dt} \quad (6.9)$$

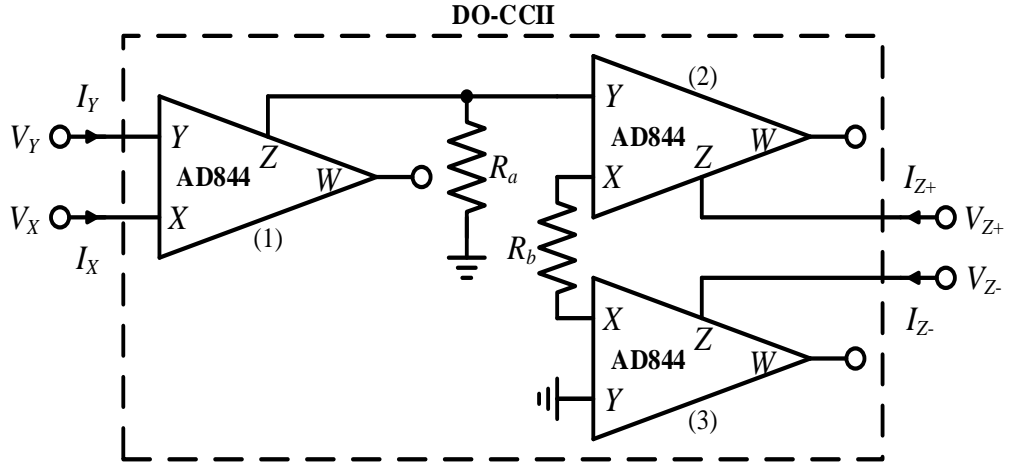
$$p_{RMS} = \sqrt{\frac{\int_T [V_{oa}(t) - V_{oi}(t)]^2 dt}{\int_T V_{oi}^2(t) dt}} \quad (6.10)$$



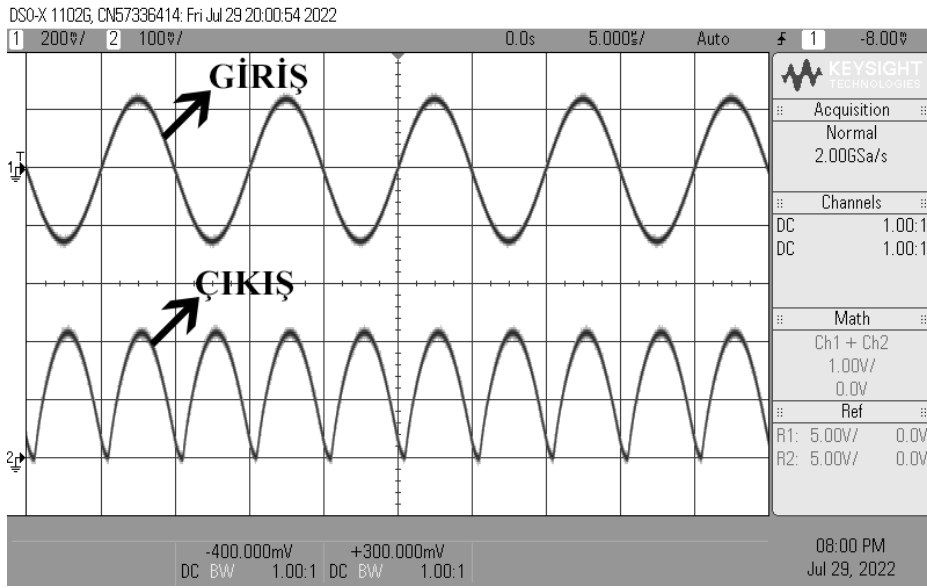
Şekil 6.8: Frekansa karşılık  $p_{DC}$  ve  $p_{RMS}$  sonuçları.

### 6.1.2 Deneysel Sonuçları

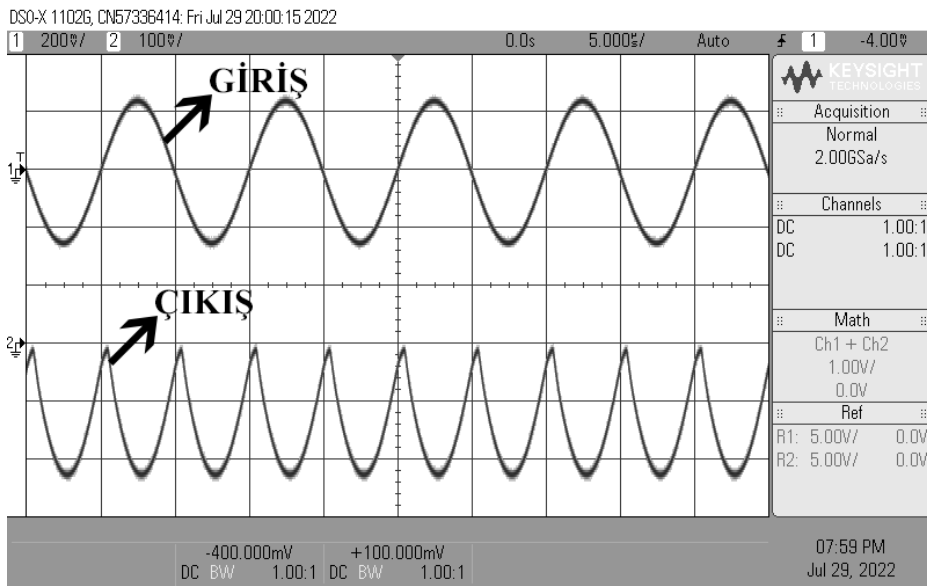
Deneysel olarak, önerilen FWR devresinde kullanılan DO-CCII aktif bloğu yerine üç adet AD844 kullanılmıştır. AD844'ler ve eş dirençler kullanılarak DO-CCII elde edilmesi Şekil 6.9'da gösterilmiştir. Şekil 6.9'da verilen devrede kullanılan eş dirençlerin değerleri  $R_a = R_b = 2.2 k\Omega$  olarak seçilmiştir. Kullanılan tüm AD844'lerin besleme gerilimleri  $\pm 12 V$  olarak seçilmiştir. Şekil 6.1'de verilen önerilen devrenin girişine 250 mV genlikli 100 kHz frekansına sahip sinüsoidal bir gerilim uygulanmıştır. Bununla birlikte, önerilen FWR devresinde kullanılan dirençlerin hepsi 2.2 k $\Omega$  olarak seçilmiştir. Bu durumda, devrenin kazancı 1'e eşittir. Önerilen devrenin pozitif doğrultma yapan birinci çıkışına ait sonuç Şekil 6.10'da gösterilmiş olup negatif doğrultma yapan ikinci çıkışa ait sonuç Şekil 6.11'de verilmiştir.



**Şekil 6.9:** AD844 kullanılarak DO-CCII elde edilmesi.



**Şekil 6.10:** Önerilen DO-CCII tabanlı FWR devresinin birinci çıkışına ait deney sonucu.



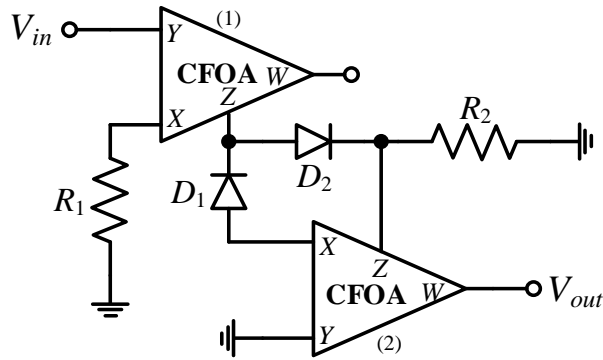
**Şekil 6.11:** Önerilen DO-CCII tabanlı FWR devresinin ikinci çıkışına ait deney sonucu.

## 6.2 CFOA Tabanlı Tam Dalga Doğrultucu Devreleri

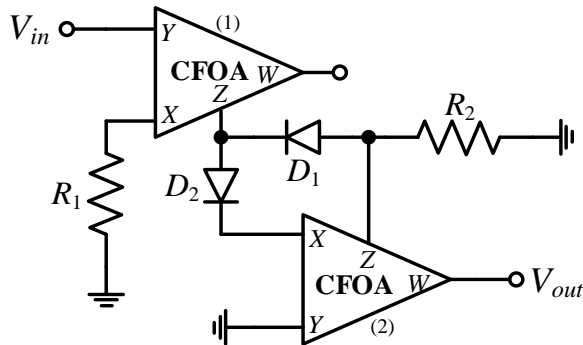
Bu tezde, iki adet CFOA tabanlı FWR devresi önerilmiştir. Önerilen devrelerde ikişer adet benzer aktif blok, ikişer adet topraklanmış direnç ve ikişer adet MMBD101LT1G diyotu kullanılmıştır. Önerilen devrelerin tek çıkışı vardır. Önerilen devrelerden ilki pozitif tam dalga doğrultma çıkışı verirken diğeri negatif tam dalga doğrultma çıkışı vermektedir. Bununla birlikte, önerilen devreler yüksek giriş empedansına, düşük çıkış empedansına ve kazanca sahiptirler.

Önerilen CFOA tabanlı pozitif FWR devresi ve negatif FWR devresi sırasıyla Şekil 6.12 ve Şekil 6.13'te gösterilmiştir. Önerilen devrelerde kullanılan CFOA'ya ait aktif blok sembolü ise Şekil 1.2'de verilmiş olup CFOA'ya ait ideal uç denklemleri eşitlik (6.11)'de verilmiştir.

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \\ V_W \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (6.11)$$



Şekil 6.12: Önerilen CFOA tabanlı pozitif tam dalga doğrultma devresi.



Şekil 6.13: Önerilen CFOA tabanlı negatif tam dalga doğrultma devresi.



Şekil 6.12 ve Şekil 6.13'te verilen önerilen devrelerde, eğer,  $V_{in} > 0$  olursa  $D_2$  diyotu iletimde ve  $D_1$  diyotu kesimde olur. Eğer,  $V_{in} < 0$  olursa  $D_1$  diyotu iletimde ve  $D_2$  diyotu kesimde olur. Bu durumda, önerilen pozitif ve negatif FWR devrelerinin çıkış gerilimleri sırasıyla eşitlik (6.12) ve (6.13)'teki gibi olur.

$$V_{out} = \frac{R_2}{R_1} |V_{in}| \quad (6.12)$$

$$V_{out} = -\frac{R_2}{R_1} |V_{in}| \quad (6.13)$$

Önerilen devrelerde kullanılan CFOA aktif bloğunun parazitik empedansları ve ideal olmayan kazançları dahil edilirse CFOA'ya ait uç denklemi aşağıdaki gibi olur.

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \\ V_W \end{bmatrix} = \begin{bmatrix} sC_Y & 0 & 0 & 0 \\ \beta & R_X & 0 & 0 \\ 0 & \alpha & sC_Z + 1/R_Z & 0 \\ 0 & 0 & \eta & R_W \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \\ I_W \end{bmatrix} \quad (6.14)$$

Burada,  $\beta$  ve  $\eta$  ideal olmayan gerilim kazancı iken  $\alpha$  ideal olmayan akım kazancıdır. Bu kazanç değerleri idealde 1'e eşittir. Ayrıca, eşitlik (6.14)'te verilen parazitik dirençler,  $R_X$  ve  $R_W$ , idealde sifıra ve diğer parazitik direnç,  $R_Z$ , idealde sonsuza eşittir. Bununla birlikte, parazitik kondansatörler,  $C_Y$  ve  $C_Z$ , idealde sifıra eşittir.

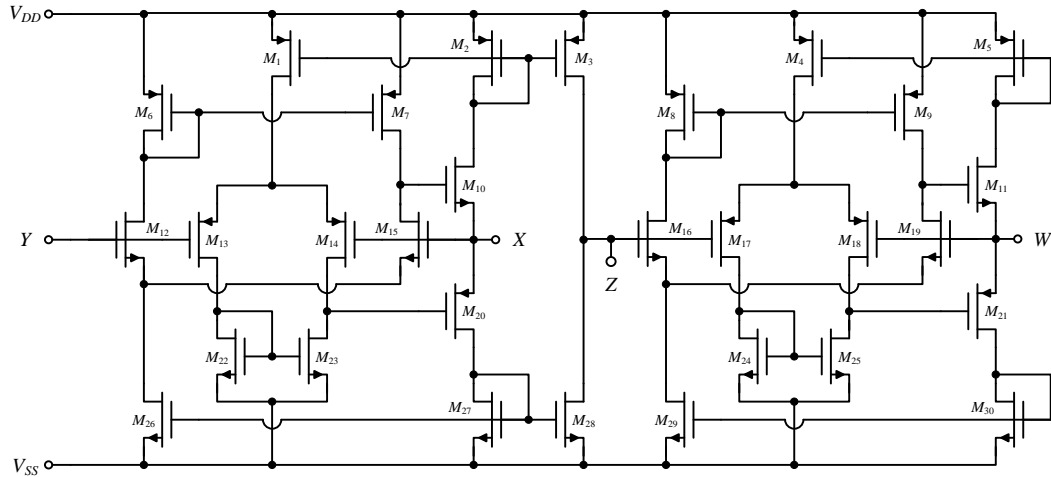
CFOA'ya ait parazitik empedanslar ve ideal olmayan kazançlar dahil edildiğinde ve tüm diyotların ideal oldukları varsayıldığında, eğer,  $V_{in} > 0$  olursa Şekil 6.12 ve Şekil 6.13'teki önerilen devrelerin çıkışlarına ait elde edilen gerilimler sırasıyla eşitlik (6.15) ve (6.16)'daki gibi olur. Eğer,  $V_{in} < 0$  olursa Şekil 6.12 ve Şekil 6.13'teki önerilen devrelerin çıkışlarına ait elde edilen gerilimler sırasıyla eşitlik (6.16) ve (6.15)'teki gibi olur.

$$V_{out} = \frac{\alpha_1 \beta_1 \eta_2 \left( R_2 // R_{Z1} // R_{Z2} // \frac{1}{sC_{Z1}} // \frac{1}{sC_{Z2}} \right)}{R_1 + R_{X1}} V_{in} \quad (6.15)$$

$$V_{out} = - \frac{\alpha_1 \alpha_2 \beta_1 \eta_2 \left( R_2 // R_{Z2} // \frac{1}{sC_{Z2}} \right) \left( R_{Z1} // \frac{1}{sC_{Z1}} \right)}{(R_1 + R_{X1}) \left( \left( R_{Z1} // \frac{1}{sC_{Z1}} \right) + R_{X2} \right)} V_{in} \quad (6.16)$$

### 6.2.1 Benzetim Sonuçları

Şekil 6.12 ve Şekil 6.13'te önerilen CFOA tabanlı tam dalga doğrultucu devrelerinde kullanılan CFOA aktif bloğuna ait içyapı (Arslan ve Morgul 2008)'in çalışmasında verilen devreden türetilmiş ve türetilen içyapı Şekil 6.14'te gösterilmiştir. Önerilen devrelerde kullanılan CFOA'nın içyapısında kullanılan MOS transistörlere ait en boy oranları Tablo 6.3'te verilmiştir. İçyapının besleme gerilimleri,  $V_{DD} = -V_{SS} = 1.25$  V olarak seçilmiştir. Bununla birlikte, içyapıdaki MOS transistörler için  $0.18 \mu\text{m}$  TSMC CMOS teknoloji parametreleri kullanılmıştır (Rabaey 2008). Bu değerler altında CFOA'ya ait içyapının elde edilen parazitik empedans ve ideal olmayan kazanç değerleri Tablo 6.4'te verilmiştir.



Şekil 6.14: MOS transistör tabanlı CFOA içyapısı.

Tablo 6.3: CFOA içyapısındaki MOS transistörlere ait en boy oranları.

	MOS Transistörler	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
PMOS Transistörler	$M_1-M_9, M_{13}, M_{14}, M_{17}, M_{18}, M_{20}, M_{21}$	40	0.5
NMOS Transistörler	$M_{10}-M_{12}, M_{15}, M_{16}, M_{19}, M_{22}-M_{30}$	10	

**Tablo 6.4:** CFOA içyapısına ait parazitik empedans ve ideal olmayan kazanç değerleri.

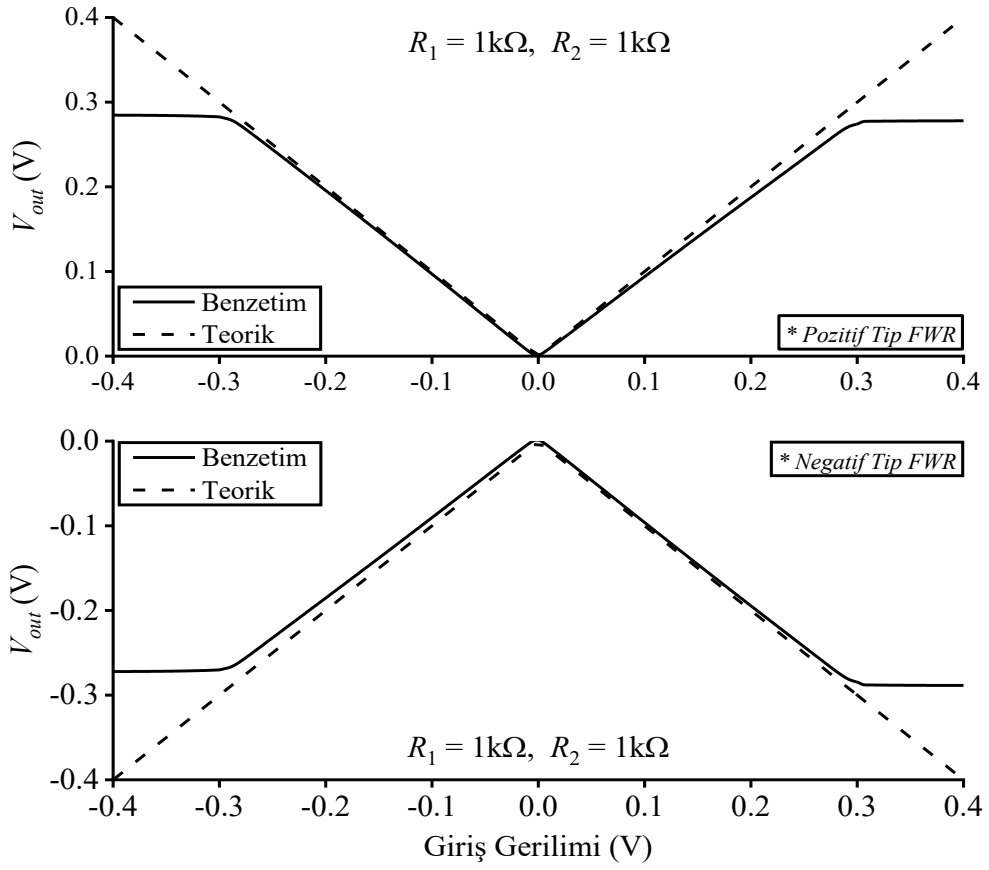
<b>CFOA'ya Ait Parazitik Empedans Değerleri</b>		
$R_X \cong 2 \Omega$	$R_W \cong 2 \Omega$	$R_Z \cong 66 \text{ k}\Omega$
$C_Y \cong 37 \text{ fF}$		$C_Z \cong 72 \text{ fF}$
<b>CFOA'ya Ait İdeal Olmayan Kazanç Değerleri</b>		
$\alpha_0 = 1.0343$	$\beta_0 = 0.986$	$\eta_0 = 0.986$
$f_a \cong 220 \text{ MHz}$	$f_\beta \cong 820 \text{ MHz}$	$f_\eta \cong 840 \text{ MHz}$

Simülasyonlar, SPICE programı aracılığı ile yapılmıştır. Tüm benzetimlerde diyotların yerine MMBD101LT1G diyotları kullanılmıştır. Diyotlara ait SPICE parametreleri üretici firmanın web sitesinden alınmıştır. Şekil 6.12 ve Şekil 6.13'te verilen, önerilen CFOA tabanlı FWR devrelerine ait DC analiz sonuçları Şekil 6.15'te gösterilmiştir. DC analiz sırasında her iki devrenin girişine -0.4 V ile 0.4 V arasında 1 mV aralıklar ile DC gerilim verilmiştir. Bununla birlikte, önerilen devrelerde kullanılan dirençlerin değerleri  $R_1 = R_2 = 1 \text{ k}\Omega$  olarak seçilmiştir.

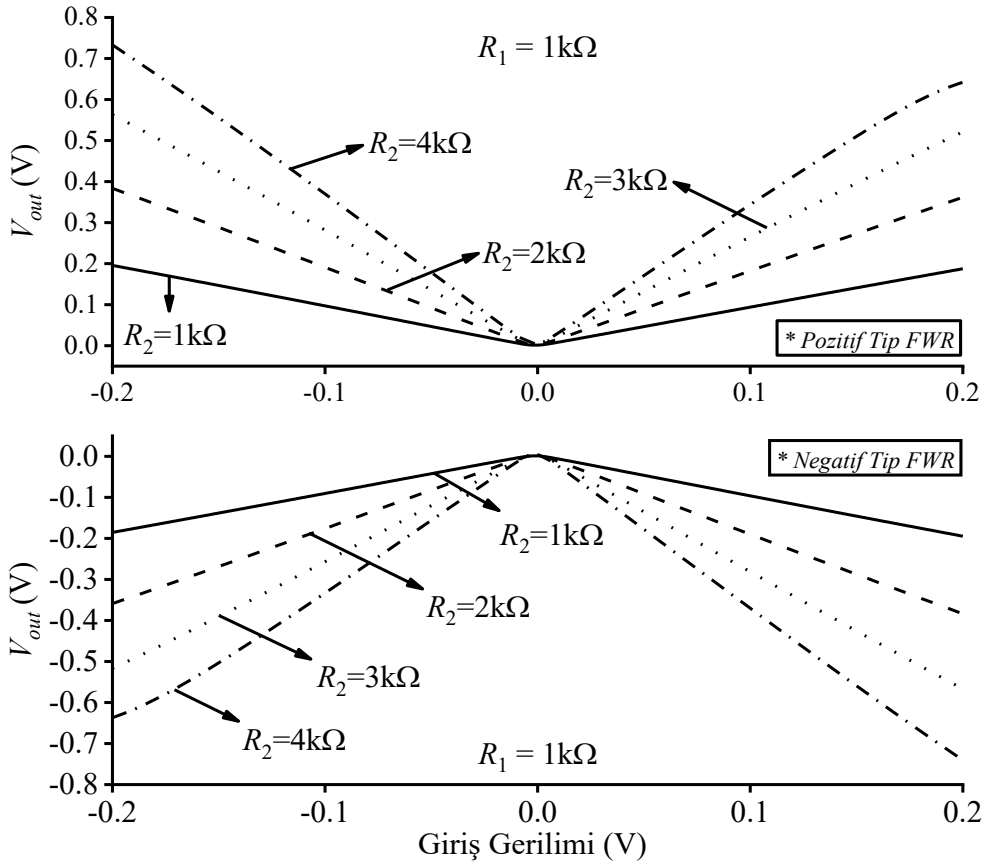
Farklı kazançlarda önerilen devrelere ait DC analiz sonuçları Şekil 6.16'da gösterilmiştir. Bu analizlerde, farklı kazanç değerleri elde etmek için  $R_1$  direncinin değeri sabit tutulurken  $R_2$  direncinin değeri değiştirilmiştir. Analizlerde,  $R_1 = 1 \text{ k}\Omega$  olarak seçilmiş olup,  $R_2$  dirençleri sırasıyla 1 k $\Omega$ , 2 k $\Omega$ , 3 k $\Omega$  ve 4 k $\Omega$  olarak alınmıştır. Devreye uygulanan giriş gerilimi ise -0.2 V ile 0.2 V arasında 1 mV'luk artış ile değiştirilmiştir.

Önerilen CFOA tabanlı FWR devrelerinin sıcaklık analizleri -30°C ile 120°C arasında 30°C'lik artışlar ile yapılmıştır. Bununla birlikte sıcaklık analizi, devrelere uygulanan giriş gerilimi -0.4 V ile 0.4 V arasında 1 mV'luk artış ile değiştirilerek yapılmıştır. Ayrıca, devrelerde kullanılan dirençlerin her ikisi de 1 k $\Omega$  seçilmiştir. Bu durumda, kazanç bir olarak elde edilmiştir. Elde edilen sonuçlar, Şekil 6.17'de verilmiştir.

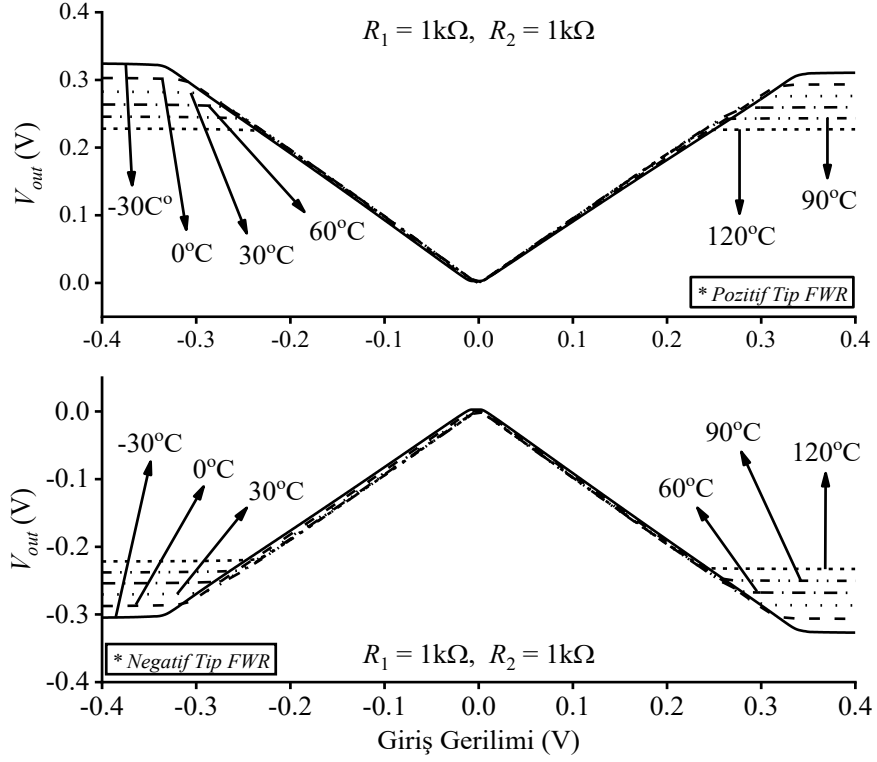
Önerilen CFOA tabanlı FWR devrelerinin zaman ortamı analizleri de yapılmıştır. Zaman ortamı analizlerinde, her iki devrenin girişine 250 mV genliğe sahip sinüsoidal bir gerilim uygulanmıştır. Uygulanan giriş geriliminin frekansı 100 kHz seçilmiş ve elde edilen çıkış gerilimleri Şekil 6.18'de gösterilmiştir. Aynı şekilde, uygulanan giriş geriliminin frekansı 1 MHz seçilmiş ve elde edilen çıkış gerilimleri Şekil 6.19'da verilmiştir.



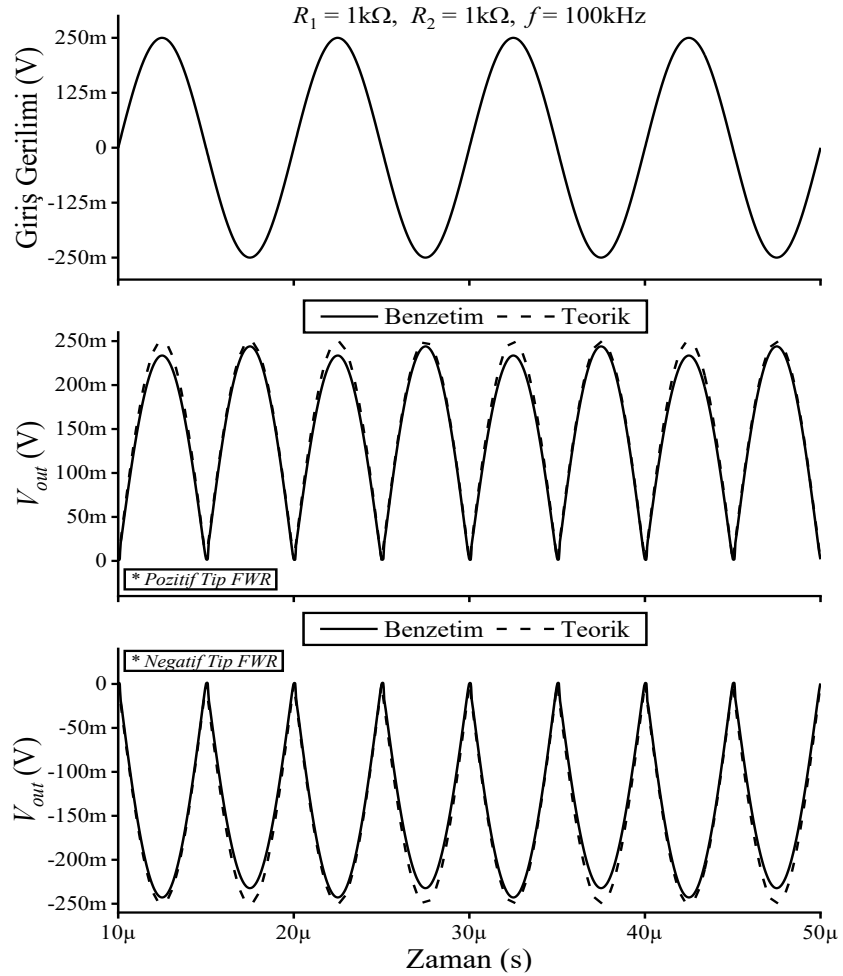
Şekil 6.15: Önerilen CFOA tabanlı devrelerin DC analiz sonuçları.



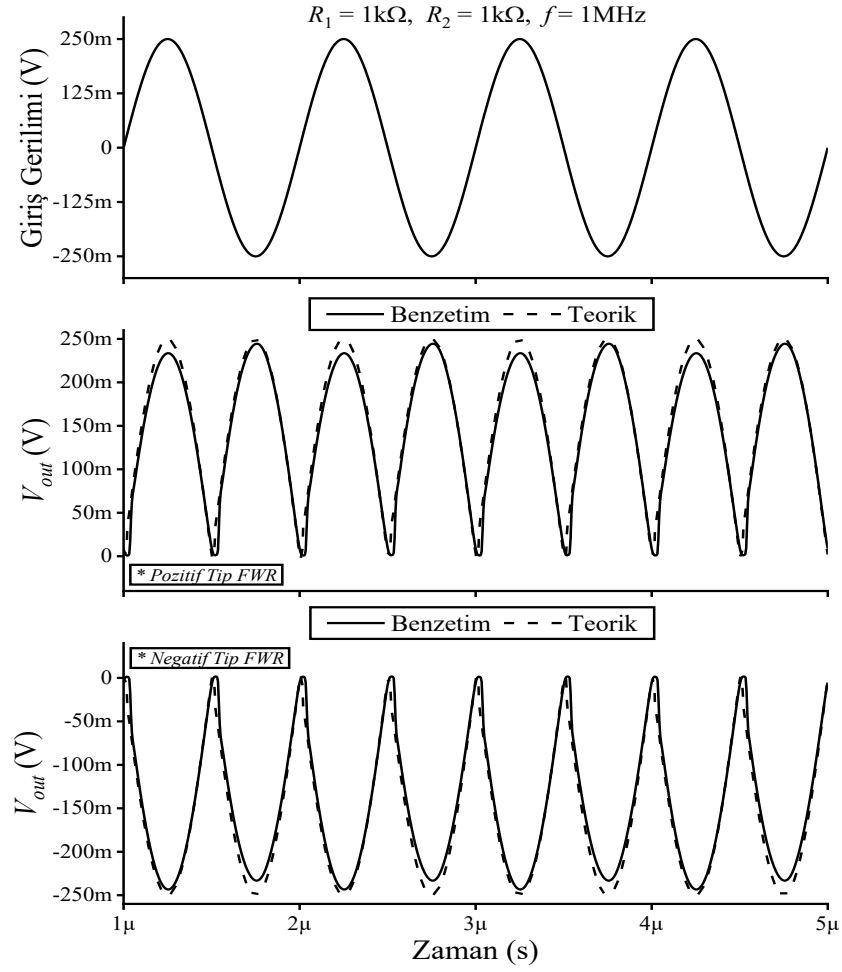
Şekil 6.16: Önerilen CFOA tabanlı devrelerin farklı kazançlarda DC analiz sonuçları.



Şekil 6.17: Önerilen CFOA tabanlı devrelerin sıcaklık analizi sonuçları.



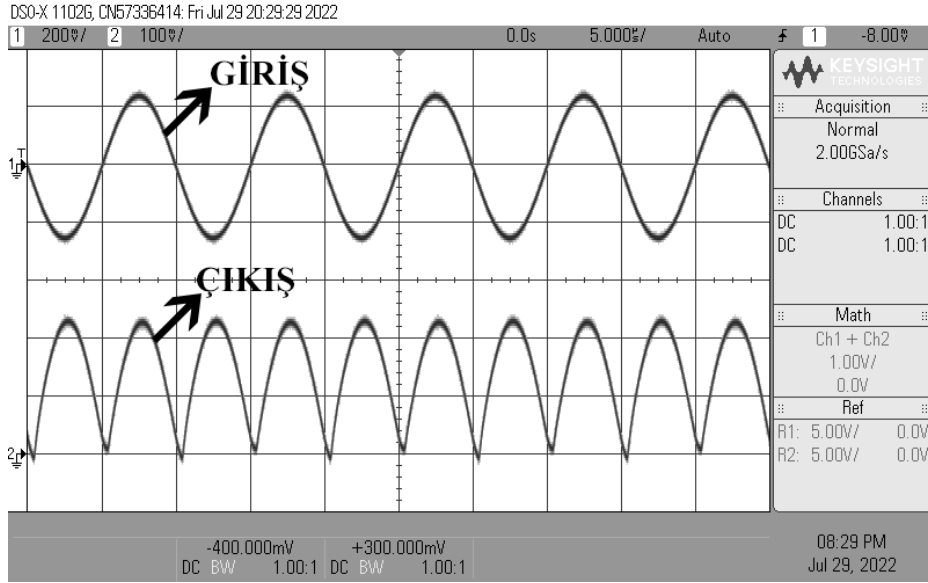
Şekil 6.18: Önerilen CFOA tabanlı devrelerinin 100 kHz frekansında zaman analizi sonuçları.



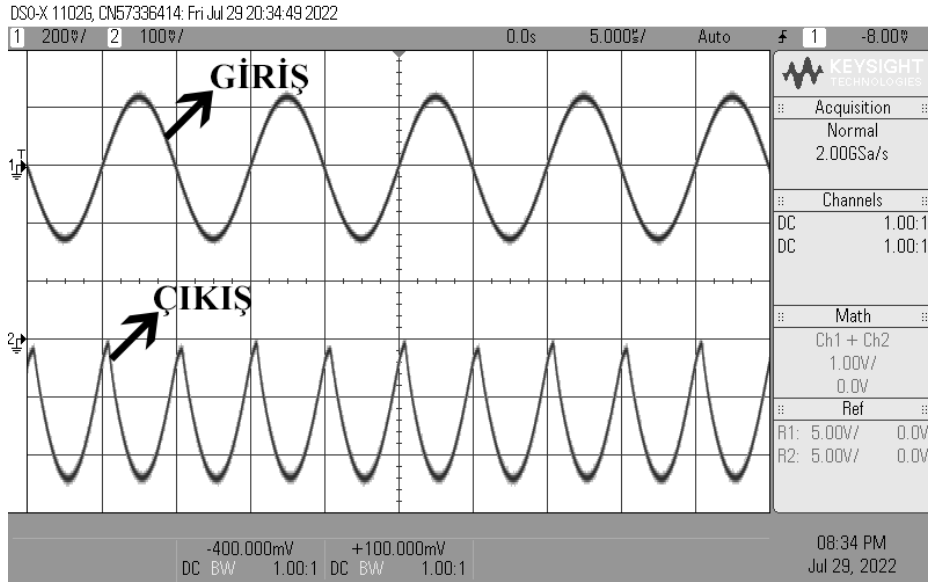
Şekil 6.19: Önerilen CFOA tabanlı devrelerinin 1 MHz frekansında zaman analizi sonuçları.

### 6.2.2 Deney Sonuçları

Şekil 6.12 ve Şekil 6.13'te önerilen FWR devrelerinde kullanılan CFOA'lar yerine AD844'ler kullanılmıştır. AD844, CFOA aktif bloğunun ticari olarak üretilmiş halidir ve tek bir CFOA yerine tek bir AD844 kullanılması yeterlidir. Devrelerde kullanılan tüm AD844'lerin besleme gerilimleri  $\pm 12$  V olarak seçilmiştir. Şekil 6.12 ve Şekil 6.13'te gösterilen, önerilen devrelerin girişlerine 250 mV genlikli 100 kHz frekansına sahip sinüsoidal bir gerilim uygulanmıştır. Önerilen devrelerde kullanılan dirençlerin hepsi 2.2 k $\Omega$  olarak seçilmiştir. Bu durumda, devrelerin kazancı bire eşittir. Şekil 6.12'de verilen, pozitif tip CFOA tabanlı devresinin çıkışına ait deney sonucu Şekil 6.20'de gösterilmiştir. Bununla beraber, Şekil 6.13'te verilen, negatif tip CFOA tabanlı devresinin çıkışına ait deney sonucu Şekil 6.21'de verilmiştir.



Şekil 6.20: Önerilen pozitif tip CFOA tabanlı FWR devresinin çıkışına ait deney sonucu.



Şekil 6.21: Önerilen negatif tip CFOA tabanlı FWR devresinin çıkışına ait deney sonucu.

## 7. CCII TABANLI FREKANS BAĞIMLI YÜZEN NEGATİF DİRENÇ DEVRESİ

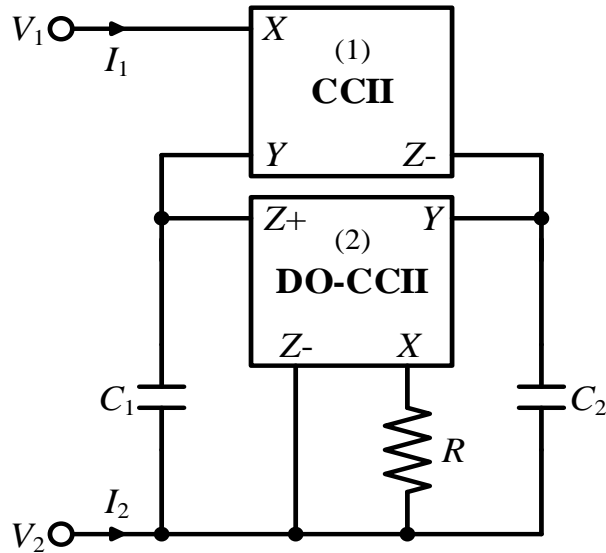
Literatürde, yer alan bobin simülâtör devrelerinde  $R-C$  ve  $C-R$  deęişiklikleri yapılarak frekansa baęımlı negatif direnç devreleri (FDNR) devreleri elde edilebilmektedir. Bununla birlikte, çeşitli aktif bloklar kullanılarak gerçekleştirilen FDNR devreleri de vardır. Bunlar; CCII veya CCCII kullanılarak tasarlanan devreler (Higashimura ve Fukui 1986, 1987, Kiranon ve Pawarangkoon 1997, Layos ve Haritantis 1997, Nandi ve dięerleri 1983, 1984, P.V. Ananda Mohan 1998, Pal 1981<sup>a, b</sup>, 1989, Senani 1980<sup>a</sup>, 1984, 1986<sup>b</sup>, Soliman ve Saad 2010, Yuce ve dięerleri 2006<sup>a, b, d</sup>), DVCC kullanılarak yapılan devre (Pal 1989) ve CFOA kullanılarak gerçekleştirilen devrelerdir (Abuelma'atti ve Dhar 2016, Alpaslan ve dięerleri 2022, Chang ve dięerleri 1994, Senani ve Bhaskar 2012). Bu devrelerin bazı dezavantajları bulunmaktadır: Verilen birçok devrede ikiden fazla aktif blok kullanılmıştır (Abuelma'atti ve Dhar 2016, Alpaslan ve dięerleri 2022, Chang ve dięerleri 1994, Higashimura ve Fukui 1986, 1987, Kiranon ve Pawarangkoon 1997, Layos ve Haritantis 1997, Nandi ve dięerleri 1983, 1984, Pal 1981<sup>a, b</sup>, Senani 1980<sup>a</sup>, Soliman ve Saad 2010, Yuce ve dięerleri 2006<sup>a, b, d</sup>). Tasarlanan bazı devrelerde birden fazla direnç kullanılmıştır (Senani 1984, 1986<sup>b</sup>, Senani ve Bhaskar 2012, Yuce ve dięerleri 2006<sup>b</sup>). Literatürde verilen (Pal 1981<sup>a, b</sup>, Senani ve Bhaskar 2012)'de yer alan devreler ise ikiden fazla kondansatör ile gerçekleştirilebilmekte ve bu devrelerde pasif eleman eşleme problemi bulunmaktadır. Bununla birlikte, (Abuelma'atti ve Dhar 2016, Chang ve dięerleri 1994, Kiranon ve Pawarangkoon 1997, Layos ve Haritantis 1997, P.V. Ananda Mohan 1998, Pal 1981<sup>a, b</sup>, 1989, Senani 1986<sup>b</sup>, 1980<sup>a</sup>, 1984, Senani ve Bhaskar 2012, Yuce ve dięerleri 2006<sup>d</sup>)'de yer alan FDNR devreleri elektronik olarak ayarlanabilirlik özelliğine sahip deęildir. Ayrıca, (Kiranon ve Pawarangkoon 1997) ve (Yuce ve dięerleri 2006<sup>d</sup>)'de yer alan FDNR devrelerinde kullanılan aktif blokların içyapısında BJT'lerin kullanılması sebebi ile bu devrelerin sıcaklığa karşı hassasiyetleri vardır. Ek olarak, önerilen bazı devrelerde kullanılan aktif blokların  $X$  terminallerine seri bir kondansatör bağlanmıştır (Abuelma'atti ve Dhar 2016, Chang ve dięerleri 1994, Kiranon ve Pawarangkoon 1997, Layos ve Haritantis 1997, P.V. Ananda Mohan 1998, Pal



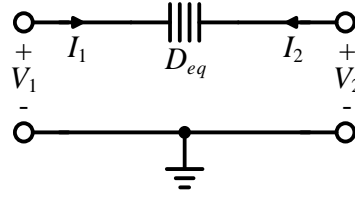
1981<sup>a, b</sup>, 1989, Senani 1980<sup>a</sup>, Senani ve Bhaskar 2012, Yuce ve diğeri 2006<sup>a, d</sup>). Dolayısı ile bu devrelerin yüksek frekanslarda sınırlamaları bulunmaktadır (Yuce ve Minaei 2008<sup>b</sup>).

Bu tezde, CCII tabanlı kayıpsız yüzen FDNR devresi önerilmiştir (Yucehan ve diğeri 2022). Önerilen devrede iki adet aktif blok vardır. Bunlar: CCII- ve DO-CCII aktif bloklardır. Önerilen devrenin çalışabilmesi için, önerilen devrede yer alan DO-CCII aktif bloğunun negatif Z terminaline (Z-) ait akım kazancı iki olmalıdır. Önerilen devrenin amaçlarından biri de minimum sayıda pasif eleman kullanmaktır. Bir diğeri ifade ile, önerilen devre bir adet direnç ve iki adet kondansatör ile tasarlanmıştır. Önerilen FDNR devresinde herhangi bir pasif eleman eşlemesine ihtiyaç duyulmamaktadır. Bununla birlikte, önerilen devrede yer alan aktif blokların CCCII'lar ile değiştirilmesi ile kolaylıkla elektronik olarak ayarlanabilir FDNR devresi elde edilebilmektedir.

Önerilen kayıpsız yüzen FDNR devresi, Şekil 7.1'de verilmiştir. Önerilen FDNR devresine ait eşdeğer devre ise Şekil 7.2'de belirtilmiştir. Önerilen devrede kullanılan CCII-, Z+ ucu topraklanmış DO-CCII kullanılarak elde edilebilmektedir. DO-CCII'a ait aktif blok sembolü Şekil 3.2'de gösterilmiştir. Bununla birlikte, DO-CCII aktif bloğuna ait uç denklemleri eşitlik (3.1)'de verilmiştir.



Şekil 7.1: Önerilen frekansa bağımlı kayıpsız yüzen negatif direnç devresi.



Şekil 7.2: Önerilen FDNR devresinin eşdeğer devresi.

Eşitlik (3.1)'de,  $\beta$  ve  $\alpha$  ideal olarak bire eşitken, CCII- ve DO-CCII için  $\gamma$  sırasıyla ideal olarak bire ve ikiye eşittir. Şekil 7.1'de verilen, önerilen devreye ait giriş çıkış matris denklemi ideal olarak eşitlik (7.1)'deki gibi elde edilir.

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = s^2 C_1 C_2 R \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = s^2 D_{eq} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (7.1)$$

Burada, eşdeğer frekansa bağımlı negatif direnç ( $D_{eq}$ ) değeri,  $D_{eq} = C_1 C_2 R$  olarak elde edilmiştir. Önerilen devrede kullanılan aktif blokların ideal olmayan kazançları dahil edilirse, önerilen devreye ait giriş çıkış matris denklemi eşitlik (7.2)'deki gibi olur.

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{s}{\alpha_2 \beta_1 \beta_2} \begin{bmatrix} \frac{s C_1 C_2 R}{\gamma_1} & \frac{-\beta_1 (s C_1 R + \alpha_2 (\beta_2 - 1)) C_2}{\gamma_1} \\ -(s C_2 R + \beta_2 (1 + \alpha_2 - \gamma_2)) C_1 & \alpha_2 \beta_1 (\beta_2 - 1) C_2 + \beta_1 (s C_2 R + \beta_2 (1 + \alpha_2 - \gamma_2)) C_1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (7.2)$$

## 7.1 Benzetim Sonuçları

Şekil 7.1'de verilen, önerilen CCII tabanlı kayıpsız yüzen FDNR devresinde kullanılan DO-CCII aktif bloğuna ait içyapı (Hassanein ve diğerleri 2005) çalışmasından türetilmiştir. Türetilen içyapı Şekil 3.4'te verilmiştir. Önerilen devrede kullanılan CCII-,  $Z^+$  ucu topraklanmış DO-CCII kullanılarak elde edilmiştir. Tasarlanan devrede kullanılan CCII- ve DO-CCII aktif bloklarının içyapısında kullanılan MOS transistörlere ait en boy oranları sırasıyla Tablo 7.1 ve Tablo 7.2'de verilmiştir. Her iki aktif bloğun içyapısında kullanılan besleme gerilimleri,  $V_{DD} = -V_{SS} = 1.25$  V olarak seçilmiş ve içyapılarda kullanılan kutuplama gerilimleri ise  $V_{B1} = -0.25$  V ve  $V_{B2} = -0.62$  V olarak seçilmiştir. Bununla birlikte, içyapıdaki MOS transistörler için  $0.18 \mu\text{m}$  TSMC CMOS teknoloji parametreleri kullanılmıştır (Minaei ve Yuce 2010). Bu değerler altında, CCII- ve DO-CCII'a ait içyapının elde edilen ideal olmayan kazanç değerleri Tablo 7.3'te verilmiştir.

**Tablo 7.1:** CCII- içyapısındaki MOS transistörlere ait en boy oranları.

	MOS Transistörler	W (µm)	L (µm)
PMOS Transistörler	$M_1-M_3, M_{16}$	6	0.5
	$M_4-M_{15}$	4	
NMOS Transistörler	$M_{17}, M_{20}, M_{21}, M_{23}-M_{27}, M_{29}-M_{33}$	1	
	$M_{18}, M_{19}$	6	
	$M_{22}, M_{28}$	12	

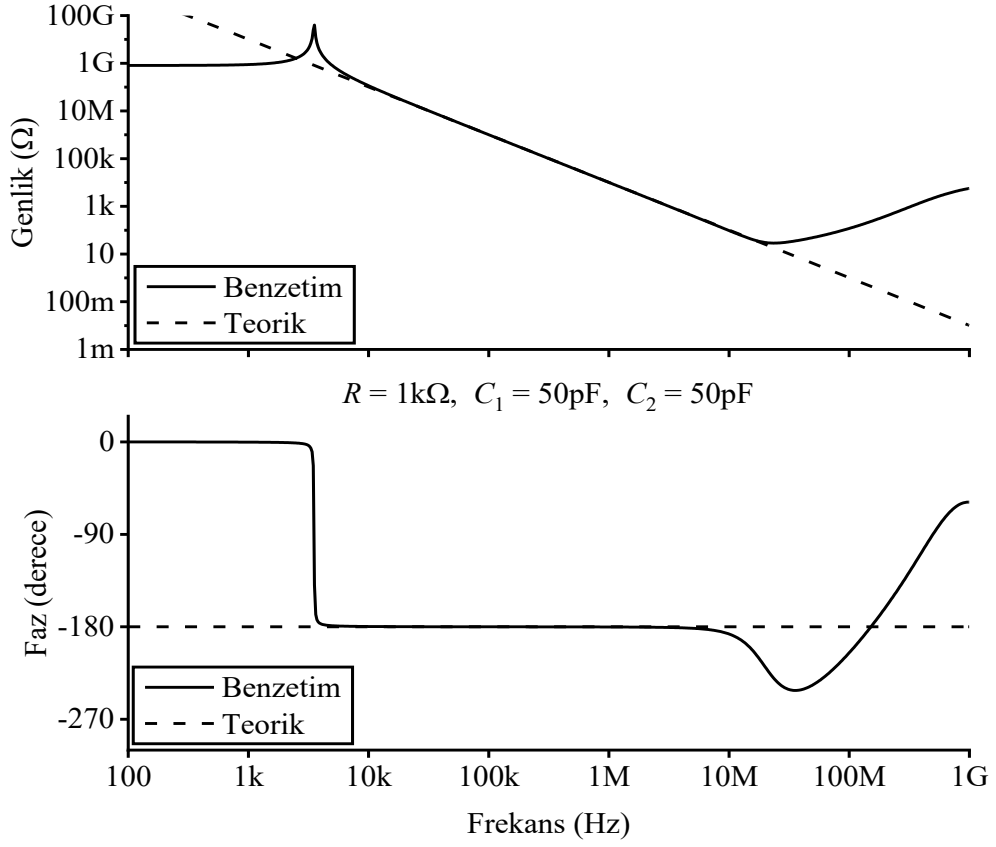
**Tablo 7.2:** DO-CCII içyapısındaki MOS transistörlere ait en boy oranları.

	MOS Transistörler	W (µm)	L (µm)
PMOS Transistörler	$M_1-M_3, M_{16}$	6	0.5
	$M_4-M_8, M_{10}-M_{14}$	4	
	$M_9, M_{15}$	8	
NMOS Transistörler	$M_{17}, M_{20}, M_{21}, M_{23}-M_{26}, M_{29}-M_{32}$	1	
	$M_{18}, M_{19}$	6	
	$M_{22}, M_{28}$	12	
	$M_{27}, M_{33}$	2	

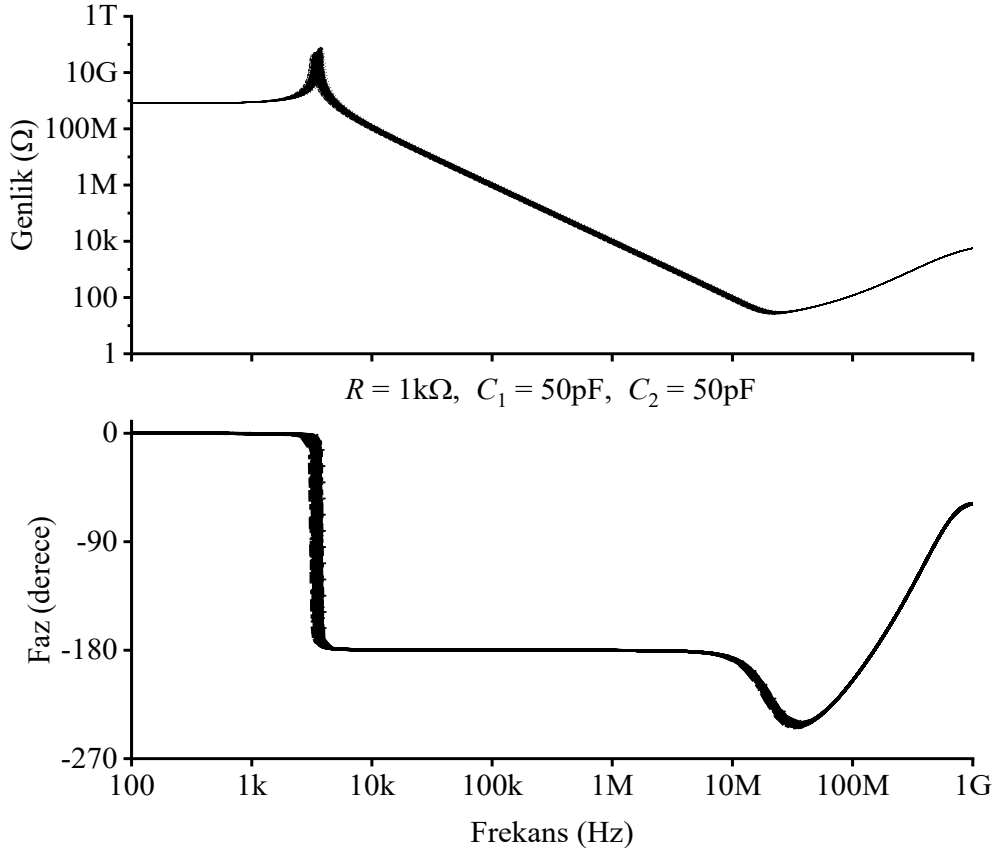
**Tablo 7.3:** CCII- ve DO-CCII içyapısına ait ideal olmayan kazanç değerleri.

CCII- Aktif Bloğuna Ait İdeal Olmayan Kazanç Değerleri		
$\alpha_0 = 1$	$\beta_0 = 1$	$\gamma_0 = 0.9995$
$f_\alpha \cong 660$ MHz	$f_\beta \cong 1.22$ GHz	$f_\gamma \cong 495$ MHz
DO-CCII Aktif Bloğuna Ait İdeal Olmayan Kazanç Değerleri		
$\alpha_0 = 1$	$\beta_0 = 1$	$\gamma_0 = 1.907$
$f_\alpha \cong 660$ MHz	$f_\beta \cong 1.22$ GHz	$f_\gamma \cong 402$ MHz

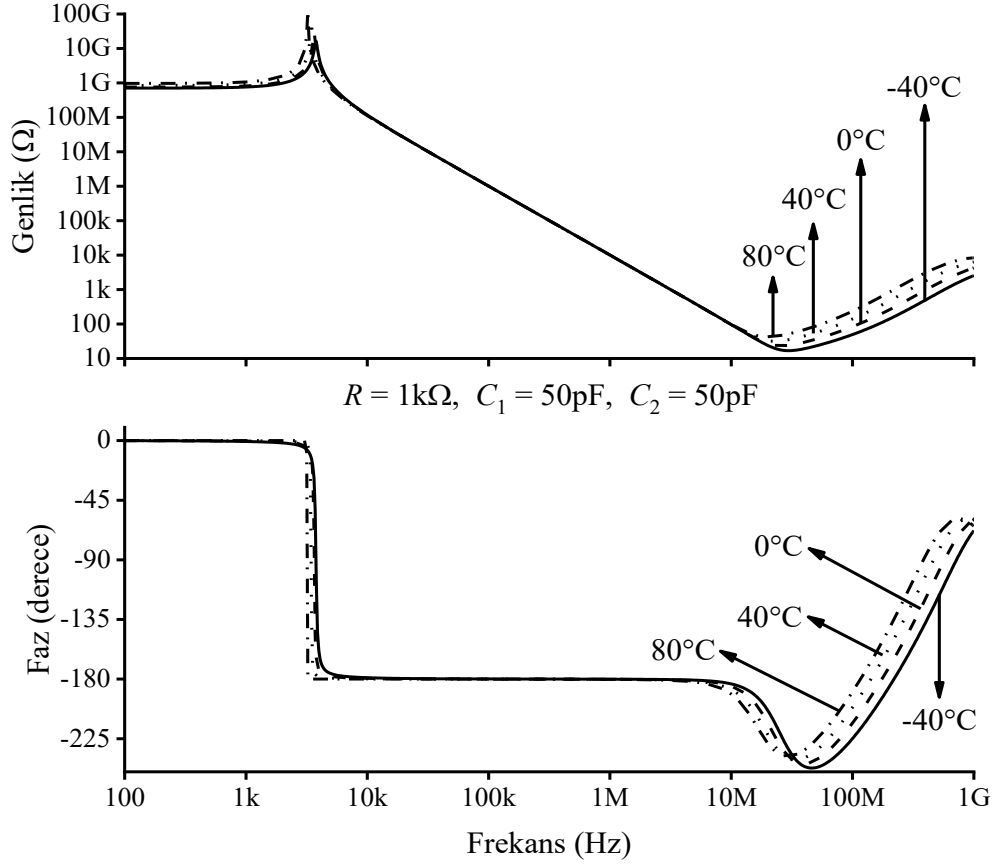
Simülasyonlar, SPICE programı aracılığı ile yapılmıştır. Tüm simülasyonlarda Şekil 7.1’de verilen devredeki pasif elemanların değerleri  $R = 1$  k $\Omega$  ve  $C_1 = C_2 = 50$  pF olarak seçilmiştir. Bu değerler altında, elde edilen ideal  $D_{eq}$ ,  $0.25 \times 10^{-17}$  Fs olarak hesaplanmıştır. Önerilen FDNR devresine ait genlik ve faz cevapları, teorik sonuçlarla karşılaştırmalı olarak Şekil 7.3’te verilmiştir. Önerilen devrenin MC analizi 200 örnekleme ile pasif elemanlarda eş dağılımlı %10 değişim ile yapılmıştır. Elde edilen sonuçlar, Şekil 7.4’te gösterilmiştir. Bununla birlikte, önerilen devrenin sıcaklık analizi -40°C ile 80°C arasında yapılmış olup analiz sonuçları Şekil 7.5’te verilmiştir. Önerilen FDNR devresinde kullanılan aktif blokların besleme gerilimleri  $\pm 1.25$  V ile  $\pm 1.5$  V arasında değiştirildiğinde elde edilen frekans cevabı sonuçları Şekil 7.6’da gösterilmiştir. Ek olarak, önerilen FDNR devresinde  $R$  direncinin değeri değiştirilerek farklı  $D_{eq}$  değerleri için devrenin frekans ortamı analizleri yapılmıştır. Bu analize ait sonuçlar ise Şekil 7.7’de gösterilmiştir. Önerilen FDNR devresinin güç tüketimi SPICE programı aracılığı ile 1.08 mW olarak hesaplanmıştır.



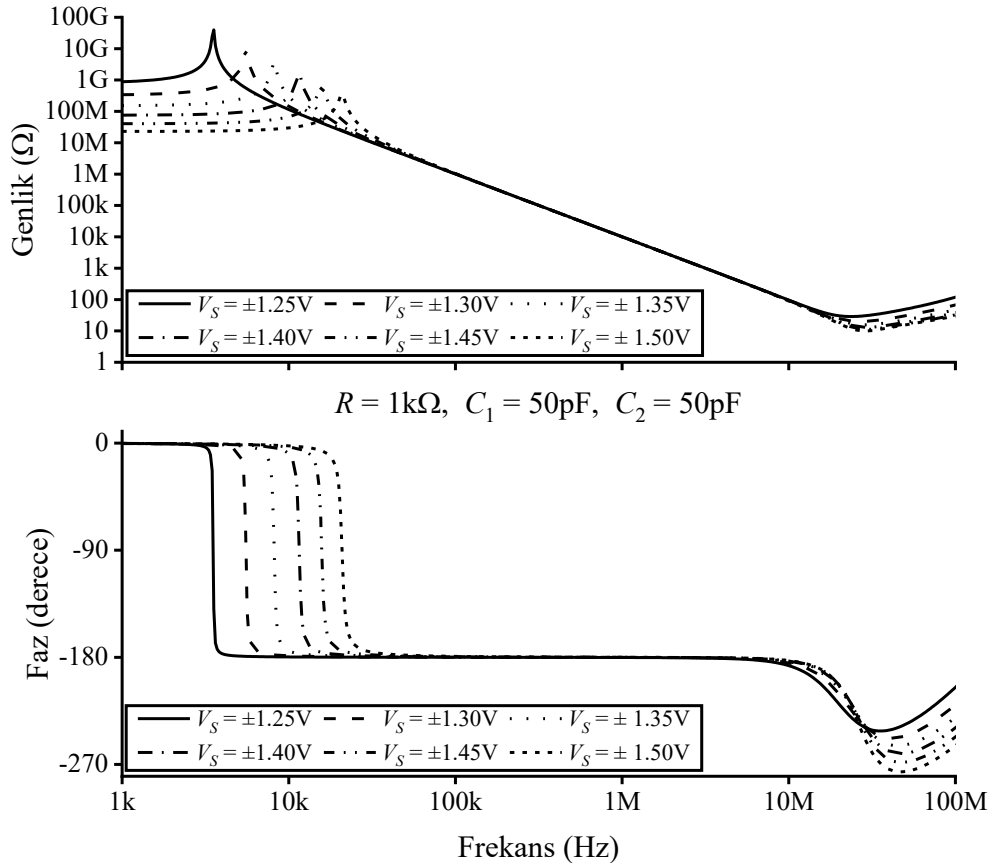
Şekil 7.3: Önerilen FDNR devresine ait frekans cevabı sonuçları.



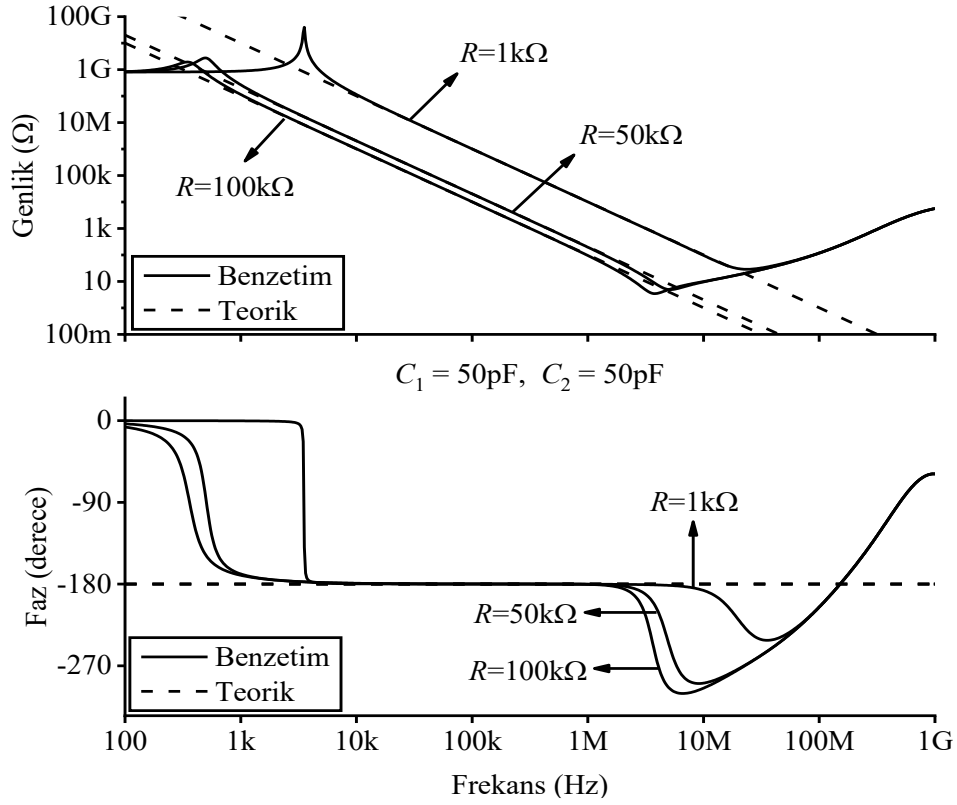
Şekil 7.4: Önerilen FDNR devresine ait Monte Carlo analizi sonuçları (Tüm pasif elemanlarda eş dağılımlı %10 değişim ile yapılmıştır).



Şekil 7.5: Önerilen FDNR devresine ait sıcaklık analizi sonuçları.



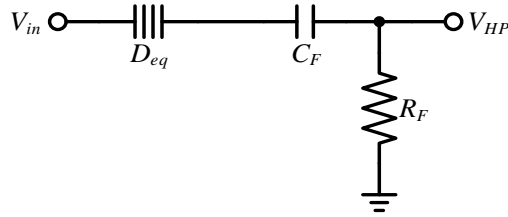
Şekil 7.6: Önerilen FDNR devresine ait farklı besleme gerilimleri için frekans cevabı sonuçları.



Şekil 7.7: Önerilen FDNR devresine ait farklı direnç değerleri için frekans cevabı sonuçları.

## 7.2 Uygulama Devresi

Uygulama devresi olarak ikinci dereceden HP süzgeç devresi kullanılmıştır. Uygulama devresi Şekil 7.8’de verilmiştir. Süzgeç devresine ait elde edilen TF,  $f_0$  ve  $Q$  sırasıyla eşitlikler (7.3), (7.4) ve (7.5)’te belirtilmiştir.



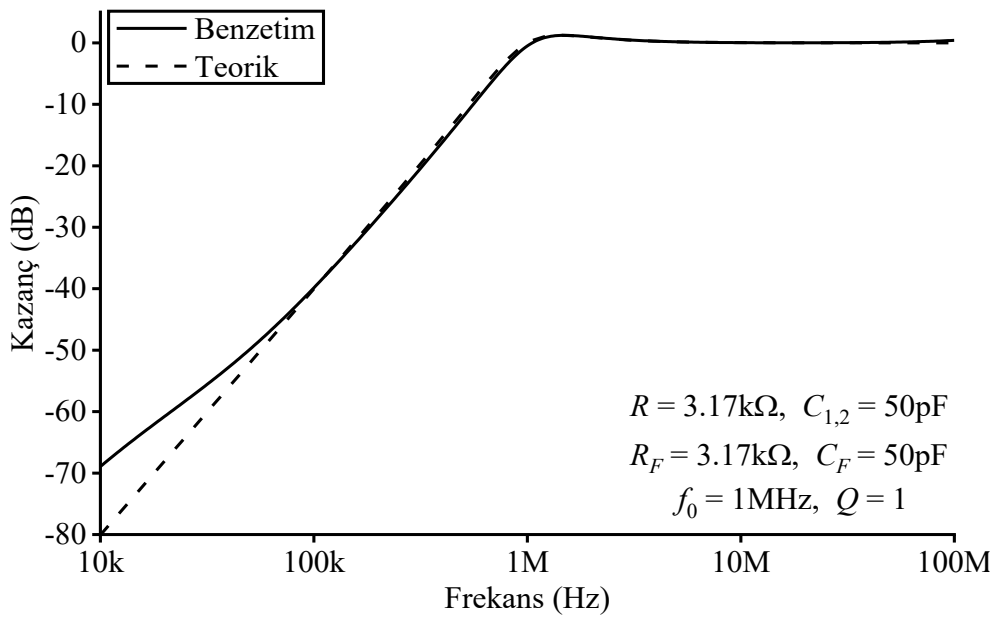
Şekil 7.8: İkinci dereceden yüksek geçiren süzgeç devresi.

$$\frac{V_{HP}}{V_{in}} = \frac{s^2}{s^2 + \frac{s}{C_F R_F} + \frac{1}{D_{eq} R_F}} \quad (7.3)$$

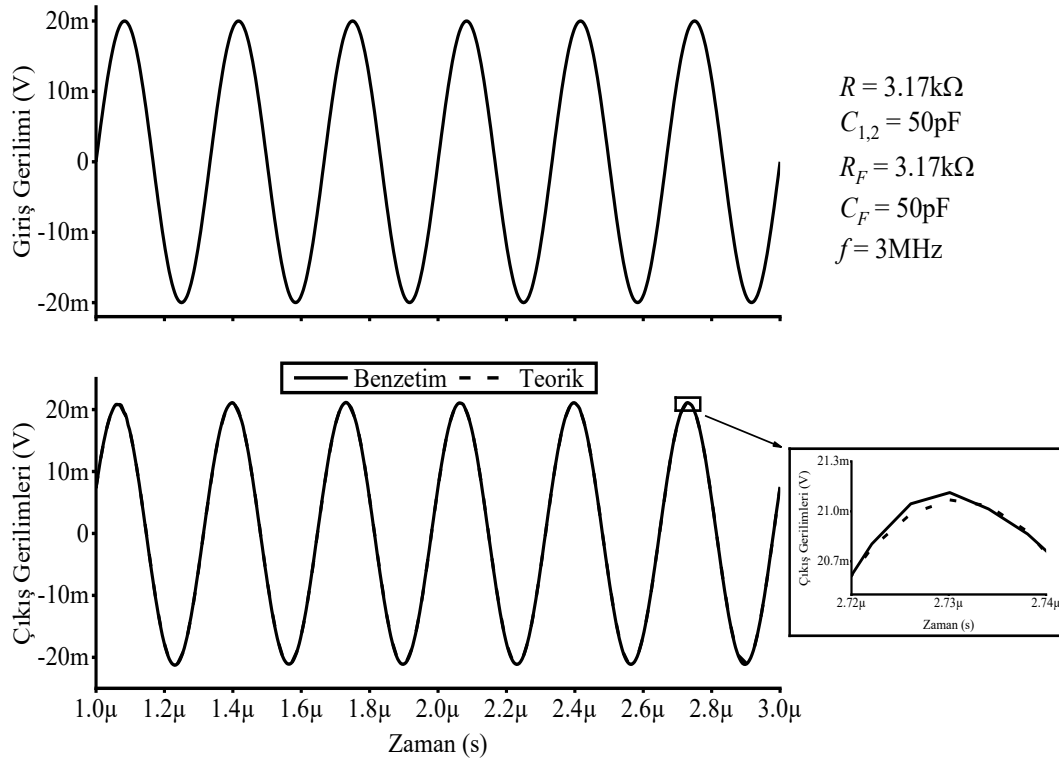
$$f_0 = \frac{1}{2\pi} \frac{1}{\sqrt{D_{eq} R_F}} \quad (7.4)$$

$$Q = C_F \sqrt{\frac{R_F}{D_{eq}}} \quad (7.5)$$

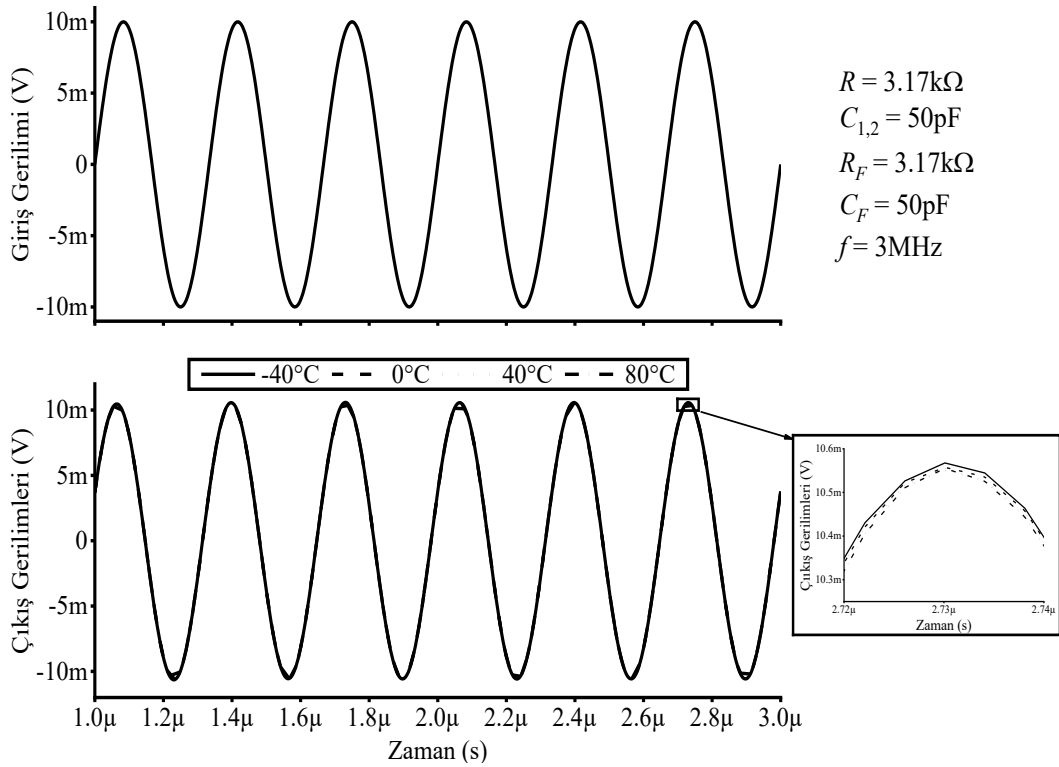
Uygulama devresine ait benzetimler sırasında uygulama devresinde yer alan pasif elemanlar  $R_F$  ve  $C_F$  sırasıyla  $3.17 \text{ k}\Omega$  ve  $50 \text{ pF}$  olarak seçilmiştir. Ayrıca, uygulama devresinde yer alan FDNR yerine Şekil 7.1’de önerilen devre kullanılmıştır. Uygulama devresi için önerilen FDNR devresindeki pasif elemanlar  $R = 3.17 \text{ k}\Omega$  ve  $C_1 = C_2 = 50 \text{ pF}$  olarak seçilmiştir. Bu değerler altında,  $D_{eq} = 0.79 \times 10^{-17} \text{ Fs}$ ,  $f_0 = 1 \text{ MHz}$  ve  $Q = 1$  olarak elde edilmiştir. Uygulama devresine ait AC benzetim ve teorik sonuçlar karşılaştırmalı olarak Şekil 7.9’da gösterilmiştir. Bununla birlikte, uygulama devresine ait zaman ortamı analizleri, giriş genliği  $20 \text{ mV}$  ve frekansı  $3 \text{ MHz}$  olan sinüsoidal bir sinyal uygulanarak yapılmıştır. Elde edilen sonuçlar, Şekil 7.10’da verilmiştir. Uygulama devresine ait sıcaklık analizleri hem zaman ortamında hem de frekans ortamında yapılmıştır. Zaman ortamında yapılan sıcaklık analizi için giriş  $10 \text{ mV}$  genliğinde  $3 \text{ MHz}$  frekansında sinüsoidal bir sinyal uygulanmıştır. Elde edilen sıcaklık analizi sonuçları zaman ortamı için Şekil 7.11’de verilirken frekans ortamı için Şekil 7.12’de gösterilmiştir. AC MC analizleri  $200$  örnekleme için pasif elemanlarda eş dağılımlı  $\%5$  değişim ile yapılmış olup elde edilen sonuçlar Şekil 7.13’te gösterilmiştir. Ek olarak, uygulama devresine ait gürültü analizi sonuçları Şekil 7.14’te belirtilmiştir. Uygulama devresinin güç tüketimi  $1.08 \text{ mW}$  olarak hesaplanmıştır.



Şekil 7.9: Uygulama devresine ait frekans cevabı sonuçları.

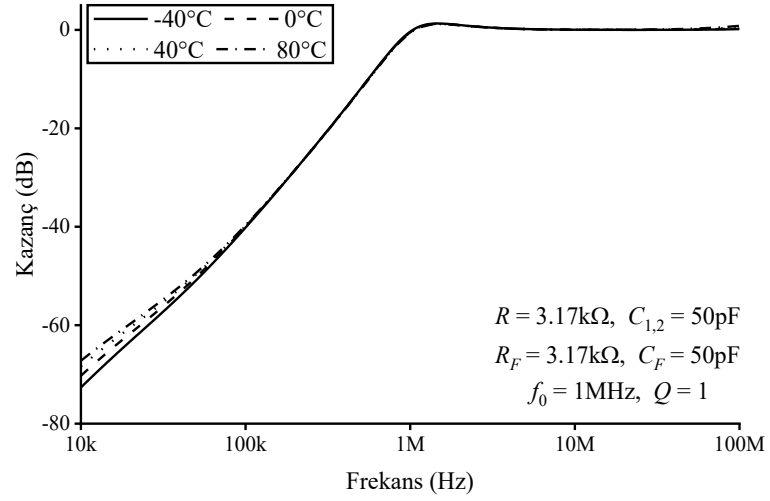


Şekil 7.10: Uygulama devresine ait zaman analizi sonuçları.

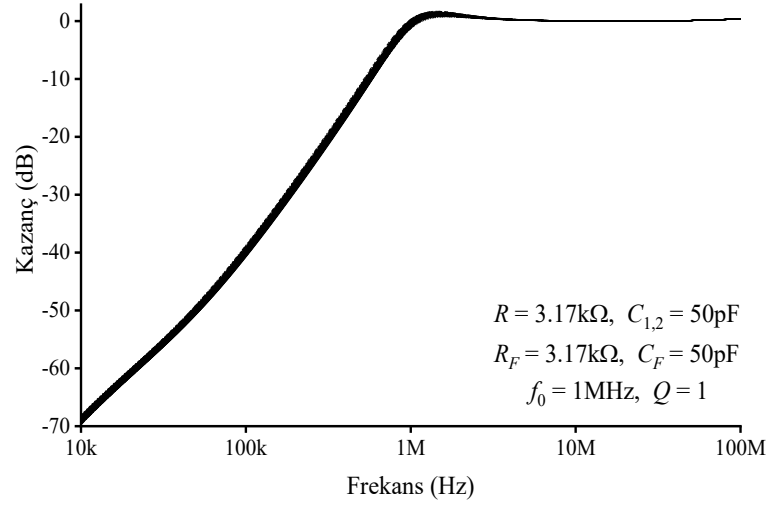


Şekil 7.11: Uygulama devresine ait zaman ortamında yapılan sıcaklık analizi sonuçları.

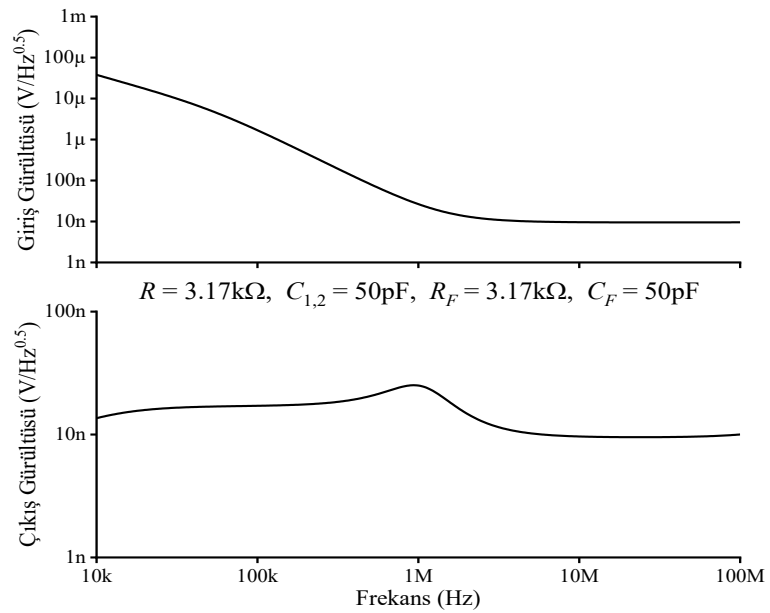




**Şekil 7.12:** Uygulama devresine ait frekans ortamında yapılan sıcaklık analizi sonuçları.



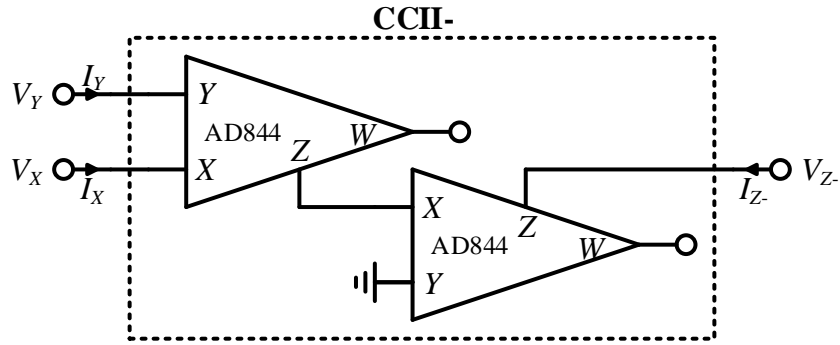
**Şekil 7.13:** Uygulama devresine ait Monte Carlo analizi sonuçları (Tüm pasif elemanlarda eş dağılımlı %5 değişim ile yapılmıştır).



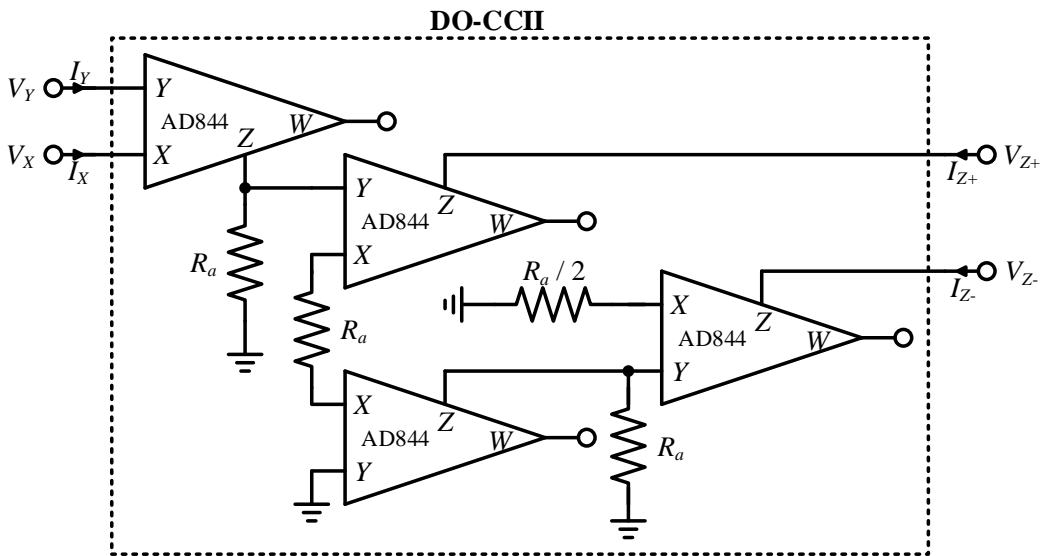
**Şekil 7.14:** Uygulama devresine ait gürültü analizi sonuçları.

### 7.3 Deneysel Sonuçları

Önerilen kayıpsız yüzen FDNR devresi, Şekil 7.8’de verilen HP süzgeç devresinde deneysel olarak test edilmiştir. Önerilen devrede kullanılan aktif bloklar AD844’ler ve eş dirençler kullanılarak elde edilmiştir. İki adet AD844 kullanılarak CCII-’nin elde edilişi Şekil 7.15’te gösterilirken dört adet AD844 kullanılarak DO-CCII’nin elde edilişi Şekil 7.16’da verilmiştir. Şekil 7.16’da gösterilen devredeki eş dirençler için  $R_a = 2.2 \text{ k}\Omega$  olarak seçilmiştir. Deneysel sırasında, önerilen devrede ve ikinci dereceden HP süzgeç devresinde kullanılan tüm kondansatörlerin değeri  $1 \text{ nF}$  seçilmiştir. Bununla birlikte, deneysel sırasında önerilen FDNR devresindeki ve HP süzgeç devresindeki dirençlerin değeri  $2.2 \text{ k}\Omega$  olarak seçilmiştir. Bu değerler altında,  $D_{eq} = 220 \times 10^{-17} \text{ Fs}$ ,  $f_0 = 72.3 \text{ kHz}$  ve  $Q = 1$  olarak hesaplanmıştır. Deneyselarda kullanılan tüm AD844’ler  $\pm 12 \text{ V}$  ile beslenmiştir.

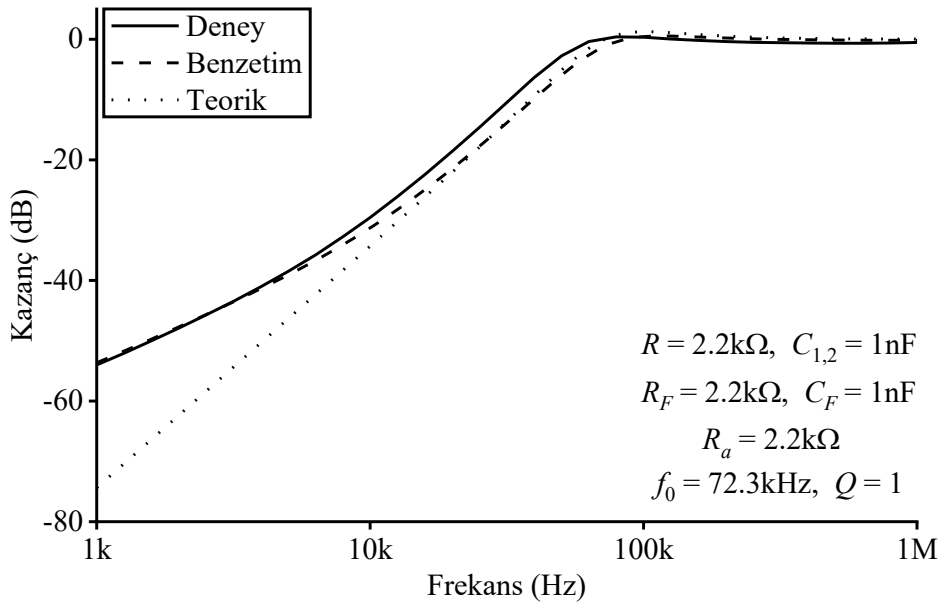


Şekil 7.15: AD844 kullanılarak CCII- elde edilmesi.

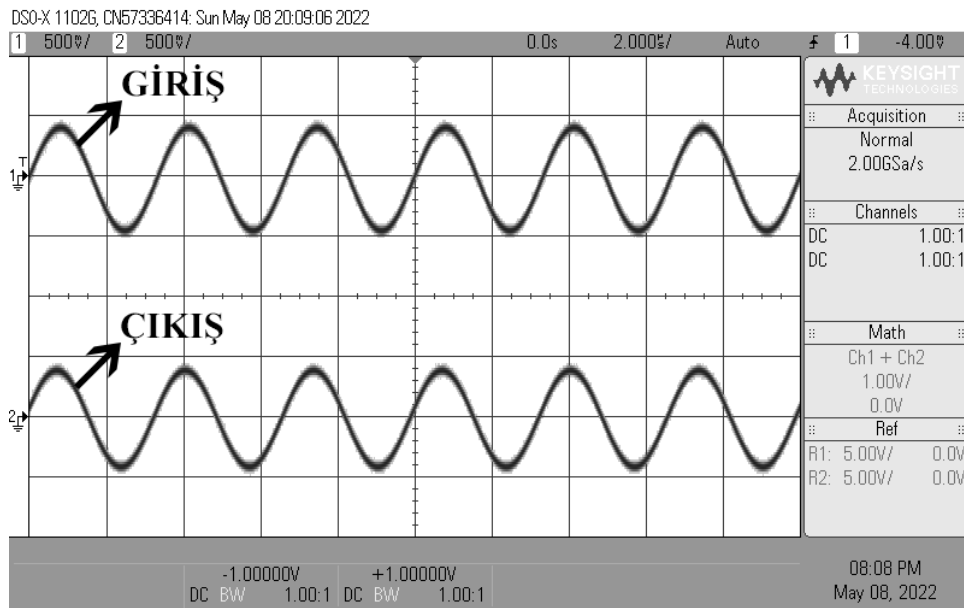


Şekil 7.16: AD844 kullanılarak DO-CCII elde edilmesi.

İkinci dereceden HP süzgeç devresinin deney, benzetim ve teorik frekans cevapları karşılaştırmalı olarak Şekil 7.17’de gösterilmiştir. Ek olarak, HP süzgeç devresinin girişine 0.5 V genliğine ve 300 kHz frekansına sahip sinüsoidal bir gerilim uygulanmış olup, süzgeç devresine ait giriş ve çıkış gerilimleri Şekil 7.18’de verilmiştir. Benzetim sonuçlarında AD844 modeli kullanılmıştır. Şekil 7.17’den de görüldüğü gibi, elde edilen benzetim ve deney sonuçları kabul edilebilir farklılıklar ile ideal sonuçlara yakındır.



Şekil 7.17: İkinci dereceden yüksek geçiren süzgeç devresine ait frekans cevabı sonuçları.



Şekil 7.18: İkinci dereceden yüksek geçiren süzgeç devresine ait zaman ortamı analizi sonuçları.

## 8. SONUÇLAR

### 8.1 Önerilen ICFOA Tabanlı Topraklanmış Kapasite Çarpma Devresi

Önerilen ICFOA tabanlı GCM devresi ile literatürde yer alan devreler karşılaştırmalı olarak Tablo 8.1’de verilmiştir. Tablodan da görüldüğü üzere önerilen GCM devresi; kullanılan aktif blok sayısı, topraklanmış kondansatör ve direnç sayısı bakımından diğer çalışmalara göre avantajlıdır. Ayrıca, özellikle düşük frekanslarda çalışabilmesi ve düşük güç tüketimine sahip olması ile diğer devrelere göre oldukça avantajlıdır.

**Tablo 8.1:** Önerilen topraklanmış kapasite çarpma devresi ile literatürdeki devrelerin karşılaştırması.

Referanslar	Kullanılan CFOA Sayısı	Kullanılan Kondansatör Sayısı T (Y)	Kullanılan Direnç Sayısı T (Y)	Çalışma Frekansı	Teknoloji	Güç Tüketimi (mW)	Besleme Gerilimi (V)
(Khan ve diğerleri 2002)	1	0 (1)	2 (0)	1 kHz-1 MHz	AD844	-	-
(Arslanalp ve Yücehan 2015)	1	1 (0)	0 (2)	100 kHz-6 MHz	0.13 $\mu$ m	0.1	$\pm$ 0.75
(Dogan ve Yuce 2020)	2	1 (0)	0 (2)	1 kHz-10 MHz	AD844	233	$\pm$ 9
(Al-Absi ve Abuelma’atti 2019)	1 *	1 (0)	1 (0)	2 Hz-7 MHz	AD844/LM13700N	-	$\pm$ 5
(Verma ve diğerleri 2019)	2	0 (1)	1 (1)	20 Hz-2.8 kHz (K = 5)	AD844	-	$\pm$ 10
(Özer ve diğerleri 2020)	2	1 (0)	1 (1)	100 Hz-10 MHz	0.13 $\mu$ m	-	$\pm$ 0.75
(Fabre 1992)	2	1 (0)	1 (1)	NA	AD844	-	-
(Toker ve diğerleri 1999)	2	1 (0)	1 (1)	NA	AD844	-	-
<b>(Yucehan ve Yuce 2022<sup>b</sup>)</b>	<b>1</b>	<b>1 (0)</b>	<b>1 (1)</b>	<b>1 Hz-30 kHz</b>	<b>0.18 <math>\mu</math>m</b>	<b>0.024</b>	<b><math>\pm</math>1.25</b>

\* Ek olarak bir OTA kullanılmıştır.

T: Topraklanmış

Y:Yüzen

-: Mevcut değil

Önerilen devre tek bir aktif blok ve minimum sayıda pasif eleman kullanılarak tasarlanmıştır. Önerilen GCM devresinde kullanılan aktif blok ICFOA’dır. Tasarlanan devre herhangi bir pasif eleman eşlemesine ihtiyaç duymamaktadır. Ayrıca, önerilen devrede kullanılan pasif elemanlardan kondansatör topraklanmış olup dirençlerden biri topraklanmış diğeri de yüzen olarak seçilmiştir. Önerilen GCM devresine ait güç tüketimi ve THD değerleri

yeteri kadar düşük olarak hesaplanmıştır. Önerilen devre 1 Hz ile 30 kHz arasında çalışmaktadır. Benzetim ve deney sonuçları teorik sonuçları desteklemektedir. Bununla birlikte, önerilen devrede kullanılan ICFOA'nın ideal olmayan kazançları ve parazitik empedansları süzgeç uygulamasındaki sonuçların üzerine çok az etki etmektedir.

## 8.2 Önerilen CCII Tabanlı Kayıpsız Yüzen Bobin Simülatörü Devresi

Önerilen SFI devresi ile literatürde verilen bazı devreler karşılaştırmalı olarak Tablo 8.2 ve Tablo 8.3'te verilmiştir. Tablodan da görüldüğü üzere önerilen devre literatürde verilen bu devrelere göre kullanılan topraklanmış pasif eleman sayısı, kullanılan benzer aktif blok sayısı, besleme gerilimi, güç tüketimi ve kayıpsız olması bakımından avantajlıdır.

**Tablo 8.2:** Önerilen yüzen bobin simülatör devresi ile literatürdeki devrelerin karşılaştırması.

Referanslar	Özellik	Kullanılan Direnç Sayısı T (Y)	Kullanılan Kondansatör Sayısı T (Y)	Teknoloji	Kullanılan Aktif Blok	Besleme Gerilimi (V)	Toplam Güç Tüketimi (mW)
(Alpaslan ve diğerleri 2013)'te Şekil 4	Kayıpsız	0 (4)	1 (0)	0.25 $\mu$ m	2 INIC, 2 CF, 1 VF	$\pm$ 1.25	-
(De Marcellis ve diğerleri 2009)'da Şekil 12	Kayıpsız	0 (2)	0 (1)	0.35 $\mu$ m	2 VCG-CCII	2	1.4-6
(Fakhfakh ve diğerleri 2007)'de Şekil 6	Kayıpsız	0 (0)	1 (0)	0.35 $\mu$ m	4 CCII-	$\pm$ 2.5	-
(Ferri ve diğerleri 2003)'te Şekil 2	Kayıpsız	0 (4)	1 (0)	AD844	6 CCII+	-	-
(Higashimura ve Fukui 1989)'da Şekil 4	Kayıpsız	0 (1)	1 (0)	LF356, CA3080E	2 CCII+, 1 OTA	-	-
(Kiranon ve Pawarangkoon 1997)'de Şekil 1	Kayıpsız	0 (2)	1 (0)	BJT	4 CCII+	-	-
(Layos ve Haritantis 1997)'de Şekil 17	Kayıpsız	1 (0)	1 (0)	-	2 CCII+, 1 OTA	-	-
(Layos ve Haritantis 1997)'de Şekil 18	Kayıpsız	2 (0)	1 (0)	-	1 CCII+, 1 CCII-, 1 OTA	-	-
(Metin ve Cicekoglu 2006)'da Şekil 2	Kayıplı	0 (2)	0 (1)	AD844	2 INIC	$\pm$ 12	-
(Minaei ve Yuce 2008 <sup>b</sup> )'da Şekil 1	Kayıpsız	0 (0)	0 (1)	BJT	2 CCCII+, 1 CCCII-	$\pm$ 2.5	-
(Minaei ve diğerleri 2002)'de Şekil 1	Kayıpsız	0 (0)	0 (0)	BJT	1 CCCII, 1 OA	$\pm$ 2.5	-
(Minaei ve diğerleri 2006)'da Şekil 1	Kayıpsız	1 (1)	1 (0)	BJT	2 DO-CCII	$\pm$ 2.5	-
(Minaei ve Yuce 2008 <sup>c</sup> )'de Şekil 1	Kayıpsız	0 (0)	0 (1)	BJT	3 CCCII+	$\pm$ 2.5	-
(Minaei ve Yuce 2008 <sup>d</sup> )'de Şekil 3	Kayıpsız	0 (2)	0 (1)	BJT	3 CCII+	$\pm$ 2.5	-
<b>(Yucehan ve Yuce 2022<sup>e</sup>)'de Şekil 3</b>	<b>Kayıpsız</b>	<b>3 (0)</b>	<b>1 (0)</b>	<b>0.18 <math>\mu</math>m</b>	<b>1 DO-CCII, 2 CCII+</b>	<b><math>\pm</math> 1.25</b>	<b>1.26</b>

T: Topraklanmış

Y:Yüzen

-: Mevcut değil

**Tablo 8.3:** Önerilen yüzen bobin simülâtör devresi ile literatürdeki devrelerin karşılaştırması (Tablo 8.2'nin devamı)

Referanslar	Özellik	Kullanılan Direnç Sayısı T (Y)	Kullanılan Kondansatör Sayısı T (Y)	Teknoloji	Kullanılan Aktif Blok	Besleme Gerilimi (V)	Toplam Güç Tüketimi (mW)
(P.V. Ananda Mohan 1998)'de Şekil 1	Kayıpsız	1 (1)	1 (0)	-	2 DO-CCII	-	-
(Pal 1981 <sup>a</sup> )'da Şekil 1	Kayıpsız	2 (1)	1 (0)	-	2 CCII+, 2 CCII-	-	-
(Pal 2004)'te Şekil 1	Kayıpsız	2 (2)	1 (0)	-	5 CCII+	-	-
(Pal 1981 <sup>b</sup> )'de Şekil 1	Kayıpsız	3 (0)	1 (0)	-	2 CCII+, 2 CCII-	-	-
(Sagbas ve diğerleri 2009 <sup>a</sup> )'da Şekil 1	Kayıpsız	1 (0)	1 (0)	0.35 $\mu$ m	1 DO-CCII, 1 OTA	$\pm$ 1.5	1
(Sagbas ve diğerleri 2009 <sup>b</sup> )'de Şekil 2	Kayıpsız	0 (0)	1 (0)	BJT	1 DO-CCII, 1 OTA	$\pm$ 2.5	-
(Senani 1980 <sup>a</sup> )'da Şekil 1.a	Kayıpsız	0 (2)	0 (1)	-	2 CCII+, 1 CCII-	-	-
(Senani 1980 <sup>b</sup> )'de Şekil 1.b	Kayıplı	0 (4)	0 (1)	-	2 CCII-	-	-
(Senani 1988)'de Şekil 3	Kayıplı	0 (2)	0 (1)	-	2 CCII-	-	-
(Senani 1986 <sup>a</sup> )'da Şekil 1	Kayıpsız	0 (4)	0 (1)	-	2 CCII-	-	-
(Senani 1978)'de Şekil 2	Kayıplı	0 (2)	0 (1)	-	2 CCII+	-	-
(Senani 1982)'de Şekil 1	Kayıpsız	1 (1)	1 (0)	-	4 CCII+	-	-
(Senani 1979)'da Şekil 1	Kayıplı	0 (2)	0 (1)	-	1 CCII-	-	-
(Singh 1979)'da Şekil 1	Kayıplı	0 (2)	0 (1)	-	1 CCII-	-	-
(Yuce 2006 <sup>a</sup> )'da Şekil 1	Kayıpsız	3 (0)	1 (0)	0.35 $\mu$ m	1 DO-CCII, 1 CCII+, 1 CCII-	$\pm$ 1.5	-
(Yuce 2006 <sup>b</sup> )'de Şekil 1	Kayıpsız	3 (0)	1 (0)	BJT	1 DO-CCII, 3 CCCII+	$\pm$ 2.5	-
(Yuce 2006 <sup>b</sup> )'de Şekil 2	Kayıpsız	3 (0)	1 (0)	BJT	2 DO-CCII, 1 CCCII+	$\pm$ 2.5	-
(Yuce ve diğerleri 2006 <sup>b</sup> )'de Şekil 1	Kayıpsız	0 (2)	1 (0)	AD844	4 CCII+	$\pm$ 15	-
(Yuce ve diğerleri 2006 <sup>a</sup> )'da Şekil 1	Kayıpsız	1 (1)	1 (0)	0.35 $\mu$ m	1 DO-CCII, 1 CCII+, 1 CCII-	$\pm$ 1.5	-
(Yuce ve diğerleri 2006 <sup>d</sup> )'de Şekil 2	Kayıpsız	0 (0)	1 (0)	BJT	1 DO-CCII, 2 CCCII+	$\pm$ 2.5	-
<b>(Yucehan ve Yuce 2022<sup>e</sup>)'de Şekil 3</b>	<b>Kayıpsız</b>	<b>3 (0)</b>	<b>1 (0)</b>	<b>0.18 <math>\mu</math>m</b>	<b>1 DO-CCII, 2 CCII+</b>	<b><math>\pm</math> 1.25</b>	<b>1.26</b>

T: Topraklanmış

Y:Yüzen

-: Mevcut değil

Önerilen kayıpsız yüzen SFI devresi iki adet CCII+ ve bir adet DO-CCII kullanılarak tasarlanmıştır. Önerilen devrede kullanılan tüm pasif elemanlar topraklanmış. Buna rağmen, önerilen devrede dirençlerden ikisinin eşit seçilmesi gerekmektedir. Benzetimler, SPICE programı aracılığı ile yapılmış olup, benzetim sonuçları teorik sonuçları 100 Hz ile 3 MHz arasında doğrulamaktadır. Tasarlanan devrenin VM BP süzgeç devresinde benzetimleri yapılmıştır. Ayrıca, önerilen devre deneysel olarak ikinci dereceden VM HP süzgeç devresinde test edilmiştir. İkinci dereceden VM BP ve HP süzgeç devrelerinden elde edilen sonuçlar teorik sonuçları desteklemektedir. Bununla birlikte, önerilen SFI devresinde kullanılan

aktif blokların ve deneylerde kullanılan AD844'lerin ideal olmayan kazançları ve parazitik empedansları sebepleri ile sonuçlarda kabul edilebilir farklılıklar bulunmaktadır.

### 8.3 Önerilen CCII Tabanlı Kayıpsız Yüzen Kapasite Çarpma Devresi

Önerilen devre ile literatürde verilen bazı devreler karşılaştırmalı olarak Tablo 8.4'te verilmiştir. Tablodan da görüldüğü üzere, önerilen kayıpsız FCM devresi kullanılan aktif blok sayısı, kullanılan kondansatörün topraklanmış olması ve besleme gerilimi bakımından diğer devrelere göre daha avantajlıdır.

**Tablo 8.4:** Önerilen yüzen kapasite çarpma devresi ile literatürdeki devrelerin karşılaştırması.

Referanslar	Kullanılan Direnç Sayısı T (Y)	Kullanılan Kondansatör Sayısı T (Y)	Teknoloji	Kullanılan Aktif Bloklar	Besleme Gerilimi (V)	Toplam Güç Tüketimi (W)	Pasif Eleman Eşleme Durumu
(De Marcellis ve diğerleri 2009)'da Şekil 10	0 (0)	0 (1)	0.35 $\mu\text{m}$	VCG-CCII	2	0.7m-3m	Yok
(Minaei ve diğerleri 2006)'da Şekil 1	1 (1)	1 (0)	BJT	2 DO-CCII	$\pm 2.5$	-	Yok
(Pal 1981 <sup>a</sup> )'da Şekil 2	1 (1)	1 (0)	-	2 CCII+, 2 CCII-	-	-	Yok
(Sagbas ve diğerleri 2009 <sup>a</sup> )'da Şekil 1	1 (0)	1 (0)	0.35 $\mu\text{m}$	1 DO-CCII, 1 OTA	$\pm 1.5$	1 m	Yok
(Senani 1982)'de Şekil 1	1 (1)	1 (0)	-	4 CCII+	-	-	Yok
(Yuce 2006 <sup>b</sup> )'da Şekil 1	3 (0)	1 (0)	0.35 $\mu\text{m}$	DO-CCII, CCII+, CCII-	$\pm 1.5$	-	Var
(Yuce 2006 <sup>b</sup> )'da Şekil 1	3 (0)	1 (0)	BJT	DO-CCCII, 3 CCCII+	$\pm 2.5$	-	Yok
(Yuce 2006 <sup>b</sup> )'da Şekil 2	3 (0)	1 (0)	BJT	2 DO-CCCII, CCCII+	$\pm 2.5$	-	Yok
(Yuce ve diğerleri 2006 <sup>a</sup> )'da Şekil 1	1 (1)	1 (0)	0.35 $\mu\text{m}$	1 DO-CCII, 1 CCII+, 1 CCII-	$\pm 1.5$	-	Yok
(Yuce ve diğerleri 2006 <sup>d</sup> )'da Şekil 4	0 (0)	1 (0)	BJT	DO-CCCII, 3 CCCII+	$\pm 2.5$	-	Yok
(Al-Absi ve Al-Khulaifi 2019)'da Şekil 1	0 (0)	0 (1)	0.18 $\mu\text{m}$	CCII+, 4 OTA	$\pm 0.75$	0.336 $\mu\text{-}$ 2.301 $\mu$	Yok
(P.V. Ananda Mohan 2005)'de Şekil 1.a	1 (1)	1 (0)	NA	2 DO-CCII	-	-	Yok
(Jaikla ve Siripruchyanun 2007)'de Şekil 3	4 (0)	1 (0)	BJT	DVCC, DO-CCII, CCII+, CCII-	$\pm 1.5$	-	Yok
(Siripruchyanun ve diğerleri 2007)'de Şekil 3	2 (0)	1 (0)	BJT	DVCC, DO-CCCII, CCCII+, CCCII-	$\pm 1.5$	-	Yok
(Abuelma'Atti ve Tasadduq 1999)'da Şekil 4	0 (0)	1 (0)	BJT	DO-CCCII, 3 CCCII+	$\pm 2.5$	-	Yok
<b>(Yucehan ve Yuce 2022<sup>e</sup>)'de Şekil 5</b>	<b>1 (1)</b>	<b>1 (0)</b>	<b>0.18 <math>\mu\text{m}</math></b>	<b>2 DO-CCII, 1 CCII-</b>	<b><math>\pm 1.25</math></b>	<b>1.26 m</b>	<b>Yok</b>

T: Topraklanmış

Y:Yüzen

-: Mevcut değil

Önerilen kayıpsız yüzen FCM devresi bir adet CCII+, bir adet CCII- ve bir adet DO-CCII kullanılarak tasarlanmıştır. Önerilen FCM devresinde kullanılan kondansatör topraklanmıştır. Bununla beraber, dirençlerden biri topraklanmış ve diğeri ise yüzen olarak kullanılmıştır. Tasarlanan devrede, herhangi pasif eleman eşlemesine ihtiyaç yoktur. Benzetimler, SPICE programı aracılığı ile yapılmış olup, benzetim sonuçları teorik sonuçları 100 Hz ile 3 MHz arasında doğrulamaktadır. Önerilen devre, ikinci dereceden VM BP süzgeç devresinde kullanılarak benzetimleri yapılmıştır. İkinci dereceden VM BP süzgeç devresinden elde edilen sonuçlar teorik sonuçları desteklemektedir. Bununla birlikte, önerilen FCM devresinde kullanılan aktif blokların, ideal olmayan kazançları ve parazitik empedansları sebepleri ile sonuçlarda kabul edilebilir farklılıklar bulunmaktadır.

#### **8.4 Önerilen DO-CCII+ Tabanlı Yüksek Dereceden Süzgeç Devreleri**

Önerilen devreler ile literatürde verilen bazı devrelerin karşılaştırması, VM için Tablo 8.5'te ve CM için Tablo 8.6'da verilmiştir. Tablo 8.5'den de görüldüğü üzere önerilen yüksek dereceden VM süzgeç devresi, kullanılan direnç, kondansatör, aktif blok sayısı ve kazançta sahip olması bakımından literatürde verilen devrelere karşı avantajlıdır. Bununla beraber, Tablo 8.6'dan da görüldüğü üzere önerilen yüksek dereceden CM süzgeç devresi, kullanılan direnç, aktif blok sayısı, kazançta sahip olması ve benzer aktif blok kullanımı bakımından literatürde verilen devrelere karşı avantaja sahiptir.



**Tablo 8.5:** Literatürdeki yüksek dereceden VM süzgeç devreleri ile önerilen VM süzgeç devresinin karşılaştırılması.

Referanslar	Direnç Sayısı	Kondansatör Sayısı	Yüzey Pasif Eleman Kullanımı	Pasif Eleman Eşleme Durumu	Kullanılan Aktif Blok Sayısı	Benzer Aktif Blok Kullanımı	Kazanç	Teknoloji	Besleme Gerilimi (V)
(Cam Taskiran ve diğerleri 2018)	*	$n$	Yok	Yok	$n$	Var	Yok	LM13700	-
(Chang ve diğerleri 2004)	*	$n$	Yok	Yok	$n+2$	Var	Yok	0.5 $\mu\text{m}$	$\pm 2.5$
(Choubey ve Paul 2022)	$n$	$n$	Var	Yok	$n$	Var	Yok	0.18 $\mu\text{m}$	$\pm 0.9$
(Chang ve diğerleri 2007)	$n$	$n$	Yok	Yok	$n$	Yok	Yok	0.35 $\mu\text{m}$	$\pm 1.65$
(Wang ve diğerleri 2016)	$3n$	$n$	Var	Var	$2n$	Var	Yok	0.18 $\mu\text{m}$	$\pm 1.65$
(Günes ve Anday 1999)	$3n+2$	$n$	Var	Var	$n+1$	Var	Yok	AD844	-
(Acar 1996 <sup>a</sup> )	$n$	$n$	Var	Var	$n$	Var	Yok	-	-
(Acar 1996 <sup>b</sup> )	$5n+3$	$n$	Var	Var	$n+1$	Var	Var	AD844	-
(Günes ve Anday 1995)	$3n-2$	$n+1$	Yok	Var	$3n-2$	Var	Var	-	-
(Acar 1996 <sup>c</sup> )	$2n+3$	$n$	Var	Var	$n+1$	Var	Yok	-	-
(Acar 1978)	$4n$	**	Var	Var	$n$	Var	Var	$\mu\text{A}741$	-
(Anday 1977)	$2n$	$n$	Var	Yok	$n$	Var	Var	-	-
(Gunes ve Anday 1997)	*	$3n$	Yok	Var	$n$	Var	Yok	-	-
(Chang ve diğerleri 2006 <sup>a</sup> )	*	$n$	Yok	Yok	$n+2$	Yok	Yok	0.25 $\mu\text{m}$	$\pm 1.25$
(Horng 2012)	$2n+2$	$n$	Yok	Var	$2n+1$	Yok	Var	0.18 $\mu\text{m}$	$\pm 1.25$
<b>(Yuçhan ve Yuçe 2022<sup>a</sup>)</b>	<b><math>n+3</math></b>	<b><math>n</math></b>	<b>Yok</b>	<b>Yok</b>	<b><math>n+1</math></b>	<b>Var</b>	<b>Var</b>	<b>0.18 <math>\mu\text{m}</math></b>	<b><math>\pm 1.25</math></b>

\*: Dirençsiz

\*\* : OA'nın açık çevrim kazancı kullanılmıştır.

-: Mevcut değil

**Tablo 8.6:** Literatürdeki yüksek dereceden CM süzgeç devreleri ile önerilen CM süzgeç devresinin karşılaştırılması.

Referanslar	Direnç Sayısı	Kondansatör Sayısı	Yüzey Pasif Eleman Kullanımı	Pasif Eleman Eşleme Durumu	Kullanılan Aktif Blok Sayısı	Benzer Aktif Blok Kullanımı	Kazanç	Teknoloji	Besleme Gerilimi (V)
(Horng 2012)	$2n+2$	$n$	Yok	Var	$2n+2$	Yok	Var	0.18 $\mu\text{m}$	$\pm 1.25$
(Alzaher ve diğerleri 2013)	$n$	$n$	Yok	Yok	$n+1$	Yok	Var	0.18 $\mu\text{m}$	$\pm 0.9$
(Chang ve Al-hashimi 2003)	*	$n$	Yok	Yok	$n$	Yok	Yok	-	-
(Lee 2013)	$n$	$n$	Yok	Yok	$n$	Yok	Yok	0.25 $\mu\text{m}$	$\pm 1.25$
(Acar ve Sedef 2000)	$n$	$n$	Var	Yok	$n+1$	Var	Yok	AD844	-
(Yuçe ve Minaei 2008 <sup>c</sup> )	*	$n$	Yok	Yok	$n+1$	Var	Yok	BJT	$\pm 2.5$
(Sagbas ve Koksall 2008)	$n$	$n$	Yok	Yok	$n+1$	Var	Yok	BJT	$\pm 2.5$
(Yuçe ve Minaei 2014)	$2n$	$n$	Var	Yok	$3n+2$	Var	Var	0.25 $\mu\text{m}$	$\pm 2.5$
(Altun ve diğerleri 2009)	$3n+2$	$n$	Yok	Yok	$3n+2$	Yok	Var	0.35 $\mu\text{m}$	$\pm 1.5$
(Acar ve Sedef 2003) **	5	5	Var	Var	3	Var	Yok	-	$\pm 5$
(Abuelma'atti ve Tassaduq 1998)	*	$n$	Yok	Yok	$2n+1$	Var	Var	BJT	-
(Koksall ve Sagbas 2008)	*	$n$	Var	Yok	$n+1$	Var	Yok	BJT	$\pm 2.5$
(Yuçe ve Minaei 2009)	$n$	$n$	Yok	Yok	$n+1$	Var	Yok	0.35 $\mu\text{m}$	$\pm 1.5$
(Ghosh ve Ray 2015 <sup>b</sup> )	$2n$	$n$	Yok	Yok	$2n$	Yok	Yok	0.13 $\mu\text{m}$	$\pm 1.5$
(Horng 2009)	$n+1$	$n$	Var	Yok	$n+1$	Yok	Yok	0.18 $\mu\text{m}$	$\pm 1.25$
<b>(Yuçhan ve Yuçe 2022<sup>a</sup>)</b>	<b><math>n+2</math></b>	<b><math>n</math></b>	<b>Yok</b>	<b>Yok</b>	<b><math>n+1</math></b>	<b>Var</b>	<b>Var</b>	<b>0.18 <math>\mu\text{m}</math></b>	<b><math>\pm 1.25</math></b>

\*: Dirençsiz

\*\* : Üçüncü dereceden süzgeç önerilmiştir.

-: Mevcut değil

Bu tezde, DO-CCII+ tabanlı kazançca sahip yüksek dereceden VM ve CM süzgeç devreleri önerilmiştir. Her iki önerilen devrede  $n$ . dereceden süzgeç için,  $n+1$  adet DO-CCII+ ve  $n$  adet kondansatör kullanılmıştır. Bununla birlikte,  $n$ . dereceden VM süzgeç devresi için  $n+3$  adet direnç kullanılırken CM süzgeç devresi için  $n+2$  adet direnç kullanılmıştır. Her iki önerilen devrede de pasif eleman eşlemesine ihtiyaç duyulmamaktadır. Ek olarak, önerilen devrelerde kullanılan tüm pasif elemanlar topraklanmış seçilmiştir. Önerilen VM süzgeç devresi yüksek giriş empedansına sahip olup, önerilen CM süzgeç devresi yüksek çıkış empedansına sahiptir. Böylece, her iki devre kolaylıkla kaskat bağlanabilmektedir. Eğer gerek duyulursa, VM süzgeç devresinin çıkışlarında düşük çıkış empedansı elde etmek için iki adet VF kullanılması ve CM süzgeç devresinin girişinde düşük giriş empedansı elde etmek için bir adet CF kullanılması gerekmektedir. Tasarlanan devrelerde kullanılan dirençlerin yerine topraklanmış ayarlanabilir dirençler kullanılarak devrelerin elektronik olarak ayarlanabilir olması sağlanabilir. Her iki önerilen süzgeç devresinin ideal olmayan kazanç ve parazitik empedans analizleri de yapılmıştır. Ayrıca, analiz sonuçlarına göre ideal olmayan kazançlar süzgeç devrelerinin transfer fonksiyonlarında çarpan olarak yer almaktadır. Önerilen devrelere ait benzetim ve deney sonuçları teorik sonuçları desteklemektedir. Buna rağmen, kullanılan aktif blokların, ideal olmayan kazançları ve parazitik empedansları sebepleri ile sonuçlarda kabul edilebilir farklılıklar bulunmaktadır.

## 8.5 Önerilen Tam Dalga Doğrultucu Devreleri

Önerilen devreler ile literatürde yer alan bazı devreler karşılaştırmalı olarak Tablo 8.7’de verilmiştir. Tablo 8.7’den de görüldüğü üzere, önerilen FWR devreleri kazançca sahip olması, kutuplama akımı ve/veya gerilimine ihtiyaç duymaması, yüzen pasif eleman kullanılmaması, benzer tipte aktif blok kullanılması ve besleme gerilimi bakımından tabloda verilen diğer devrelere göre daha avantajlıdır.

**Tablo 8.7:** Önerilen FWR devreleri ile literatürdeki devrelerin karşılaştırması.

Referanslar	Direnç Sayısı	Yüzen Pasif Eleman Sayısı	Pasif Eleman Eşleme Problemi	Aktif Blok Sayısı	Benzer Aktif Blok Kullanımı	Yüksek Giriş Empedansı	Kazanç	Kutuplama Akımı/Gerilimi	Teknoloji	Besleme Gerilimi (V)	Güç Tüketimi (mW)	OA Kullanımı
(Monpapassorn ve diğerleri 2001)'de Şekil 3	2	Yok	Yok	1**	Var	Var	Var	Var	AD844, 2N3904, 2N3906	± 10	-	Yok
(Maitrechit ve Monpapassorn 2005)'te Şekil 3	2	Yok	Yok	1**	Var	Var	Var	Var	AD844, 2N3904, 2N3906	± 10	-	Yok
(Yıldız ve diğerleri 2017)'de Şekil 2	2	Var	Var	1	Var	Yok	Yok	Yok	0.35 µm	± 1.65	-	Yok
(Monpapassorn 2018)'de Şekil 3	2	Var	Yok	2**	Var	Var	Var	Yok	AD844, 2N2222	± 12	-	Yok
(Koton ve diğerleri 2011)'de Şekil 4a	3	Yok	Yok	2	Yok	Var	Var	Var	AD8656	-	-	Yok
(Yuce ve diğerleri 2006 <sup>c</sup> )'de Şekil 1	-	Yok	Yok	2#	Var	Yok	Yok	Var	0.25 µm	± 1.25	-	Yok
(Toumazou ve diğerleri 1994)'te Şekil 2	2	Var	Yok	2	Var	Var	Var	Yok	CCII01	-	-	Yok
(Monpapassorn 2013)'te Şekil 3	3	Var	Var	2	Var	Var	Var	Var	AD844	± 12	-	Yok
(Koton ve diğerleri 2010)'da Şekil 2b	2	Yok	Yok	2	Yok	Var	Var	Yok	AD825	-	-	Yok
(Hayatleh ve diğerleri 1994)'te Şekil 1c	3	Var	Yok	2	Var	Var	Var	Var	CCII01	-	-	Yok
(Yuce ve diğerleri 2007)'de Şekil 2	*	Yok	Yok	2#	Yok	Yok	Yok	Var	0.35 µm	± 1.5	-	Yok
(Djukić ve diğerleri 2010)'da Şekil 6	2	Yok	Yok	1**	Var	Var	Var	Var	TL082, 2N3904, 2N3906	± 10	-	Var
(Kumar ve diğerleri 2021)'de Şekil 2b	2	Var	Var	1	Var	Yok	Yok	Yok	0.35 µm	± 1.65	0.24	Yok
(Minaei ve Yuce 2008 <sup>a</sup> )'de Şekil 1	-	Yok	Yok	1#	Var	Var	Yok	Var	0.25 µm	± 1.25	3.33	Yok
(Koton ve diğerleri 2014)'te Şekil 2a	2	Yok	Yok	2	Yok	Var	Var	Yok	0.35 µm	± 2.5	-	Yok
(Gift 2000)'de Şekil 5	3	Var	Var	3	Yok	Yok	Var	Yok	AD844, LM741	-	-	Var
(Gift ve Maundy 2007)'de Şekil 2b	3	Var	Var	2	Yok	Yok	Var	Yok	AD844, LM741	-	-	Var
(Sahu ve diğerleri 2010)'da Şekil 1b	10	Var	Var	6	Yok	Yok	Var	Yok	AD817, AD633, AD711	± 15	-	Var
(Petrović 2020)'de Şekil 1	1	Yok	Yok	1#	Var	Var	Var	Yok	0.35 µm	± 1.5	1.18	Yok
(Safari ve diğerleri 2020)'de Şekil 5	2	Var	Yok	2	Var	Yok	Var	Yok	0.35 µm	± 1.65	1.38	Yok
(Yuce ve diğerleri 2017)'de Şekil 3	-	Yok	Yok	2#	Var	Var	Yok	Var	0.25 µm	± 1.25	1.33	Yok
(İbrahim ve diğerleri 2016)'da Şekil 2	2	Yok	Var	2	Var	Var	Yok	Yok	0.25 µm	± 1.25	0.93	Yok
(Jongkunsidchai ve diğerleri 2007)'de Şekil 4	2	Yok	Yok	5	Var	Var	Var	Var	LM13600	± 15	-	Yok
(Kumngern ve Dejhan 2006)'da Şekil 3	-	Yok	Yok	1	Var	Var	Yok	Var	0.5 µm	± 5	-	Yok
(Kaçar ve Başak 2014)'te Şekil 7	3	Var	Var	1#	Var	Yok	Var	Var	0.18 µm	± 1.5	1.12	Yok
<b>Önerilen DO-CCII tabanlı FWR devresi</b>	<b>3</b>	<b>Yok</b>	<b>Yok</b>	<b>1</b>	<b>Var</b>	<b>Var</b>	<b>Var</b>	<b>Yok</b>	<b>0.18 µm</b>	<b>± 1.25</b>	<b>1.49</b>	<b>Yok</b>
<b>Önerilen CFOA tabanlı FWR devreleri</b>	<b>2</b>	<b>Yok</b>	<b>Yok</b>	<b>2</b>	<b>Var</b>	<b>Var</b>	<b>Var</b>	<b>Yok</b>	<b>0.18 µm</b>	<b>± 1.25</b>	<b>2.83</b>	<b>Yok</b>

\*: Dirençsiz

#: Ek MOS transistörler kullanılmıştır.

\*\*: Ek BJT'ler kullanılmıştır.

-: Mevcut değil.

### **8.5.1 DO-CCII Tabanlı Tam Dalga Doğrultucu Devresi**

Önerilen tam dalga doğrultma devresi tek bir DO-CCII, üç adet topraklanmış direnç ve dört adet diyot kullanılarak tasarlanmıştır. Önerilen FWR devresinde kullanılan diyotlar MMBD101LT1G diyotlarıdır. Tasarlanan devrenin iki adet çıkışı bulunmaktadır. Bu çıkışlardan ilki pozitif doğrultma sonucunu verirken, diğeri negatif doğrultma sonucunu vermektedir. Ek olarak, önerilen devre yüksek giriş empedansına sahiptir. Böylece, kolaylıkla kaskat bağlanabilir. Benzetimlerde MMBD101LT1G diyotları kullanılmış olup, önerilen devrede kullanılan DO-CCII'ın içyapısında bulunan MOS transistörler için 0.18 µm TSMC CMOS teknoloji parametreleri kullanılmıştır. Önerilen devre, deneysel olarak da test edilmiştir. Deneyler, aynı diyotlar ile birlikte DO-CCII yerine AD844'ler kullanılarak gerçekleştirilmiştir. Önerilen FWR devresi yaklaşık olarak 1 MHz frekansına kadar çalışabilmektedir. Tasarlanan devrenin benzetimleri SPICE programı aracılığı ile yapılmış olup, elde edilen sonuçlar teorik sonuçları karşılamaktadır. Bununla birlikte, önerilen devrede kullanılan DO-CCII ve deneylerde kullanılan AD844'lerin ideal olmayan kazançları sonuçlara önemli sayılmayacak derecede etki etmektedir.

### **8.5.2 Önerilen CFOA Tabanlı Tam Dalga Doğrultucu Devresi**

Bu tezde, iki adet CFOA tabanlı tam dalga doğrultma devresi önerilmiştir. Önerilen devrelerden ilki pozitif tam dalga doğrultma yaparken diğeri negatif tam dalga doğrultma yapmaktadır. Her iki önerilen devrede ikişer adet CFOA, ikişer adet diyot ve ikişer adet topraklanmış direnç kullanılmıştır. Ek olarak, önerilen her iki devre, hem yüksek giriş empedansına hem de düşük çıkış empedansına sahiptir. Böylece, her iki devre kolaylıkla kaskat bağlanabilir. Tasarlanan devrelerde kullanılan diyotlar MMBD101LT1G diyotlarıdır. Benzetimlerde bu diyotlar kullanılmış olup, önerilen FWR devrelerinde kullanılan CFOA'ların içyapısında bulunan MOS transistörler için 0.18 µm TSMC CMOS teknoloji parametreleri kullanılmıştır. Önerilen devreler deneysel olarak da test edilmiştir. Deneyler, aynı diyotlar ile birlikte CFOA'lar yerine AD844'ler kullanılarak gerçekleştirilmiştir. Her iki devre yaklaşık 1 MHz frekansına kadar çalışabilmektedir. Önerilen

devrelerin benzetimleri SPICE programı aracılığı ile yapılmış olup, elde edilen sonuçlar teorik sonuçları desteklemektedir. Bununla birlikte, tasarlanan devrelerde kullanılan CFOA'lar ve deneylerde kullanılan AD844'lerin ideal olmayan kazançları ve parazitik empedansları sonuçlara önemli sayılmayacak derecede etki etmektedir.

## 8.6 Önerilen CCII Tabanlı Frekansa Bağımlı Yüzen Negatif Direnç Devresi

Literatürde verilen bu devreler ile önerilen devre karşılaştırmalı olarak Tablo 8.8'de verilmiştir. Tablodan da görüldüğü üzere önerilen FDNR devresi kullanılan aktif blok sayısı, kullanılan direnç sayısı ve ayarlanabilirlik bakımından diğer devrelere göre avantaja sahiptir.

**Tablo 8.8:** Önerilen FDNR devresi ile literatürdeki devrelerin karşılaştırması.

Referanslar	Akrif Blok Sayısı	Direnç Sayısı	Kondansatör Sayısı	Ayarlanabilirlik	Pasif Eleman Eşlemesi	Teknoloji	Besleme Gerilimleri (V)	Güç Tüketimi (mW)	BJT Kullanımı
(Yuce ve diğerleri 2006 <sup>a</sup> )'da Şekil 1	3	1	2	Var	Yok	0.35 µm	±1.5	-	Yok
(Nandi ve diğerleri 1983)'te Şekil 1	3	1	2	Var	Yok	-	-	-	Yok
(Kiranon ve Pawarangkoon 1997)'de Şekil 1	4	1	2	Yok	Yok	NR100N, PR100N	-	-	Var
(Pal 1981 <sup>a</sup> )'da Şekil 1	4	1	3	Yok	Var	-	-	-	Yok
(Higashimura ve Fukui 1987)'de Şekil 1.d	3	1	2	Var	Yok	-	-	-	Yok
(Senani 1980 <sup>a</sup> )'da Şekil 1.a	3	1	2	Yok	Yok	-	-	-	Yok
(Nandi ve diğerleri 1984)'te Şekil 1	3	1	2	Var	Yok	-	-	-	Yok
(Pal 1981 <sup>b</sup> )'de Şekil 1	4	1	4	Yok	Var	-	-	-	Yok
(Layos ve Haritantis 1997)'de Şekil 22	4	1	2	Yok	Yok	-	-	-	Yok
(Layos ve Haritantis 1997)'de Şekil 23	4	1	2	Yok	Yok	-	-	-	Yok
(Higashimura ve Fukui 1986)'de Şekil 1.b	3	1	2	Var	Yok	-	-	-	Yok
(Yuce ve diğerleri 2006 <sup>b</sup> )'de Şekil 1	4	2	2	Var	Yok	AD844	±15	-	Yok
(Soliman ve Saad 2010)'d Şekil 5.a	4	1	2	Var	Yok	0.5 µm	±1.5	3.79	Yok
(Yuce ve diğerleri 2006 <sup>d</sup> )'de Şekil 2	3	1	2	Yok	Yok	NR100N, PR100N	±2.5	-	Var
(Senani 1984)'de Şekil 1	2	3	2	Yok	Yok	-	-	-	Yok
(P.V. Ananda Mohan 1998)'de Şekil 1.a	2	1	2	Yok	Yok	-	-	-	Yok
(Senani 1986 <sup>b</sup> )'de Şekil 1	2	3	2	Yok	Yok	-	-	-	Yok
(Pal 1989)'da Şekil 2	2	1	2	Yok	Yok	-	-	-	Yok
(Pal 1989)'da Şekil 3	2	1	2	Yok	Yok	-	-	-	Yok
(Alpaslan ve diğerleri 2022)'de Şekil 2	3	1	2	Var	Yok	0.18 µm	±1.25	3.3	Yok
(Chang ve diğerleri 1994)'te Şekil 1	3	1	2	Yok	Yok	AD844	-	-	Yok
(Abuelma'atti ve Dhar 2016)'da Şekil 1.c	3	1	2	Yok	Yok	AD844	±5	-	Yok
(Senani ve Bhaskar 2012)'de Şekil 1	2	2	3	Yok	Var	AD844	±12	-	Yok
<b>(Yucehan ve diğerleri 2022)'de Şekil 2</b>	<b>2</b>	<b>1</b>	<b>2</b>	<b>Var</b>	<b>Yok</b>	<b>0.18 µm</b>	<b>±1.25</b>	<b>1.08</b>	<b>Yok</b>

:- Mevcut değil

Önerilen devre iki aktif blok kullanarak tasarlanmıştır. Kullanılan aktif bloklardan biri CCII- ve diğeri DO-CCII'dır. Önerilen devrede bir adet direnç ve iki adet kondansatör kullanılmış olup, devrede herhangi bir pasif eleman eşlemesine ihtiyaç duyulamamaktadır. Buna rağmen, tasarlanan devrede kullanılan tüm pasif elemanlar yüzen olarak kullanılmıştır. Önerilen FDNR devresinde kullanılan aktif bloklar yerine CCCII'lar kullanılırsa elektronik olarak ayarlanabilir devre elde edilebilmektedir. Önerilen kayıpsız yüzen FDNR devresinin simülasyonları, SPICE programı aracılığı ile yapılmıştır. Bununla birlikte, tasarlanan devre ikinci dereceden HP süzgeç devresinde test edilmiştir. Simülasyon sonuçları teorik sonuçları 10 kHz ile 10 MHz arasında desteklemektedir. Son olarak önerilen devre AD844'ler kullanılarak deneysel olarak test edilmiştir. Buna rağmen, kullanılan aktif blokların, ideal olmayan kazançları ve parazitik empedansları sebepleri ile sonuçlarda kabul edilebilir farklılıklar bulunmaktadır.

## 9. KAYNAKLAR

Abuelma'atti, M.T. ve Dhar, S.K., "New CFOA-based floating immittance emulators", *Int. J. Electron.*, 103 (12), 1984–1997, doi:10.1080/00207217.2016.1138544, (2016).

Abuelma'Atti, M.T. ve Tasadduq, N.A., "Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor", *Microelectronics J.*, 30 (9), 869–873, doi:10.1016/S0026-2692(99)00025-7, (1999).

Abuelma'atti, M.T. ve Tassaduq, N.A., "High-order current transfer function synthesis using translinear current-conveyors", *Frequenz*, 52 (3–4), 76–78, doi:10.1515/FREQ.1998.52.3-4.76, (1998).

Acar, C., "Realisation of nth-order lowpass voltage transfer function by active R circuit: signal-flow-graph approach", *Electron. Lett.*, 14 (23), 729–730, doi:10.1049/el:19780492, (1978).

Acar, C., "Nth-order lowpass voltage transfer function synthesis using CCII+s: signal-flow graph approach", *Electron. Lett.*, 32 (3), 159–160, doi:10.1049/el:19960136, (1996a).

Acar, C., "Nth-order voltage transfer function synthesis using a commercially available active component: signal-flow graph approach", *Electron. Lett.*, 32 (21), 1933–1934, doi:10.1049/el:19961352, (1996b).

Acar, C., "Nth-order allpass voltage transfer function synthesis using CCII+s: signal-flow graph approach", *Electron. Lett.*, 32 (8), 727–729, doi:10.1049/el:19960482, (1996c).

Acar, C. ve Sedef, H., "Nth-order lowpass current transfer function synthesis using CCII based unity gain current followers", *Frequenz*, 54 (7–8), 180–181, doi:10.1515/FREQ.2000.54.7-8.180, (2000).

Acar, C. ve Sedef, H., "Realization of nth-order current transfer function using current-differencing buffered amplifiers", *Int. J. Electron.*, 90 (4), 277–283, doi:10.1080/00207210310001596319, (2003).

Aghaei Jeshvaghani, M. ve Dolatshahi, M., "A low-power multi-mode and multi-output high-order CMOS universal Gm-C filter", *Analog Integr. Circuits Signal Process.*, 79 (1), 95–104, doi:10.1007/s10470-013-0250-4, (2014).

Al-Absi, M.A. ve Abuelma'atti, M.T., "A novel tunable grounded positive and negative impedance multiplier", *IEEE Trans. Circuits Syst. II Express Briefs*, 66 (6), 924–927, doi:10.1109/TCSII.2018.2874511, (2019).

Al-Absi, M.A. ve Al-Khulaifi, A.A., "A new floating and tunable capacitance multiplier with large multiplication factor", *IEEE Access*, 7 , 120076–120081, doi:10.1109/ACCESS.2019.2936800, (2019).

Alpaslan, H. ve Yuce, E., "Inverting CFOA Based Lossless and Lossy Grounded Inductor Simulators", *Circuits, Syst. Signal Process.*, 34 (10), 3081–3100, doi:10.1007/s00034-015-0004-x, (2015).

Alpaslan, H., Yuce, E., ve Minaei, S., "CFOA-based floating simulator suitable for realizing frequency dependent negative resistor", *2022 19th Int. Conf. Electr. Eng. Comput. Telecommun. Inf. Technol.*, 1–3, doi:10.1109/ECTI-CON54298.2022.9795594, (2022).

Alpaslan, H., Yuce, E., ve Tokat, S., "A new lossless floating inductor simulator employing only two-terminal active devices", *Indian J. Eng. Mater. Sci.*, 20 , 35–41, (2013).

Altun, M., Kuntman, H., Minaei, S., ve Sayin, O.K., "Realisation of nth-order current transfer function employing ECCIIs and application examples", *Int. J. Electron.*, 96 (11), 1115–1126, doi:10.1080/00207210903269047, (2009).

Alzaher, H., Tasadduq, N., ve Al-Ees, O., "Implementation of reconfigurable nth-order filter based on CCII", *Analog Integr. Circuits Signal Process.*, 75 (3), 539–545, doi:10.1007/s10470-013-0064-4, (2013).

Alzaher, H.A., Elwan, H., ve Ismail, M., "A CMOS fully balanced second-generation current conveyor", *IEEE Trans. Circuits Syst. II Analog Digit. Signal Process.*, 50 (6), 278–287, doi:10.1109/TCSII.2003.812911, (2003).

Amico, A.D., Natale, C. Di, Mariucci, M., ve Barccarani, G., "Active capacitance multiplication for sensor application", *Proc. Ital. Conf. Sensors Microsystems*, (1997).

Analog Devices, "AD844 - 60 MHz, 2000 V/ $\mu$ s, monolithic Op Amp with quad low noise", (2000).

Anday, F., "Active realization of nth-order low-pass transfer functions", *IEEE Trans. Circuits Syst.*, 24 (12), 745–746, doi:10.1109/TCS.1977.1084289, (1977).



Arslan, E. ve Morgul, A., "Wideband self-biased CMOS CCII", *2008 Ph.D. Res. Microelectron. Electron.*, 217–220, doi:10.1109/RME.2008.4595764, (2008).

Arslanalp, R. ve Yücehan, T., "Capacitance multiplier design by using CFOA-", *2015 23rd Signal Process. Commun. Appl. Conf.*, doi:10.1109/SIU.2015.7130102, (2015).

Bhushan, M. ve Newcomb, R., "Grounding of capacitors in integrated circuits", *Electron. Lett.*, 3 (4), 148–149, doi:10.1049/el:19670114, (1967).

Bruton, L., "Network transfer functions using the concept of frequency-dependent negative resistance", *IEEE Trans. Circuit Theory*, 16 (3), 406–408, doi:10.1109/TCT.1969.1082989, (1969).

Cam Taskiran, Z.G., Sedef, H., ve Anday, F., "Voltage differencing gain amplifier-based nth-order low-pass voltage-mode filter", *J. Circuits, Syst. Comput.*, 27 (6), 1–12, doi:10.1142/S0218126618500895, (2018).

Chang, C. ve Al-hashimi, B.M., "Analytical synthesis of current-mode high-order OTA-C filters", *IEEE Trans. Circuits Syst. I Fundam. Theory Appl.*, 50 (9), 1188–1192, doi:10.1109/TCSI.2003.816327, (2003).

Chang, C.M. ve diğerleri, "Analytical synthesis of high-order single-ended-input OTA-grounded C all-pass and band-reject filter structures", *IEEE Trans. Circuits Syst. I Regul. Pap.*, 53 (3), 489–498, doi:10.1109/TCSI.2005.859057, (2006a).

Chang, C.M. ve diğerleri, "High-order DDCC-based general mixed-mode universal filter", *IEE Proc.-Circuits Devices Syst.*, 153 (5), 511–516, doi:10.1049/ip-cds, (2006b).

Chang, C.M., Al-Hashimi, B.M., Sun, Y., ve Ross, J.N., "New high-order filter structures using only single-ended-input OTAs and grounded capacitors", *IEEE Trans. Circuits Syst. II Express Briefs*, 51 (9), 458–463, doi:10.1109/TCSII.2004.831426, (2004).

Chang, C.M., Hwang, C.S., ve Tu, S.H., "Voltage-mode notch, lowpass and bandpass filter using current-feedback amplifiers", *Electron. Lett.*, 30 (24), 2022–2023, (1994).

Chang, C.M., Soliman, A.M., ve Swamy, M.N.S., "Analytical synthesis of low-sensitivity high-order voltage-mode DDCC and FDCCII-grounded R and C all-pass filter structures", *IEEE Trans. Circuits Syst. I Regul. Pap.*, 54 (7), 1430–1443, doi:10.1109/TCSI.2007.900183, (2007).

Choubey, C.K. ve Paul, S.K., "Nth order voltage-mode universal filter employing only plus type differential difference current conveyor", *Analog Integr. Circuits Signal Process.*, 110 (1), 197–210, doi:10.1007/s10470-021-01967-z, (2022).

Çiçekoglu, O., "New current conveyor based active-gyrator implementation", *Microelectronics J.*, 29 (8), 525–528, doi:10.1016/s0026-2692(97)00125-0, (1998).

De Marcellis, A. ve diğerleri, "A novel low-voltage low-power fully differential voltage and current gained CCII for floating impedance simulations", *Microelectronics J.*, 40 (1), 20–25, doi:10.1016/j.mejo.2008.08.014, (2009).

Djukić, S., Vesković, M., ve Vulović, A., "An improved precision full-wave rectifier for low-level signal", *2010 9th Int. Symp. Electron. Telecommun.*, 33–38, doi:10.1109/ISETC.2010.5679351, (2010).

Dogan, M. ve Yuce, E., "CFOA based a new grounded inductor simulator and its applications", *Microelectronics J.*, 90 , 297–305, doi:10.1016/j.mejo.2019.07.002, (2019).

Dogan, M. ve Yuce, E., "A new CFOA based grounded capacitance multiplier", *AEU - Int. J. Electron. Commun.*, 115 , 153034, doi:10.1016/j.aeue.2019.153034, (2020).

Fabre, A., "Gyrator implementation from commercially available transimpedance operational amplifiers", *Electron. Lett.*, 28 (3), 263–264, doi:10.1049/el:19920162, (1992).

Fabre, A., Saaid, O., ve Barthelemy, H., "On the frequency limitations of the circuits based on second generation current conveyors", *Analog Integr. Circuits Signal Process.*, 7 (2), 113–129, doi:10.1007/BF01239166, (1995).

Fakhfakh, M., Loulou, M., ve Tlelo-Cuautle, E., "Synthesis of CCII and design of simulated CCII based floating inductances", *2007 14th IEEE Int. Conf. Electron. Circuits Syst.*, 379–382, doi:10.1109/ICECS.2007.4511009, (2007).

Ferri, G., Guerrini, N.C., ve Diquál, M., "CCII-based floating inductance simulator with compensated series resistance", *Electron. Lett.*, 39 (22), 97–98, (2003).

Ghosh, K. ve Ray, B.N., "CCII-based nth-order mixed mode elliptic filter with grounded R and C", *J. Circuits, Syst. Comput.*, 24 (3), 1–17, doi:10.1142/S0218126615500358, (2015a).

Ghosh, K. ve Ray, B.N., "CCII-based nth-order current-mode filter with grounded R and C", *Int. J. Electron. Lett.*, 3 (2), 105–121, doi:10.1080/21681724.2014.911366, (2015b).

Gift, S.J.G., "A high-performance full-wave rectifier circuit", *Int. J. Electron.*, 87 (8), 925–930, (2000).

Gift, S.J.G. ve Maundy, B., "Versatile precision full-wave rectifiers for instrumentation and measurements", *IEEE Trans. Instrum. Meas.*, 56 (5), 1703–1710, doi:10.1109/TIM.2007.904565, (2007).

Gunes, E.O. ve Anday, F., "CFA based fully integrated nth-order lowpass filter", *Electron. Lett.*, 33 (7), 571–573, (1997).

Günes, E.O. ve Anday, F., "Realisation of nth-order voltage transfer function using CCII+", *Electron. Lett.*, 31 (13), 1022–1023, doi:10.1049/el:19950751, (1995).

Günes, E.O. ve Anday, F., "An nth-order allpass voltage transfer function synthesis using commercially available active components", *Microelectronics J.*, 30 (9), 895–898, doi:10.1016/S0026-2692(99)00028-2, (1999).

Hassanein, W.S., Awad, I.A., ve Soliman, A.M., "New high accuracy CMOS current conveyors", *AEU - Int. J. Electron. Commun.*, 59 (7), 384–391, doi:10.1016/j.aeue.2004.10.001, (2005).

Hayatleh, K., Porta, S., ve Lidgely, F.J., "Temperature independent current conveyor precision rectifier", *Electron. Lett.*, 30 (25), 2091–2093, (1994).

Higashimura, M. ve Fukui, Y., "Novel lossless tunable floating FDNR simulation using two current conveyors and a buffer", *Electron. Lett.*, 22 (18), 938–939, (1986).

Higashimura, M. ve Fukui, Y., "New lossless tunable floating FDNR simulation using two current conveyors and an INIC", *Electron. Lett.*, 23 (10), 529–531, (1987).

Higashimura, M. ve Fukui, Y., "Brief communication simulation of lossless floating inductance using two current conveyors and an operational transconductance amplifier", *Int. J. Electron.*, 66 (4), 633–638, doi:10.1080/00207218908925418, (1989).

Horng, J.W., "High-order current-mode and transimpedance-mode universal filters with multiple-inputs and two-outputs using MOCCIs", *Radioengineering*, 18 (4), 537–543, (2009).

Horng, J.W., "Analytical synthesis of general high-order voltage/current transfer functions using CCII's", *Microelectronics J.*, 43 (8), 546–554, doi:10.1016/j.mejo.2012.05.003, (2012).

Hwang, Y.S. ve diğerleri, "A new ccii-based pipelined analog to digital converter", *2005 IEEE Int. Symp. Circuits Syst.*, 6170–6173, doi:10.1109/ISCAS.2005.1466049, (2005).

Ibrahim, M.A., Yuce, E., ve Minaei, S., "A new DVCC-based fully cascadable voltage-mode full-wave rectifier", *J. Comput. Electron.*, 15 , 1440–1449, doi:10.1007/s10825-016-0891-5, (2016).

Jaikla, W. ve Siripruchyanun, M., "Realization of current conveyors-based floating simulator employing grounded passive elements", *Proc. ECTI con*, 89–92, (2007).

Jongkustidchai, C., Fongsamut, C., Kumwachara, K., ve Surakamponorn, W., "Full-wave rectifiers based on operational transconductance amplifiers", *AEU - Int. J. Electron. Commun.*, 61 (3), 195–201, doi:10.1016/j.aeue.2006.04.001, (2007).

Kaçar, F. ve Başak, M.E., "A new mixed mode full-wave rectifier realization with current differencing transconductance amplifier", *J. Circuits, Syst. Comput.*, 23 (7), 1–15, doi:10.1142/S0218126614501011, (2014).

Khan, A.A., Bimal, S., Dey, K.K., ve Roy, S.S., "Current conveyor based R- and C- multiplier circuits", *AEU - Int. J. Electron. Commun.*, 56 (5), 312–316, doi:10.1078/1434-8411-54100121, (2002).

Khan, I.A. ve Ahmed, M.T., "OTA-based integrable voltage/current-controlled ideal C-multiplier", *Electron. Lett.*, 22 (7), 365–366, (1986).

Kiranon, W. ve Pawarangkoon, P., "Floating inductance simulation based on current conveyors", *Electron. Lett.*, 33 (21), 1748–1749, doi:10.1049/el:19971202, (1997).

Koksal, M. ve Sagbas, M., "A versatile signal flow graph realization of a general current transfer function", *AEU - Int. J. Electron. Commun.*, 62 (1), 33–40, doi:10.1016/j.aeue.2007.02.003, (2008).

Koton, J., Herencsar, N., ve Vrba, K., "Minimal configuration precision full-wave rectifier using current and voltage conveyors", *IEICE Electron. Express*, 7 (12), 844–849, doi:10.1587/elex.7.844, (2010).

Koton, J., Herencsar, N., ve Vrba, K., "Current and voltage conveyors in current- and voltage-mode precision full-wave rectifiers", *Radioengineering*, 20 (1), 19–24, (2011).

Koton, J., Vrba, K., ve Herencsar, N., "Voltage-mode full-wave rectifier based on DXCCII", *Analog Integr. Circuits Signal Process.*, 81 , 99–107, doi:10.1007/s10470-014-0363-4, (2014).

Kumar, A., Chaturvedi, B., Mohan, J., ve Maheshwari, S., "Single chip realizable high performance full-wave rectifier", *Int. J. Electron.*, 1–19, doi:10.1080/00207217.2021.1992677, (2021).

Kumngern, M. ve Dejhan, K., "High frequency and high precision CMOS full-wave rectifier", *Int. J. Electron.*, 93 (3), 185–199, doi:10.1080/00207210600562256, (2006).

Kuntman, H.H. ve Uygur, A., "New possibilities and trends in circuit design for analog signal processing", *2012 Int. Conf. Appl. Electron.*, 1–9, (2012).

Layos, M.C. ve Haritantis, I., "On the derivation of current-mode floating inductors", *Int. J. Circuit Theory Appl.*, 25 (1), 29–36, doi:10.1002/(sici)1097-007x(199701/02)25:1<29::aid-cta948>3.3.co;2-r, (1997).

Lee, C., "High-order current-mode universal filter using CCII<sub>s</sub> and grounded passive components", *Int. J. Emerg. Technol. Adv. Eng.*, 3 (8), 608–613, (2013).

Lee, C.N. ve Chang, C.M., "High-order mixed-mode OTA-C universal filter", *AEU - Int. J. Electron. Commun.*, 63 (6), 517–521, doi:10.1016/j.aeue.2008.04.004, (2009).

Li, Y. ve Li, Y.L., "A new capacitance multiplier structure with high multiplication factor for ultra-low-frequency filter in biomedical applications", *J. Circuits, Syst. Comput.*, 29 (7), 2050109, doi:10.1142/S0218126620501091, (2020).

M.T. Ahmed, I.A. Khan, N.M., "Novel electronically tunable C-multipliers", *Electron. Lett.*, 31 (1), 9–11, doi:10.1049/el:19950018, (1995).

Maitreechit, S. ve Monpapassorn, A., "A full-wave rectifier using a current conveyor and current mirrors with improved efficiency", *Thammasat Int. J. Sc. Tech*, 10 (2), 21–27, doi:10.1080/00207210110052892, (2005).

- Metin, B. ve Cicekoglu, O., "A novel floating lossy inductance realization topology with NICs using current conveyors", *IEEE Trans. Circuits Syst. II Express Briefs*, 53 (6), 483–486, doi:10.1109/TCSII.2006.873826, (2006).
- Minaei, S., Cicekoglu, O., Kuntman, H., ve Türköz, S., "Electronically tunable, active only floating inductance simulation", *Int. J. Electron.*, 89 (12), 905–912, doi:10.1080/0020721031000120470, (2002).
- Minaei, S. ve Yuce, E., "A new full-wave rectifier circuit employing single dual-X current conveyor", *Int. J. Electron.*, 95 (8), 777–784, doi:10.1080/00207210802141826, (2008a).
- Minaei, S. ve Yuce, E., "Realization of tunable active floating inductance simulators", *Int. J. Electron.*, 95 (1), 27–37, doi:10.1080/00207210701809333, (2008b).
- Minaei, S. ve Yuce, E., "A tunable circuit for realizing arbitrary floating impedances", *J. Circuits, Syst. Comput.*, 17 (3), 513–524, doi:10.1142/S021812660800440X, (2008c).
- Minaei, S. ve Yuce, E., "Novel voltage-mode all-pass filter based on using DVCCs", *Circuits, Syst. Signal Process.*, 29 (3), 391–402, doi:10.1007/s00034-010-9150-3, (2010).
- Minaei, S., Yuce, E., ve Cicekoglu, O., "A versatile active circuit for realising floating inductance, capacitance, FDNR and admittance converter", *Analog Integr. Circuits Signal Process.*, 47 (2), 199–202, doi:10.1007/s10470-006-4079-y, (2006).
- Monpapassorn, A., "Low output impedance dual CCII full-wave rectifier", *Int. J. Electron.*, 100 (5), 648–654, doi:10.1080/00207217.2012.720943, (2013).
- Monpapassorn, A., "A new current conveyor full-wave rectifier for low frequency/small signal medical applications", *Circuits Syst.*, 09 (03), 58–65, doi:10.4236/cs.2018.93006, (2018).
- Monpapassorn, A., Dejhan, K., ve Cheevasuvit, F., "A full-wave rectifier using a current conveyor and current mirrors", *Int. J. Electron.*, 88 (7), 751–758, doi:10.1080/00207210110052892, (2001).
- Myderrizi, I. ve Zeki, A., "Electronically tunable DXCCII-based grounded capacitance multiplier", *AEU - Int. J. Electron. Commun.*, 68 (9), 889–906, doi:10.1016/j.aeue.2014.04.013, (2014).

Nandi, S., Jana, P.B., ve Nandi, R., "Floating ideal FDNR using current conveyors", *Electron. Lett.*, 19 (7), 251, (1983).

Nandi, S., Jana, P.B., ve Nandi, R., "Novel floating ideal tunable FDNR simulation using current conveyors", *IEEE Trans. Circuits Syst.*, 31 (4), 402–403, doi:10.1109/TCS.1984.1085510, (1984).

On Semiconductor, "MBD101G, MMBD101LT1G Schottky Barrier Diodes", (2016).

Özer, E., Başak, M.E., ve Kaçar, F., "Realizations of lossy and lossless capacitance multiplier using CFOAs", *AEU - Int. J. Electron. Commun.*, 127, 153444, doi:10.1016/j.aeue.2020.153444, (2020).

P.V. Ananda Mohan, "Grounded capacitor based grounded and floating inductance simulation using current conveyors", *Electron. Lett.*, 34 (11), 1037–1038, doi:10.1049/el:19980743, (1998).

P.V. Ananda Mohan, "Floating capacitance simulation using current conveyors", *J. Circuits, Syst. Comput.*, 14 (1), 123–128, doi:10.1142/S0218126605002209, (2005).

Padilla-Cantoya, I. ve Furth, P.M., "Enhanced grounded capacitor multiplier and its floating implementation for analog filters", *IEEE Trans. Circuits Syst. II Express Briefs*, 62 (10), 962–966, doi:10.1109/TCSII.2015.2435751, (2015).

Padilla-Cantoya, I., Rizo-Dominguez, L., ve Molinar-Solis, J.E., "Capacitance multiplier with large multiplication factor, high accuracy, and low power and silicon area for floating applications", *IEICE Electron. Express*, 15 (3), 1–9, doi:10.1587/elex.15.20171191, (2018).

Pal, K., "New inductance and capacitor floatation schemes using current conveyors", *Electron. Lett.*, 17 (21), 807–808, doi:10.1049/el:19810563, (1981a).

Pal, K., "Novel floating inductance using current conveyors", *Electron. Lett.*, 17 (18), 638, doi:10.1049/el:19810447, (1981b).

Pal, K., "Modified current conveyors and their applications", *Microelectronics J.*, 20 (4), 37–40, doi:10.1016/0026-2692(89)90076-1, (1989).

Pal, K., "Floating inductance and FDNR using positive polarity current conveyors", *Act. Passiv. Electron. Components*, 27 (2), 81–83, doi:10.1080/0882751031000116133, (2004).

Petrović, P.B., "Current/voltage mode full-wave rectifier based on a single CCCII", *Int. J. Circuit Theory Appl.*, 48 (7), 1140–1153, doi:10.1002/cta.2781, (2020).

R. Jacob Baker, *CMOS Circuit Design, Layout, and Simulation*, New Jersey: IEEE Press, (2005).

Rabaey, J., "0.18um CMOS parameters [online]", (10 Şubat 2021), [http://bwrccs.eecs.berkeley.edu/Classes/icdesign/ee241\\_s02/Assignments/t18h\\_lo\\_epi-params-mod.txt](http://bwrccs.eecs.berkeley.edu/Classes/icdesign/ee241_s02/Assignments/t18h_lo_epi-params-mod.txt), (2008).

Safari, L., Barile, G., Stornelli, V., ve Ferri, G., "A new versatile full wave rectifier using voltage conveyors", *AEU - Int. J. Electron. Commun.*, 122 , 153267, doi:10.1016/j.aeue.2020.153267, (2020).

Sagbas, M., Ayten, U.E., Sedef, H., ve Koksall, M., "Floating immittance function simulator and its applications", *Circuits, Syst. Signal Process.*, 28 (1), 55–63, doi:10.1007/s00034-008-9057-4, (2009a).

Sagbas, M., Ayten, U.E., Sedef, H., ve Koksall, M., "Electronically tunable floating inductance simulator", *AEU - Int. J. Electron. Commun.*, 63 (5), 423–427, doi:10.1016/j.aeue.2008.02.016, (2009b).

Sagbas, M. ve Koksall, M., "Current-mode state-variable filter", *Frequenz*, 62 (1–2), 37–42, doi:10.1515/FREQ.2008.62.1-2.37, (2008).

Sahu, P.P., Singh, M., ve Baishya, A., "A novel versatile precision full-wave rectifier", *IEEE Trans. Instrum. Meas.*, 59 (10), 2742–2746, doi:10.1109/TIM.2010.2045539, (2010).

Sedra, A. ve Smith, K.C., "A second-generation current conveyor and its applications", *IEEE Trans. Circuit Theory*, 17 , 132–134, (1970).

Sedra, A.S. ve Smith, K.C., *Microelectronic circuits*, New York, United States of America: Oxford University Press, (2015).

Senani, R., "Active simulation of inductors using current conveyor", *Electron. Lett.*, 14 (15), 483–484, (1978).

Senani, R., "Novel active RC circuit for floating-inductor simulation", *Electron. Lett.*, 15 (21), 679–680, doi:10.1049/el:19790482, (1979).

Senani, R., "New tunable synthetic floating inductors", *Electron. Lett.*, 16 (10), 382–383, doi:10.1049/el:19800270, (1980a).

Senani, R., "Novel active RC realisations of tunable floating inductors", *Electron. Lett.*, 16 (4), 154–155, (1980b).



Senani, R., "Novel lossless synthetic floating inductor employing a grounded capacitor", *Electron. Lett.*, 18 (10), 413–414, doi:10.1049/el:19820283, (1982).

Senani, R., "Floating ideal FDNR using only two current conveyors", *Electron. Lett.*, 20 (5), 205–206, doi:10.1049/el:19830172, (1984).

Senani, R., "On the realization of floating active elements", *IEEE Trans. Circuits Syst.*, 33 (3), 323–324, doi:10.1109/TCS.1986.1085896, (1986a).

Senani, R., "On the realization of floating active elements", *IEEE Trans. Circuits Syst.*, 33 (3), 323–324, (1986b).

Senani, R., "Floating immittance realisation: nullor approach", *Electron. Lett.*, 24 (7), 403–405, (1988).

Senani, R. ve Bhaskar, D.R., "New lossy/loss-less synthetic floating inductance configuration realized with only two CFOAs", *Analog Integr. Circuits Signal Process.*, 73 (3), 981–987, doi:10.1007/s10470-012-9897-5, (2012).

Senani, R. ve Singh, V.K., "KHN-equivalent biquad using current conveyors", *Electron. Lett.*, 31 (8), 626–628, (1995).

Silapan, P., Tanaphatsiri, C., ve Siripruchyanun, M., "Current controlled CCTA based-novel grounded capacitance multiplier with temperature compensation", *IEEE Asia-Pacific Conf. Circuits Syst. Proceedings, APCCAS*, 1490–1493, doi:10.1109/APCCAS.2008.4746314, (2008).

Singh, S., Jatin, Pandey, N., ve Pandey, R., "Electronically tunable grounded capacitance multiplier", *IETE J. Res.*, 1–12, doi:10.1080/03772063.2020.1739573, (2020).

Singh, V., "A new active-RC circuit realization of floating inductance", *Proc. IEEE*, 1659–1660, doi:10.1109/PROC.1979.11549, (1979).

Siripruchyanun, M., Phattanasak, M., ve Jaikla, W., "Temperature-insensitive, current conveyor-based floating simulator topology", *2007 Int. Symp. Integr. Circuits*, 65–68, doi:10.1109/ISICIR.2007.4441797, (2007).

Soliman, A.M., "Applications of the current feedback operational amplifiers", *Analog Integr. Circuits Signal Process.*, 11 (3), 265–302, doi:10.1007/BF00240490, (1996).

Soliman, A.M. ve Saad, R.A., "Two new families of floating FDNR circuits", *J. Electr. Comput. Eng.*, 1–7, doi:10.1155/2010/563761, (2010).

Stornelli, V., Safari, L., Barile, G., ve Ferri, G., "A new extremely low power temperature insensitive electronically tunable VCII-based grounded capacitance multiplier", *IEEE Trans. Circuits Syst. II Express Briefs*, 68 (1), 72–76, doi:10.1109/TCSII.2020.3005524, (2020).

Toker, A., Çiçekoğlu, O., ve Kuntman, H., "New active gyrator circuit suitable for frequency-dependent negative resistor implementation", *Microelectronics J.*, 30 (1), 59–62, doi:10.1016/S0026-2692(98)00086-X, (1999).

Toumazou, C., Lidgey, F.J., ve Chattong, S., "High frequency current conveyor precision full-wave rectifier", *Electron. Lett.*, 30 (10), 745–746, (1994).

Verma, R., Pandey, N., ve Pandey, R., "Novel CFOA based capacitance multiplier and its application", *AEU - Int. J. Electron. Commun.*, 107, 192–198, doi:10.1016/j.aeue.2019.05.010, (2019).

Wang, C. ve diğerleri, "A novel Nth-order voltage-mode universal filter based on CMOS CFOA", *Optik (Stuttg.)*, 127 (4), 2226–2230, doi:10.1016/j.ijleo.2015.11.127, (2016).

Yesil, A., Yuce, E., ve Minaei, S., "Grounded capacitance multipliers based on active elements", *AEU - Int. J. Electron. Commun.*, 79, 243–249, doi:10.1016/j.aeue.2017.06.006, (2017).

Yildiz, M., Minaei, S., ve Yuce, E., "A high-performance full-wave rectifier using a single CCII-, two diodes, and two resistors", *Sci. Iran. Trans. D Comput. Sci. Eng. Electr. Eng.*, 24, 3280–3286, doi:10.24200/sci.2017.4488, (2017).

Yuce, E., "Floating inductance, FDNR and capacitance simulation circuit employing only grounded passive elements", *Int. J. Electron.*, 93 (10), 679–688, doi:10.1080/00207210600750208, (2006a).

Yuce, E., "On the realization of the floating simulators using only grounded passive components", *Analog Integr. Circuits Signal Process.*, 49 (2), 161–166, doi:10.1007/s10470-006-9351-7, (2006b).

Yuce, E., Cicekoglu, O., ve Minaei, S., "CCII-based grounded to floating immittance converter and a floating inductance simulator", *Analog Integr. Circuits Signal Process.*, 46 (3), 287–291, doi:10.1007/s10470-006-1624-7, (2006a).

Yuce, E., Cicekoglu, O., ve Minaei, S., "Novel floating inductance and FDNR simulators employing CCII+s", *J. Circuits, Syst. Comput.*, 15 (1), 75–81, doi:10.1142/S0218126606002964, (2006b).

Yuce, E. ve Minaei, S., "A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters", *IEEE Trans. Circuits Syst. I Regul. Pap.*, 55 (1), 266–275, doi:10.1109/TCSI.2007.913689, (2008a).

Yuce, E. ve Minaei, S., "Universal current-mode filters and parasitic impedance effects on the filter performances", *Int. J. Circuit Theory Appl.*, 36 (2), 161–171, doi:10.1002/cta.418, (2008b).

Yuce, E. ve Minaei, S., "On the realization of high-order current-mode filter employing current controlled conveyors", *Comput. Electr. Eng.*, 34 (3), 165–172, doi:10.1016/j.compeleceng.2007.04.001, (2008c).

Yuce, E. ve Minaei, S., "ICCI-based universal current-mode analog filter employing only grounded passive components", *Analog Integr. Circuits Signal Process.*, 58 (2), 161–169, doi:10.1007/s10470-008-9225-2, (2009).

Yuce, E. ve Minaei, S., "New CCII-based versatile structure for realizing PID controller and instrumentation amplifier", *Microelectronics J.*, 41 (5), 311–316, doi:10.1016/j.mejo.2010.03.008, (2010).

Yuce, E. ve Minaei, S., "Realization of arbitrary current transfer functions based on commercially available CCII+s", *Int. J. Circuit Theory Appl.*, 42 (7), 659–670, doi:10.1002/cta.1880, (2014).

Yuce, E., Minaei, S., ve Alpaslan, H., "Novel CMOS technology-based linear grounded voltage controlled resistor", *J. Circuits, Syst. Comput.*, 20 (3), 447–455, doi:10.1142/S0218126611007384, (2011).

Yuce, E., Minaei, S., ve Cicekoglu, O., "Full-wave rectifier realization using only two CCII+s and NMOS transistors", *Int. J. Electron.*, 93 (8), 533–541, doi:10.1080/00207210600711606, (2006c).

Yuce, E., Minaei, S., ve Cicekoglu, O., "Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor", *Electr. Eng.*, 88 (6), 519–525, doi:10.1007/s00202-005-0311-5, (2006d).

Yuce, E., Minaei, S., ve Ibrahim, M.A., "A novel full-wave rectifier/sinusoidal frequency doubler topology based on CFOAs", *Analog Integr. Circuits Signal Process.*, 93 , 351–362, doi:10.1007/s10470-017-1033-0, (2017).

Yuce, E., Minaei, S., ve Tokat, S., "Root-mean-square measurement of distinct voltage signals", *IEEE Trans. Instrum. Meas.*, 56 (6), 2782–2787, doi:10.1109/TIM.2007.908153, (2007).

Yuce, E., Verma, R., Pandey, N., ve Minaei, S., "New CFOA-based first-order all-pass filters and their applications", *AEU - Int. J. Electron. Commun.*, 103 , 57–63, doi:10.1016/j.aeue.2019.02.017, (2019).

Yucehan, T. ve Yuce, E., "CCII-based voltage-mode and current-mode high-order filters with gains and grounded passive elements only", *AEUE - Int. J. Electron. Commun.*, 155 , 154346, doi:10.1016/j.aeue.2022.154346, (2022a).

Yucehan, T. ve Yuce, E., "A new grounded capacitance multiplier using a single ICFOA and a grounded capacitor", *IEEE Trans. Circuits Syst. II Express Briefs*, 69 (3), 729–733, doi:10.1109/TCSII.2021.3102118, (2022b).

Yucehan, T. ve Yuce, E., "CCII-based simulated floating inductor and floating capacitance multiplier", *Analog Integr. Circuits Signal Process.*, 112 , 417–432, doi:10.1007/s10470-022-02056-5, (2022c).

Yucehan, T., Yuce, E., ve Dicle, Z., "CCII-based lossless floating frequency-dependent negative resistor with minimum passive elements", *J. Circuits, Syst. Comput.*, Basımda , doi:10.1142/S0218126623501244, (2022).

Yucel, F. ve Yuce, E., "CCII based more tunable voltage-mode all-pass filters and their quadrature oscillator applications", *AEU - Int. J. Electron. Commun.*, 68 (1), 1–9, doi:10.1016/j.aeue.2013.06.012, (2014).

Yucel, F. ve Yuce, E., "Grounded capacitor based fully cascable electronically tunable current-mode universal filter", *AEU - Int. J. Electron. Commun.*, 79 , 116–123, doi:10.1016/j.aeue.2017.05.041, (2017).