



TÜBİTAK

2009-336
Bilim yok

TÜRKİYE BİLİMSEL VE TEKNOLOJİK ARAŞTIRMA KURUMU
THE SCIENTIFIC AND TECHNOLOGICAL RESEARCH COUNCIL OF TURKEY

Elektrik, Elektronik ve Enformatik Araştırma Grubu
Electrical, Electronical and Informatics Research Group

108786

**Logaritmik Ortam Süzgeçlerinin Geliştirilmesi
ve LOGOS Sentez Otomasyon Yazılımının Oluşturulması**

Proje No: 105E088

Yrd. Doç. Dr. Abdullah T. TOLA
Arş. Gör. Remzi ARSLANALP
Arş. Gör. Şaziye SURAV YILMAZ

AĞUSTOS 2009
DENİZLİ

ÖNSÖZ

Logaritmik ortam süzgeçleri, akım modlu sürekli zamanlı filtre ailesinin son nesil üyesini oluşturmaktadır. Bu projede logaritmik ortam süzgeçlerine ait teorik çalışmalar yapılmış ve bu süzgeçlerin sentezini yapabilecek LOGOS ismi verilen bir yazılım geliştirilmiştir. Bu kapsamda, durum uzayı ve blok sentez yöntemleri geliştirilmiş, yüksek dereceli süzgeç elde edilebilecek bir yöntem önerilmiş, farklı topolojilerde çok sayıda devre tasarlanmıştır. Eş zamanlı olarak bu çalışmalar LOGOS tarafından desteklenmiş ve Pspice'da simülasyonları yapılarak test edilmiştir. Bu çalışmalara ilave olarak, deneysel çalışmalar yapılmış, bu süzgeçlerin ideal olmayan özellikleri hakkında da çalışılmıştır.

105 E 088 numaralı Logaritmik Ortam Süzgeçlerinin Geliştirilmesi ve LOGOS Sentez Otomasyon Yazılımının Oluşturulması isimli TÜBİTAK Kariyer projesi kapsamında desteklenerek yapılan çalışma sonuçları değişik bilimsel ortamlarda sunulmuş, yazım aşamasında/incelemede olan çalışmalar dışında şu ana kadar SCI Expanded kapsamında 2 adet makale, 5 adet uluslararası bildiri, 1 adet ulusal makale ve 4 adet ulusal bildiri yayımlanmış/kabul almıştır.

İşte bu proje kesin raporunda, yayımlanan sonuçlarla beraber 36 ay boyunca yapılan diğer çalışmalar özetlenerek sunulmuştur.

Yrd. Doç. Dr. Abdullah T. TOLA
Arş. Gör. Remzi ARSLANALP
Arş. Gör. Şaziye SURAV YILMAZ

TEŐEKKÜR

Bu projenin yürütülmesi sırasında gösterdikleri yakın alakadan dolayı TÜBİTAK Elektrik-Elektronik ve Enformatik Araştırma Grubu Yürütme Komitesi sekreteryasına, üyelerine ve EEEAG çalışanlarına, yorumlarıyla proje kalitesinin artırılmasına katkı sağlayan hakemlere ayrıca Pamukkale Üniversitesi Bilimsel Araştırma Projeleri Koordinasyon Birimi personeline teşekkürlerimizi sunarız.

Yrd. Doç. Dr. Abdullah T. TOLA

Arş. Gör. Remzi ARSLANALP

Arş. Gör. Şaziye SURAV YILMAZ

1

ÖZET

Bu projenin amacı logaritmik ortam süzgeçlerinin, daha genel olarak ELIN süzgeçlerinin analiz ve sentez teorisini geliştirmek ve bu süzgeçlerin analiz ve sentezini otomatik olarak yapacak bir yazılımın oluşturulmasıdır.

Logaritmik ortam ya da ELIN süzgeçler akım modlu, aktif, sürekli zamanlı süzgeçlerin bir üyesidir. ELIN süzgeçler düşük gerilim-düşük güç uygulamaları için uygundur. Bu tür süzgeçler yüksek doğrusallık, düşük bozulma ve elektronik olarak ayarlanabilirlik özelliklerine sahiptirler. ELIN süzgeçler elemanların tabii doğrusal olmayan özelliklerini doğrudan kullanırlar. İşaret devre içerisinde doğrusal olmayan bir şekilde işlenirken, giriş-çıkış arasındaki transfer fonksiyonu doğrusal kalmaktadır. Bu tarz süzgeçler aynı zamanda işaret işlemede genlik uygunlaştırma kavramını da kullanmaktadırlar.

Bu araştırmanın ana hedeflerinden bir tanesi yeni yaklaşımlarla logaritmik ortam, ya da olası diğer ELIN, süzgeçlerin analiz ve sentez teorisinin geliştirilmesidir. Bunun için, yüksek dereceli süzgeçlerin tasarımındaki sorunlar çözümlenmiş ve blok modelleme esaslı yeni bir sentez yöntemi geliştirilmiştir.

Araştırmanın diğer ana hedefi logaritmik ortam süzgeçlerinin analiz ve sentezi için LOGOS isimli bir yazılımın geliştirilmesidir. Bu yazılım MS Visual C#.NET ortamında geliştirilmiştir. Yazılımın çıktılarının otomatik olarak PSpice programında benzetimi yapılacaktır.

Sonuçlar ulusal ve uluslararası konferanslarda sunulmuş ve dergilerde yayınlanmıştır. Şu ana kadar 2 adet uluslararası makale, 5 adet uluslararası bildiri, 1 adet ulusal makale ve 4 adet ulusal bildiri yayımlanmış ya da kabul almıştır. Bu proje sonuçlarının logaritmik ortam süzgeçlerinin daha iyi anlaşılmasını sağlayacağı ümit edilmektedir.

Anahtar Kelimeler: Logaritmik ortam süzgeçleri, ELIN devreler, translineer devreler, akım modlu devreler, sürekli zamanlı filtreler, doğrusal olmayan devreler, işaret işlemede genlik uygunlaştırma

ABSTRACT

The objective of the research is to study and refine the analysis and synthesis theory of Log Domain or more generally Externally Linear Internally Nonlinear (ELIN) filters and develop software to synthesize and analyze this kind of filters automatically.

The class of Log domain filters or ELIN filters is a member of current mode active continuous time filters. ELIN filters are suitable for low voltage-low power applications. The filters are highly linear, have low distortion, and electronically tunable. ELIN filters use the natural nonlinear feature of elements directly. Although the signal is processed in the circuit nonlinearly, the overall transfer function from input to output remains linear. This kind of filters also uses the idea of companding (compressing and expanding) in signal processing.

One of the main goals of the research is to develop new approaches on the analysis and synthesis theory of Log domain filters, and possibly other ELIN filters. For this reason, the problems of synthesis of high order filters in the state space is addressed, a new synthesis method based on block modelling is developed.

The other main goal of the research is to develop "LOGOS" software to synthesize and analyze Log domain filters. This software is developed by using MS Visual C#.NET platform. The output of the software implementations is automatically simulated in PSpice program.

The results are presented on both national and international conferences and are published on journals. So far, 2 international journal papers, 5 international conference papers, 1 national journal paper, and 4 national conference papers are published or accepted to be published. The research project results are expected to provide further understanding of Log domain filters.

Keywords: Log Domain filters, ELIN circuits, translinear filters, current mode filters, continuous time filters, nonlinear circuits, companding in signal processing.

İÇİNDEKİLER

| | | |
|----------|--|-----------|
| 1 | Giriş | 12 |
| 1.1 | <i>Proje Amacı</i> | 17 |
| 1.2 | <i>Kapsam</i> | 18 |
| 2 | Durum Uzayı Sentez Yöntemi | 20 |
| 2.1 | <i>Giriş</i> | 20 |
| 2.2 | <i>Geliştirilen Durum Uzayı Sentez Yöntemi</i> | 24 |
| 2.3 | <i>Örnekler</i> | 27 |
| 2.3.1 | Örnek 1: İkinci Dereceden Band Geçiren Süzgeç..... | 27 |
| 2.3.2 | Örnek 2: Beşinci Dereceden Alçak Geçiren Süzgeç..... | 28 |
| 2.4 | <i>Bölüm Sonu Değerlendirmesi</i> | 35 |
| 3 | Blok Modelleme Yöntemi | 36 |
| 3.1 | <i>Giriş</i> | 36 |
| 3.2 | <i>Doğrusal Olmayan Blok Modelleme : Logaritmik Ortam Süzgeçlerinin İşlemsel Blokları</i> | 36 |
| 3.2.1 | Örnek: Birinci Dereceden A Sınıfı Alçak Geçiren Süzgeç..... | 40 |
| 3.3 | <i>Doğrusal Blok Modelleme</i> | 43 |
| 3.3.1 | Akım Ayırıcı Devre..... | 44 |
| 3.3.2 | AB Sınıfı Logaritmik Ortam İntegrator ve Çarpma Devresi..... | 45 |
| 3.3.3 | Doğrusal Blok Modelleme Kullanarak İkinci Dereceden Logaritmik Ortam Süzgeci Tasarımı... .. | 48 |
| 3.4 | <i>Blok Yapıları Kullanarak n. Derece Logaritmik Ortam Süzgeci Tasarımı</i> | 61 |
| 3.4.1 | Kaskat Bağlama..... | 62 |
| 3.4.2 | Toplama..... | 63 |
| 3.4.3 | n. Derece Devrenin Sentezi..... | 63 |
| 3.5 | <i>İntegrator bloklarını kullanarak n. Derece Logaritmik Ortam Süzgeci Tasarımı</i> | 65 |
| 3.6 | <i>Bölüm Sonu Değerlendirmesi</i> | 67 |
| 4 | Alternatif Devre Elemanlarının Kullanılması | 69 |
| 4.1 | <i>Giriş</i> | 69 |
| 4.2 | <i>Karekök Ortam Devreleri</i> | 69 |
| 4.2.1 | Durum Uzayı Sentez Yöntemi Kullanılarak İkinci Derece Karekök Ortam Süzgecinin Tasarımı | 71 |
| 4.3 | <i>Bölüm Sonu Değerlendirmesi</i> | 77 |
| 5 | İdeal Olmayan Özellikler | 78 |
| 5.1 | <i>Giriş</i> | 78 |
| 5.2 | <i>Darlington Bağlama Yöntemi ile İleri Yön Akım Kazancının Arttırılması</i> | 79 |
| 5.2.1 | Örnek: Darlington Bağlama Yöntemi Kullanılarak 3. Derece Eliptik Yaklaşımına Sahip Logaritmik Ortam Süzgecinin Tasarımı..... | 80 |
| 5.3 | <i>İdeal Olmayan Karakteristikler</i> | 84 |
| 5.3.1 | Sonlu İleri Yön Akım Kazancının Modellenmesi..... | 84 |
| 5.3.2 | Örnek: Geliştirilen Modelin Birinci Dereceden AB Sınıfı Alçak Geçiren Süzgeç Devresine Uygulanması..... | 86 |
| 5.4 | <i>DeneySEL Çalışmalar</i> | 88 |
| 5.4.1 | Örnek: Akım Kaynağı Modelin Birinci Dereceden A Sınıfı Alçak Geçiren Süzgeç Devresine Uygulanması..... | 89 |

| | | |
|----------|--|------------|
| 5.5 | <i>Bölüm Sonu Değerlendirmeler</i> | 92 |
| 6 | LOGOS Yazılımı | 93 |
| 6.1 | <i>Giriş</i> | 93 |
| 6.2 | <i>Programın Tanımı</i> | 93 |
| 6.3 | <i>Programın Kullanımı</i> | 95 |
| 6.3.1 | <i>Design Menü</i> sü..... | 95 |
| 6.3.2 | <i>Süzgeç Parametrelerinin Girişi</i> | 96 |
| 6.3.3 | <i>Analiz ve Transistör Parametrelerinin Girişi</i> | 101 |
| 6.3.4 | <i>Kaskat Bağlantı ile Sentez</i> | 105 |
| 6.3.5 | <i>View ve Simulate Menüleri</i> | 108 |
| 6.4 | <i>Çözüm Algoritmaları</i> | 110 |
| 6.4.1 | <i>Giriş</i> | 110 |
| 6.4.2 | <i>Süzgeç Yaklaşımları</i> | 110 |
| 6.4.3 | <i>Transfer Fonksiyonu</i> | 112 |
| 6.4.4 | <i>Sistem Denklemlerinden Devre Netlistinin Elde Edilmesi</i> | 114 |
| 6.4.5 | <i>Kodu Geliştirilen Özel Fonksiyonlar</i> | 114 |
| 6.4.6 | <i>Girdilerde Hata Denetimi</i> | 117 |
| 6.5 | <i>Programın Doğrulanması</i> | 118 |
| 6.5.1 | <i>Butterworth Yaklaşım Parametreleri Kullanılarak 9. Dereceden Süzgeç Devresi</i> | 118 |
| 6.5.2 | <i>Chebyshev Yaklaşım Parametreleri Kullanılarak 5. Dereceden Süzgeç Devresi</i> | 122 |
| 6.5.3 | <i>5. Dereceden Alçak Geçiren Kaskat Bağlı Logaritmik Ortam Süzgeç Devresi</i> | 127 |
| 6.5.4 | <i>5. Dereceden Yüksek Geçiren Kaskat Bağlı Logaritmik Ortam Süzgeç Devresi</i> | 131 |
| 7 | Sonuç ve Değerlendirmeler | 135 |
| 7.1 | <i>Giriş</i> | 135 |
| 7.2 | <i>Durum Uzay Sentez Yöntemi</i> | 135 |
| 7.3 | <i>Blok Modelleme Sentez Yöntemi</i> | 136 |
| 7.4 | <i>Alternatif Devre Elemanları ile Sentez</i> | 137 |
| 7.5 | <i>İdeal Olmayan Özellikler</i> | 137 |
| 7.6 | <i>LOGOS Yazılımı</i> | 138 |
| 7.7 | <i>Yapılan Yayınlar</i> | 139 |
| 7.8 | <i>Öneriler</i> | 141 |
| 8 | Referanslar | 142 |
| 9 | Ekler | 148 |

ŞEKİLLER DİZİNİ

| | |
|---|----|
| Şekil 1: Logaritmik ortam süzgeçlerinin çalışma mantığı | 15 |
| Şekil 2: Beşinci dereceden alçak geçiren logaritmik ortam süzgeç devresi..... | 33 |
| Şekil 3: Çıkış işaretinin zaman ortamında gösterimi | 34 |
| Şekil 4: Çıkış işaretinin frekans ortamında gösterimi | 34 |
| Şekil 5: Temel blokların gösterimi: a) Toplama bloğu b) İntegral alma bloğu c) Sabit ile çarpma bloğu..... | 36 |
| Şekil 6: Genel blok yapısı | 42 |
| Şekil 7: T mimarisinin kullanıldığı logaritmik ortam süzgeci | 42 |
| Şekil 8: F mimarisinin kullanıldığı logaritmik ortam süzgeci..... | 43 |
| Şekil 9: (a) A sınıfı devrelerin blok modellenmesi (b) AB sınıfı devrelerin blok modellenmesi | 44 |
| Şekil 10: Akım ayırıcı devre ve blok şeması..... | 45 |
| Şekil 11 : Sadece L tarafı için logaritmik ortam integral alıcı devre | 47 |
| Şekil 12: İntegral alıcı devre yapısı..... | 47 |
| Şekil 13: Sabit katsayı ile ölçeklendirme devre | 48 |
| Şekil 14: KHN blok mimarisi..... | 49 |
| Şekil 15: Tasarlanan logaritmik ortam KHN süzgecinin genel blok yapısı..... | 51 |
| Şekil 16: AB sınıfı logaritmik ortam KHN süzgeç devresi..... | 52 |
| Şekil 17: Temel süzgeçlere ait frekans ortamı sonuçları..... | 53 |
| Şekil 18: Çentik süzgece ait frekans ortamı sonuçları (a) kazanç (b) faz | 53 |
| Şekil 19: Tüm geçiren süzgece ait frekans ortamı sonuçları (a) kazanç (b) faz..... | 54 |
| Şekil 20: Band geçiren süzgeç için kalite faktörü | 55 |
| Şekil 21: Alçak geçiren süzgeç için farklı kesim frekansları | 55 |
| Şekil 22: %THD değerleri | 56 |
| Şekil 23: Temel Tow-Thomas blok mimarisi | 57 |
| Şekil 24: Tasarlanan Tow-Thomas süzgeci blok yapısı | 58 |
| Şekil 25: Tasarlanan AB sınıfı logaritmik ortam Tow-Thomas süzgeç devresi | 58 |
| Şekil 26: Farklı frekans değerleri için band geçiren süzgeç..... | 59 |
| Şekil 27: Farklı frekans değerleri için alçak geçiren süzgeç | 60 |
| Şekil 28: Farklı kalite faktörleri için band geçiren süzgeç yapısı | 60 |
| Şekil 29: % THD değerleri..... | 61 |
| Şekil 30: n. derece sisteme ait genel blok yapısı | 64 |
| Şekil 31: 3. derece transfer fonksiyonunun gerçekleşmesi..... | 65 |
| Şekil 32: n. derece genelleştirilmiş logaritmik ortam süzgeç blok modellenmesi | 66 |
| Şekil 33: Örnek transfer fonksiyonunun blok modellenmesi..... | 67 |
| Şekil 34: Karekök devresinin blok yapısı | 70 |
| Şekil 35: (a) PMOS (b) NMOS transistörler ile yapılmış basit karekök devreleri | 70 |
| Şekil 36: Elektronik olarak ayarlanabilen çok fonksiyonlu karekök ortam süzgeç devresi..... | 73 |
| Şekil 37: 5.3703 MHz'de band geçiren süzgecin giriş-çıkış işareti | 74 |
| Şekil 38: 6.6334MHz'de alçak geçiren süzgecin giriş-çıkış işareti | 74 |
| Şekil 39: Alçak geçiren ve band geçiren süzgeçler için farklı giriş tepe değerlerine karşılık % THD değerleri | 75 |
| Şekil 40: Band geçiren süzgecin farklı I_f değerlerindeki frekans cevapları | 75 |
| Şekil 41: Alçak geçiren süzgecin farklı I_f değerlerindeki frekans cevapları..... | 76 |
| Şekil 42: Alçak geçiren ve band geçiren süzgecin farklı I_f değerlerindeki frekans değerleri.. | 76 |
| Şekil 43: a) Yüksek β' lı Darlington bağlantı b) Sembolü | 80 |
| Şekil 44: Üçüncü dereceden logaritmik ortam eliptik süzgeç devresi | 82 |
| Şekil 45: 100 kHz giriş için giriş-çıkış grafiği | 83 |

| | |
|--|-----|
| Şekil 46: Frekans ortamı yanıtı | 83 |
| Şekil 47: İdeal NPN transistör..... | 85 |
| Şekil 48: İleri yön akım kazancı sonlu BJT elemanının modeli | 85 |
| Şekil 49: Birinci derece alçak geçiren süzgeç devresinde Q_3 and Q_7 transistörlerinin baz akımlarının sonlu olması durumunun modellenmesi | 87 |
| Şekil 50: Frekans ortamında her iki durumun karşılaştırılması | 88 |
| Şekil 51: Akım kaynağının CCII+ ile modellenmiş hali..... | 89 |
| Şekil 52: Birinci dereceden alçak geçiren logaritmik ortam süzgeç devresi..... | 90 |
| Şekil 53: Devrenin laboratuvar çalışmalarına uygunlaştırılmış hali | 90 |
| Şekil 54: Board üzerine kurulan logaritmik ortam süzgeç devresinden bir görüntü..... | 91 |
| Şekil 55: LOGOS programı akış diyagramı..... | 94 |
| Şekil 56: Program açılış ekranı ve genel görünümü | 96 |
| Şekil 57: Süzgeç yaklaşımları parametre giriş ekranı | 97 |
| Şekil 58: Transfer Fonksiyonu parametre giriş ekranı | 98 |
| Şekil 59: Sistem Denklemleri parametre giriş ekranı..... | 100 |
| Şekil 60: Analiz Parametreleri giriş ekranı | 101 |
| Şekil 61: Transistör parametreleri girildi ekranı -1 | 102 |
| Şekil 62: Transistör parametreleri girildi ekranı -2 | 103 |
| Şekil 63: Transistör parametreleri girildi ekranı -3 | 103 |
| Şekil 64: Netlist oluştur menüsü çıktı ekranı | 104 |
| Şekil 65: Netlist kaydetme menüsü çıktı ekranı..... | 105 |
| Şekil 66: Kaskat bağlantı devre oluşturulması..... | 106 |
| Şekil 67: Kaskat bağlantı transfer fonksiyonu girildi ekranı..... | 107 |
| Şekil 68: <i>Simulate With PSpice</i> alt menüsü çıktı ekranı | 109 |
| Şekil 69: <i>.out</i> alt menüsü çıktı ekranı | 109 |
| Şekil 70: Süzgeç parametre girişi..... | 110 |
| Şekil 71: Seçilen yaklaşım türüne göre parametrelerin değiştirilmesi..... | 111 |
| Şekil 72: Süzgeç yaklaşımından transfer fonksiyonuna geçiş algoritması | 112 |
| Şekil 73: Sistem denklemlerinin oluşturulması için kullanılan algoritma | 113 |
| Şekil 74: Süzgeç devresinin ve netlistinin oluşturulması..... | 114 |
| Şekil 75: Arcsinh fonksiyonu..... | 115 |
| Şekil 76: Arccosh fonksiyonu | 115 |
| Şekil 77: log _{1p} fonksiyonu | 116 |
| Şekil 78: Yaklaşık eşit fonksiyonu..... | 116 |
| Şekil 79: Eşlenik karmaşık köklerden polinom oluşturulması ve bunların çarpımı | 117 |
| Şekil 80: 9. dereceden Butterworth süzgeç yaklaşım parametreleri | 118 |
| Şekil 81: Elde edilen transfer fonksiyonu parametreleri | 119 |
| Şekil 82: Elde edilen sistem denklemleri parametreleri..... | 119 |
| Şekil.83: PSpice analiz parametreleri..... | 120 |
| Şekil 84: 9. dereceden Butterworth logaritmik ortam süzgeci | 120 |
| Şekil 85: Süzgeç devresi Netlist kaydetme | 121 |
| Şekil 86: 9. Dereceden Butterworth süzgeci frekans cevabı..... | 121 |
| Şekil 87: 9. Dereceden Butterworth süzgeci zaman ortamı cevabı..... | 122 |
| Şekil 88: 5. Dereceden Chebyshev süzgeci yaklaşım parametreleri | 123 |
| Şekil 89: 5. Dereceden Chebyshev süzgeci transfer fonksiyonu parametreleri | 123 |
| Şekil 90: 5. Dereceden Chebyshev süzgeci sistem denklemleri parametreleri | 124 |
| Şekil 91: 5. Dereceden Chebyshev süzgeci analiz parametreleri..... | 124 |
| Şekil 92: 5. Dereceden logaritmik ortam Chebyshev süzgeci..... | 125 |
| Şekil 93: 5. Dereceden logaritmik ortam Chebyshev süzgeci netlist dosyası kaydı | 125 |

| | |
|--|-----|
| Şekil 94: Chebyshev süzgeci PSpice analizi | 126 |
| Şekil 95: Beşinci dereceden Chebyshev süzgeci frekans ortamı cevabı | 126 |
| Şekil 96: Beşinci dereceden Chebyshev süzgeci zaman ortamı cevabı | 127 |
| Şekil 97: Beşinci dereceden kaskat logaritmik ortam süzgeci transfer fonksiyonları..... | 128 |
| Şekil 98: Beşinci dereceden kaskat logaritmik ortam süzgeci için analiz parametreleri | 128 |
| Şekil 99: Beşinci dereceden kaskat logaritmik ortam süzgeci netlist dosyası | 129 |
| Şekil 100: Kaskat logaritmik ortam süzgeci netlist dosyası kaydı..... | 129 |
| Şekil 101: Beşinci dereceden kaskat logaritmik ortam süzgeci PSpice analizi | 130 |
| Şekil 102: Beşinci dereceden kaskat logaritmik ortam süzgeci frekans ortamı cevabı..... | 130 |
| Şekil 103: Beşinci dereceden kaskat logaritmik ortam süzgeci zaman ortamı cevabı..... | 131 |
| Şekil 104: Beşinci dereceden yüksek geçiren kaskat logaritmik ortam süzgeci transfer fonksiyonları..... | 132 |
| Şekil 105: Beşinci dereceden yüksek geçiren kaskat süzgeç için analiz parametreleri | 132 |
| Şekil 106: Beşinci dereceden yüksek geçiren kaskat logaritmik ortam süzgeci PSpice analizi | 133 |
| Şekil 107: Beşinci dereceden yüksek geçiren kaskat süzgeç frekans ortamı cevabı | 133 |
| Şekil 108: Beşinci dereceden yüksek geçiren kaskat logaritmik ortam süzgeci zaman ortamı cevabı | 134 |

TABLOR DİZİNİ

| | |
|---|----|
| Tablo 1: Durum uzayı-blok modelleme karma yöntemi karşılık tablosu (Tola, 2007c)..... | 38 |
| Tablo 2: Tüm süzgeçler için gürültü değerleri | 56 |
| Tablo 3: Çıkış akımı % THD oranları | 84 |
| Tablo 4: Değişik frekanslardaki çıkış / giriş oranı | 91 |

1 Giriş

Logaritmik ortam süzgeçleri (Log Domain Filters), daha genel ifade ile ELIN (Externally Linear Internally Nonlinear) (Tsividis, 1997) süzgeçler, ilk tasarlandığı günden bu yana yüksek frekans, düşük güç, düşük gerilim, yüksek hız ve düşük gürültü uygulamalarında cazip bir seçenek olarak ilgiyi üzerinde toplamıştır. Uygulama alanlarının iletişim çağının gereksinimlerine uygun olması ve düşük maliyetli olarak entegre teknolojisine uyum sağlaması, konunun hızlı bir gelişim göstermesinin nedenlerindedir (Frey, 1993), (Frey, 2000).

ELIN süzgeçler yeni bir anlayış olmasından dolayı günümüze kadar gelen klasik filtre anlayışlarından hem teorik alt yapısı olarak, hem de sentez sonunda elde edilen devrenin çalışma mantığı olarak farklılık göstermektedir. Bu sebepten dolayı, net olarak ifade edilebilir ki ELIN süzgeçler, akım modlu ve sürekli zamanlı filtrelerin bir alt kolu olarak ve yeni nesil bir süzgeç türü olarak bilim dünyasındaki yerini almaktadırlar. Bu yeni süzgeç anlayışının temel farklılığı işaretin işlendiği ortamın doğrusal olmamasına karşın giriş ile çıkış arasındaki doğrusal ilişkinin yüksek doğrulukta sağlanabilmesidir.

Logaritmik ortam süzgeçlerinin ortaya çıkmasının sebebi aktif elemanların doğal uç denklemlerinin doğrusal olmamasına karşın, işaret işleme fonksiyonunun doğrusal olmasının istenmesidir. Bu zorunluluk, ELIN süzgeçleri ortaya çıkıncaya kadar, aktif devre elemanlarının sınırlı bir kapsamda doğrusal olarak kabul edilebilen aralıkta çalıştırılması suretiyle aşılmaya çalışılmıştır. Ancak bu da beraberinde doğrudan ya da ilave kullanılan devre elemanları ile dolaylı olarak, dar bir çalışma sahası, bozulmaya ve gürültüye eğilim, aşırı güç tüketimi, yüksek besleme gerilimi gibi istenilmeyen bazı sonuçlar getirmektedir. Yani diğer bir ifadeyle alışlagelmiş süzgeç yapılarında elemanların tek tek doğrusallaştırma çabalarının yerine ELIN süzgeçlerde giriş ile çıkış arasındaki ilişkinin doğrusal olması yeterlidir. Böylece önemli bir sorun olarak tasarımcıların karşısına çıkan doğrusallaştırma sorunu ELIN süzgeçlerin kullanılması ile kesin olarak çözülmüş olmaktadır.

İşaret, devre elemanlarının doğrusal olmayan uç denklemlerinin kısmen doğrusallaştırılması ile işlenmesi yerine, doğrusal olmayan devre elemanlarının uç denklemlerinin fonksiyonları

ile tanımlanmış ortama girerek işlenir. Daha sonra işarete uygulanan doğrusal olmayan fonksiyonun tersinin uygulanması ile tekrar doğrusal ortama dönülür. Bu işlemin yüksek doğrusallık ile bozulma oranının azalmasına ve daha az devre elemanı ile gürültü oranının düşmesine olumlu etkileri vardır. Aynı zamanda doğrusal-doğrusal olmayan ortam dönüşümlerinin bir etkisi daha vardır. Literatürde genlik uygunlaştırmalı işaret işleme (companding [Compressing&Expanding] in signal processing) olarak adlandırılan kavram ELIN devreler ile farklı bir boyuta taşınmıştır (Tsividis, 1990), (Seevinck, 1990). Girişte uygulanan fonksiyon ile işaret genlik olarak sıkıştırılmakta yani büyük genlikli işaretler küçültülmekte, küçük genlikli işaretler ise büyütülmektedir. İşaret istenildiği gibi işlendikten sonra girişte uygulanan fonksiyonun tersinin uygulanması ile tekrar işaret özgün genliğine kavuşmaktadır. Böylece çok yüksek bir dinamik aralık elde edilebilmektedir.

İşaretin doğrusal olmayan ortamda işleme fikri süzgeç yapıları dışında farklı devrelerde de kullanılmıştır (Ozoguz, 2001), (Ozoguz, 2003), (Pookaiyaudom, 1995), (Thanachayanont, 1995), (Ercan, 2006).

Logaritmik ortam süzgeçleri ilk defa 1979 yılında Adams tarafından yazılan bir makalede sunulmuştur (Adams, 1979). Bu makale her ne kadar logaritmik ortam süzgeçlerinin temeli olarak kabul edilse de sistematik altyapısının oluşturulamamasından dolayı, konunun miladı olarak 1993 yılında Frey tarafından ortaya konulan teori gösterilmektedir (Frey, 1993). Frey bu makalesinde doğrusal olarak çalışmaya zorlanmayan devre elemanları kullanılarak tam doğrusal çıkış-giriş ilişkisinin elde edildiği logaritmik ortam süzgeç anlayışının teorik alt yapısına ilişkin temel sistematik analiz ve sentez yöntemini sunmuştur.

Frey, 1993 yılında yayımlanan bu makalesinde genelleştirilmeye uygun olmasından dolayı durum uzayı yöntemini kullanmıştır. Durum değişkenlerinin her birinin üstel bir aktarım fonksiyonu ile bire-bir örten eşlenmesi ile doğrusal olmayan ortama geçiş sağlanmış olur. Kullanılan üstel aktarım fonksiyonu gereğince oluşan sınırlamalar, olası tüm durum denklemlerinin gerçekleşmesine engel olmaktadır. Bu istenilmeyen durum, Frey tarafından o yıllarda bir dönüşüm matrisinin kullanılması ile çözümlenmiştir. Ancak bu dönüşüm matrisinin elde edilmesinin zor olması hatta uygun bir matrisin elde edilememesi, sistematik sentez adına olumsuz bir durum olarak görülmektedir. Bu devrelerde işaretin doğrusal

olmayan bir ortamda işlenmesine karşın sistemin doğrusal davranışa sahip olması sebebiyle ilerleyen yıllarda bu konu birçok araştırmacının ilgisini çekmiştir.

Logaritmik ortam süzgeçlerinin ortaya çıkmasında büyük pay sahibi olan Frey, 1996 yılında yayımladığı makalesinde sistematik analiz ve sentez adına daha sağlam bir temel ortaya koymuştur (Frey, 1996). Bu makalenin önceki çalışmadan en önemli farkı durum değişkenlerine uygulanan aktarım fonksiyonun genel olarak ele alınmış olmasıdır. Böylece aynı işlevi yerine getiren farklı aktarım fonksiyonları kullanılarak doğrusal olmayan ortamı farklı süzgeçler sunulmuş olmaktadır.

Aynı yıllarda ELIN filtrelerde aktarım fonksiyonu olarak gerçel katsayılı ikinci derece bir polinomun kullanılması ile MOS transistör devre elemanlarından oluşan doğrusal olmayan ortama sahip filtre devreleri tasarlanmıştır (Eskiyerli, 1996). Böylece farklı devre elemanlarından oluşan ELIN devrelerin elde edilebildiği görülmüştür (Eskiyerli, 2000), (Punzerberger, 1998), (Python, 2000).

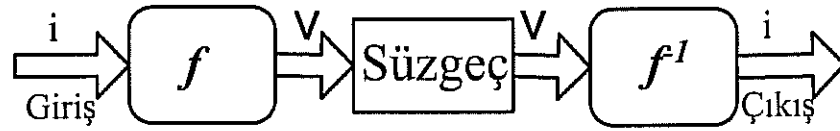
Üstel bir aktarım fonksiyonu kullanılarak (devre üzerindeki gerilimlerin aktarım fonksiyonuna uygulanıp yeni değerlerin elde edilmesi ile) yapılan eşlenmelerin tamamının gerçekleşmesinde oluşan sorunlar hala tam olarak aşılmış değildir. Logaritmik ortam filtrelerinde yapılan eşlemenin bire-bir örten olabilmesi için giriş işaretinin ve durum değişkenlerinin kesinlikle zaman ortamında negatif değer almaması zorunlu idi. Bu durum ilerleyen yıllarda her ne kadar çeşitli yöntemler ile aşılmaya çalışılmış ise de, 1999 yılında sunulan bir teori sayesinde çözümlenmiştir (Frey, 1999). Daha sonraları makaledeki teorik çalışmalar uygulama devreleri ile ayrıntılı olarak incelenmiştir (Tola, 2000b).

Frey ve bazı araştırmacılar çalışmalarında genellikle sentez yöntemi olarak sistemin iç dinamiklerinden elde edilen verilere dayanan durum uzayı yöntemini esas almıştır (Frey, 1993), (Frey, 1996), (Frey, 1999), (Arslanalp, 2005b), (Drakakis, 1999), (Kircay, 2006), (Tola, 2005a), (Tola, 2005b), (Tola, 2005c), (Tola, 2007b). Fakat diğer araştırmacıların birçoğu bu yöntem yerine genelleştirmeden daha uzak görünen ve devrenin parçalı olarak ele alınmasından dolayı bazı uyum sorunlarının yaşanabildiği, bunun yanında sentezin kısmen daha kolaylaştığı işaret akış yöntemini tercih etmişlerdir (Perry, 1995), (Perry, 1996), (Psychalions, 2002) (Drakakis, 2001). İşaret akış yönteminde temel olan, hedeflenen devreye

göre farklılıklar gösterebilen, işaret akış diyagramlarıdır. İşaret akış diyagramı denildiğinde devre bünyesindeki dal değişkenleri ile işaretin giriş-çıkış arasında takip ettiği yolun arasındaki matematiksel ilişkinin anlatıldığı şemaların anlaşılması gerekir.

Doğrusal olmayan ortamda sentez işleminde gerilim modlu durum uzayı tanımlanması ile senteze başlanması bazı araştırmacılar tarafından eleştirilmiştir (Mulder, 1997). Bu eleştirilerin temelinde sentez sonunda elde edilen devrelerin akım modlu translineer bir devre olmasından dolayı sentez işlemindeki tanımlamaların tamamının akım olarak yapılması gerekliliği fikri yatmaktadır. Savunulan bu fikrin 1997 yılında yazılan bir makalede gösterilen sebeplerinden çıkarılabilecek yorumu şöyledir: Sadece akımlar ile gerçekleştirilen sentez daha kolay ve zahmetsizdir. Makalede genel akım modlu analiz yöntemi sunulmuş ve yapılan araştırmanın bundan sonraki çalışmalarda sadece akım modlu bileşenlerin kullanılmasındaki ilk adım olacağı öngörülmüştür (Mulder, 1997).

Logaritmik ortam süzgeçlerinin girişinde ve çıkışında uygulanan sıkıştırma-genişletme işleminde kullanılan fonksiyon aynı zamanda akım-gerilim dönüştürücüsüdür. Sisteme giren işaret akım olmasına karşın genlik uygunlaştırma fonksiyonuna maruz kaldığında işaret doğrusal olmayan ortamdaki gerilime dönüşür. Çıkışta girişte uygulanan işaretin tersinin uygulanması ile işaret tekrar doğrusal akım ortamına geri döner. Bu durum Şekil 1'de gösterilmiştir.



Şekil 1: Logaritmik ortam süzgeçlerinin çalışma mantığı

Şekil 1'de süzgeç giriş-çıkış büyüklükleri gerilim olmasına karşın, bu gerilimlerin etkisiyle transistör akımları olduğundan, aslında işlenen işaret akımdır. Buna ilave olarak, giriş-çıkış arasındaki doğrusal ilişkinin akım olması ve devre üzerindeki kesim frekansının elektronik olarak akım ile ayarlanabilir olması yani besleme gerilimi dışında işlenen işareti doğrudan etkileyen tüm büyüklüklerin akım olmasından dolayı logaritmik ortam süzgeçleri akım modlu devrelerin en son uygulamalarından birisi olarak kabul edilmektedir.

ELIN süzgeçler işaretin işlenişi bakımından 1990 yılında yeni bir fikir olarak ortaya atılan işaretin sıkıştırma-genişletme (Compadding) işlemi ile yakından alakalıdır (Tsividis, 1997), (Seevinck, 1990), (El-Gamal, 2000). Logaritmik ortam süzgeçleri bu yüzden işaret sıkıştırma-genişletme işleminin geniş dinamik giriş aralığı gibi üstünlüklerine sahiptir. Logaritmik ortam süzgeçlerinin çalışma yapısı gereğince girişte akımın logaritması çıkışta ise üsteli alınır. Bu sayede işaret dB olarak girişte sıkıştırılmış çıkışta ise genişletilmiş olur. Böylelikle gerçel olarak işaretin işlenebilir alt sınırı olan gürültü tabanı (noise floor) aşağıya, üst sınırı olan aşırı yüklenme seviyesi (overload level) yukarıya kaydırılmış olmaktadır (Tsividis, 1997). Yapılan bu işleme *genlik uygunlaştırma* işlemi, bu işlemin kullanıldığı filtre devrelerine ise *genlik uygunlaştırmalı filtreler* denilebilir. Bu sayede devrenin dinamik çalışma aralığı oldukça artmaktadır. Bu da çok önemli bir üstünlük olarak çeşitli araştırmacılar tarafından ortaya konulmuştur (Tsividis, 1997), (Mulder, 1997), (Frey, 2001), (Mahattanakul, 2000).

İlerleyen yıllarda işaretin logaritmik ortamda sıkıştırılıp genişletme işlemi sistematik olarak ele alınmış, sadece üstel aktarım fonksiyonu ile sınırlı kalmayan genel bir teori sunulmuştur (Frey, 2001). Sunulan bu teori sonunda elde edilen terimlerin tamamının translineer prensibine uygunluk sağlamış olması sentez sonunda elde edilecek devrenin translineer prensibine uygun olarak tasarlanmasını sağlayacağı ifade edilmiştir (Frey, 2001).

Doğrusal olmayan ortamda işaret işleme fikri ilk defa ortaya atıldığı günden bu yana farklı araştırmacılar farklı bakış açıları ile konuya değişik yorumlar getirmiştir. Frey, 2000 yılında klasik filtre anlayışından durum uzayı yöntemi kullanılarak elde edilen logaritmik ortamlı filtreler kadar gelen değişimi bir makalede toplamış ve aralarındaki farkları irdelemiştir. Araştırmacının filtreler konusundaki gelişmeyi tarihsel olarak ele alması gelecek yıllardaki ilerlemeler hakkında da bazı ipuçlarının ortaya çıkmasına sebep olmuştur (Frey, 2000).

Logaritmik ortam süzgeçlerinin teorisinin çok sayıda matematiksel işlem gerekmesi nedeniyle, bu işlemlerin yazılım desteğiyle yapılması gerektiği ifade edilmiştir (Tola 2004), (Surav Yılmaz, 2005a), (Surav Yılmaz, 2005b).

1.1 Proje Amacı

Durum uzayı fikrinin çok fazla araştırmacı tarafından ilgi görmemesi yöntemin gelişimini tam olarak tamamlayamamasına yol açmıştır. Bilhassa durum uzayı denklemlerindeki katsayılar matrisinin tüm farklı seçeneklerini içermediği için bazı özel durumlarda karşılaşılan sorunların çözümleri net olarak ortaya konulmuş değildir. Bu durum da genel bir sentez yönteminin sunulmasında olumsuz bir etki olarak yorumlanmaktadır.

On yılı aşkın bir süredir logaritmik ortam süzgeçleri üzerine çeşitli araştırmalar yapılmaktadır. Bu araştırmalarda durum uzayı sentez yöntemi sayılı araştırmacılar tarafından kullanılmış (proje yürütücüsü ve proje ekibinin diğer elemanları ağırlıklı olarak bu yöntemi takip etmektedirler); diğer araştırmacılar genellikle sentez yöntemi olarak blok modelleme ya da işaret akış diyagramını tercih etmişlerdir. Bu yüzden sistematik bir sentez yöntemi yerine seçilen devreye ya da transfer fonksiyonuna özel çözümler geliştirilmiştir. Bu projenin öncelikli amaçlarından bir tanesi durum uzayı sentez yöntemini esas alarak gerektiği durumlarda işaret akış diyagramı yöntemi ile destekleyerek tüm farklı seçenekleri kapsayan geliştirilmiş bir sistematik sentez yöntemi sunmaktır. Böylesi geliştirilmiş bir yöntemin olmayışı konunun gelişimini etkilemektedir. Bu bağlamda, durum uzayı sentez yöntemi geliştirilerek, özellikle yüksek dereceli süzgeç tasarımı yapılabilecek hale getirilmiştir. Ayrıca blok modelleme tabanlı logaritmik ortam süzgeç ortamlarının sentezine ilişkin genel bir yöntem geliştirilmiştir. Böylece sadece durum uzayı gösteriminin öngördüğü devre topolojileri ile sınırlı kalınmayıp farklı devre topolojilerinde de logaritmik ortam süzgeci tasarlanabilir hale gelmiştir.

Yapılan sentez işlemlerinin uzun sürmesi farklı alternatiflerin karşılaştırılabilmesini zor kılmaktadır. Bu yüzden el ile yapılan bu işlem adımlarını otomatik olarak arka planda yapan teorik olarak geliştirilen durum uzayı ve blok modelleme genel sentez yöntemini kullanan bir otomasyon yazılımı geliştirilmiştir. Böylece yazılan program sayesinde istenilen özelliklere sahip bir logaritmik ortam süzgeci zengin seçenekleri ile istenildiği gibi tasarlanabilecektir. Bu sayede yapılan tasarımlardan elde edilecek sonuçların temini çok daha kolay hale gelmiştir. Aynı zamanda farklı devre mimarilerinin aynı çalışma noktalarındaki sonuçları istatistiksel olarak karşılaştırılabilmiştir.

Durum uzayında sentezlenen devreler incelendiğinde yüksek dereceli tasarımlara çok fazla rastlanmadığı, yüksek dereceli tasarlanan devrelerin de 1. ve 2. derece devrelerin ardarda eklenmesi ile oluştuğu tespit edilmiştir. Durum uzayında yüksek dereceli devrelerin tek defada sentezinin yapılabilmesi ve elde edilecek sonuçların kaskat bağlı yapılar ile karşılaştırılması farklı parametreler ile daha iyi sonuç verecek devrelerin araştırılması ile konu üzerindeki belirsizlik ortadan kalkmıştır. Bu konudaki çalışmalarımız ile eksiklikler büyük ölçüde giderilmiştir.

Literatürdeki logaritmik ortam süzgeçlerinde kullanılan elemanlar genelde ideal kabul edilmektedir. Örneğin BJT elemanının ileri akım kazancı sonsuz varsayılmaktadır. Durum uzayı yönteminde tasarlanan devrelerin tasarım esnasında yapılan kabullerin ve ihmallerin sonucu olarak ve kullanılan devre elemanlarının ideal olmayan etkilerinden dolayı bir takım bozulmalar ve gürültüler oluşmaktadır. Bu bozulma ve kayıpların gerçek elemanlar ile devrelerin oluşturulmasında kabul edilebilir sınırlar içerisinde olduğu gözlemlenmiştir. Oluşan bozulmaların ve gürültülerin net olarak sebeplerinin bulunması ve ideal transistörleri modelleyerek bu etkilerin elde edilmesi hatta bu etkileri yok edecek mimarilerin geliştirilmesi ile daha düşük bozulma ve daha az gürültüden etkilenmiş devreler elde edilebilecektir. Bu konu hakkında çalışılmış, hataları ortadan kaldıran bir devre önerilmiş, ancak genelleştirilip sonuca gidilememiştir. Bu konuda proje yürütücüsünün danışmanlığını yaptığı bir yüksek lisans tezi araştırmaları devam etmektedir.

1.2 Kapsam

105E088 numaralı Logaritmik Ortam Süzgeçlerinin Geliştirilmesi ve LOGOS Sentez Otomasyon Yazılımının Oluşturulması isimli TÜBİTAK KARIYER projesinin kesin sonuç raporu olarak hazırlanan bu araştırma raporunda, proje süresince yapılan çalışmalar konu başlıkları gözetilerek sunulacaktır. Sunum sırasında mümkün olduğunca özet bilgiler verilmeye çalışılmış, detaydan ve tekrardan sakınılmıştır. Yapılan çok sayıda sentezden sadece özel anlam ifade edenler örnek olması açısından verilmiştir.

İkinci bölümde proje ekibinin logaritmik ortam süzgeçleri tasarımında temel aldığı durum uzayı sentez yöntemi genel hatlarıyla özetlenmiş, yüksek dereceli süzgeç tasarımına olanak sağlayacak tarafımızdan geliştirilen bir yöntem detaylı olarak sunulmuştur.

Durum uzayı yanında bu proje hedeflerinden birisi olan blok modellemeye dayalı sentez çalışmaları ise üçüncü bölümde sunulmuştur. Hem doğrusal olmayan hem de doğrusal blok modelleme çalışmaları özetlenmiş, farklı topolojilerden KHN ve Tow-Thomas devre tabanlı tasarımlarımız hakkında bilgi verilmiştir. Bu bölümde ayrıca yüksek dereceli filtrelerin blok modelleme ile sentezinin kaskat bağlı sistemlerle nasıl yapılabileceğine dair iki yöntem sunulmuştur.

Dördüncü bölümde BJT elemanları dışında elemanlarla yapılan çalışmalarımız özetlenmiştir. Karekök ortam süzgeçleri ismi verilen MOSFET'lerle yapılan ELIN filtre çalışmalarımızdan bir örnek bu bölümde anlatılmıştır.

Projenin bir diğer hedefi olan devrelerdeki ideal olmayan karakteristiklerin modellenmesi ise beşinci bölümde anlatılmıştır. Burada, Darlington tabanlı baz akımlarının sıfır olmamasından kaynaklı sorunların çözümüne ilişkin bir önerimiz, ideal olmayan karakteristiklerin modellenmesi ile ilgili çalışmamız ve akım kaynaklarının tasarımına ilişkin deneysel çalışmalar sunulmuştur.

Logaritmik ortam süzgeçlerinin teorik olarak geliştirilmesi ile alakalı bu bölümlerden sonra projenin iki ana kısmından birisi olan yazılım çalışmalarımız bütünlük arzemesi açısından tek bölümde topluca özetlenmiştir. C#.NET yazılım dilinde geliştirilen ve LOGOS ismi verilen yazılımımızın arayüzleri, farklı kullanım seçenekleri, arka planda kullanılan algoritmalar ve örnek tasarımlar altıncı bölümde sunulmuştur.

Son olarak yedinci bölümde proje sonuçları değerlendirilmiş, yapılanlar ve yapılamayanlar özetlenmiş, bundan sonra yapılabilecek çalışmalar hakkında öneriler sunulmuştur.

2 Durum Uzayı Sentez Yöntemi

2.1 Giriş

Durum uzayı sentez yöntemi, bir süzgecin ya da daha genel anlamda bir sistemin tasarlanması için kullanılan yöntemlerden bir tanesidir. Çok girişli çok çıkışlı sistemlere uygunluğu ve doğrusal olmayan sistemlere uygulanabilirliğinden dolayı logaritmik ortam süzgeçlerinde etkili bir yöntem olarak kabul edilir. Logaritmik ortam süzgeçleri ile yapılan çalışmalarda durum uzayı sentez yönteminden başka yöntemler de kullanılmıştır (Drakakis, 1999), (Psychalinos, 2002), (Psychalinos, 2008), (Roberts, 2002).

Durum uzayı metodu diğer sistem tanımlama yöntemlerinden farklıdır. Durum değişkenleri yönteminde sistem, harici büyüklüklerin yani giriş-çıkış bilgilerinin temel alındığı yöntemler ile tanımlamak yerine, dahili büyüklüklerden yararlanarak tanımlanacaktır (Hsu, 2001). Sistemi bu şekilde tanımlamanın çeşitli faydaları vardır. Bu faydalar şunlardır:

1. Sistemin davranışlarına yönelik iç bilgiler temin edilir.
2. Çok girişli ve çıkışlı sistemlerin birleştirilmiş bir biçimde incelenmesi sağlanır.
3. Doğrusal olmayan ve zamanla değişen sistemlerde kullanılabilir.

Diğer sistem analizinde kullanılan yöntemlerde herhangi bir t anındaki sistemin cevabını hesaplamak için $-\infty$ 'dan t anına kadar sistemin girişlerini bilmemiz gerekir. Eğer sadece girişlerin $t > t_0$ anı için alacağı değerler ve sistemin $t = t_0$ başlangıç şartları biliniyorsa çıkışın da, sadece $t > t_0$ anı için cevabı hesaplanabilir (Lathi, 2004).

Girişlerin $t > t_0$ anı için alacağı değerler biliniyorsa, x_1, x_2, \dots, x_n 'in t_0 anındaki değerlerinin bilinmesi, $t > t_0$ anındaki sistemin davranışlarının bilinmesi için yeterlidir. İşte bu şartı sağlayan en az sayıdaki x_1, x_2, \dots, x_n 'e durum değişkenleri ismi verilir.

Durum değişkenleri metodunun uygulanmasında karşılaşılan kısıtlama ise yöntemin sadece nedensel sistemlere uygulanabilir olmasıdır (Hsu, 2001).

Durum deęişkenleri için, bir sistemin ani deęerlerini bulmanın bir çok yolu vardır. Yani sistemin davranışı bir çok yolla ifade edilebilir. Bunun anlamı şudur: Bir devre için durum deęişkenleri farklı seçilebilir.

Kısaca herhangi bir $t > t_0$ anı için çıkış $y(t)$ 'nin hesaplanması için $x(t_0)$ başlangıç deęerlerinin ve (t_0-t) aralığındaki giriş bilgisinin bilinmesi gerekir. Bu yüzden $y(t_0)$ çıkış ani deęeri için $x(t_0)$ başlangıç deęerinin ve $u(t_0)$ giriş deęerinin bilinmesi mecburidir. Yani bir çıkış ani deęeri için sistemin o anki durumu (durum deęişkenlerinin deęerlerinin) ve kaynağın ani deęerinin bilinmesi gerekir. Bu sonuçlar sadece basit sistemler için deęil, çok girişli çok çıkışlı (MIMO, Multi Input Multi Output) sistemler için de geçerlidir.

Sistemin karakteristik bilgilerinden oluşan durum denklemlerinin çözümü ile elde edilen durum deęişkenleri ve giriş bilgisi ile herhangi bir t anı için çıkış deęeri bulunabilir.

Eđer n . dereceden bir devrenin genel karakteristik verilerinden sistem diferansiyel denklemlerini elde edebiliyorsak, sistemin diferansiyel denklemlerini bazı yöntemlerden faydalanarak sistem durum denklemlerine dönüştürebiliriz (Ogata, 1997), (Wu, 1998). Örneğın Denklemler (2.1)'deki bir girişli bir çıkışlı n . dereceden sistem denklemini ele alalım.

$$\frac{d^n y}{dt^n} + \alpha_{n-1} \frac{d^{n-1} y}{dt^{n-1}} + \dots + \alpha_1 \frac{dy}{dt} + \alpha_0 y = \beta u(t) \quad (2.1)$$

Verilen denklem için ilk durum koşulları $y(0), \dot{y}(0), \dots, y^{(n-1)}(0)$ 'dir. Denklem (2.1)'de verilen devre denklemleri için $y, \dot{y}, \dots, y^{(n-1)}$ terimlerinin durum deęişkeni olduğunu kabul edelim ve durum deęişkenleri olarak atayalım.

$$\begin{aligned} x_1 &= y \\ x_2 &= \dot{y} \\ x_3 &= \ddot{y} \\ &\vdots \\ x_n &= y^{(n-1)} \end{aligned} \quad (2.2)$$

Denklem (2.2)'yi sadece durum deęişkenleri cinsinden ifade edersek Denklem (2.3) elde edilir.

$$\begin{aligned}\dot{x}_1 &= x_2 \\ \dot{x}_2 &= x_3 \\ \dot{x}_3 &= x_4 \\ &\vdots \\ \dot{x}_{n-1} &= x_n\end{aligned}\tag{2.3}$$

n . dereceden durum deęişkeninin türevi, Denklem (2.1)'deki diferansiyel eşitlikte Denklem (2.3)'de yapılan kabullerin yerine yazılması ile elde edilir. Bu durum Denklem (2.4)'de görülmektedir.

$$\dot{x}_n = -\alpha_{n-1}x_n - \alpha_{n-2}x_{n-1} - \dots - \alpha_1x_2 - \alpha_0x_1 + \beta u\tag{2.4}$$

Bu sistemin çıkış denklemi Denklem (2.2)'den elde edilir:

$$y = x_1\tag{2.5}$$

Sürekli zamanlı sistemler için böyle n . dereceden bir sistemde n tane birinci dereceden denklem ve n tane (x_1, x_2, \dots, x_n) durum deęişkeni mevcuttur. m tane girişı olan bir sisteme ait denklemler Denklem (2.6)'da ifade edilmiştir.

$$\dot{x}_i = g(x_1, x_2, \dots, x_{n-1}, x_n, u_1, u_2, \dots, u_m) \quad i=1, 2, \dots, n\tag{2.6}$$

Denklem (2.6) m girişe sahip n . dereceden bir sistemi temsil etmektedir. Lineer sistemler için ise bu genel ifade yalınlaşır. Denklem (2.7)'de lineer m girişli k çıkışlı n . dereceden bir sistem tanımlanmıştır.

$$\dot{x}_i = A_{i1}x_1 + A_{i2}x_2 + \dots + A_{in}x_n + B_{i1}u_1 + B_{i2}u_2 + \dots + B_{im}u_m \quad i=1, 2, \dots, n\tag{2.7a}$$

$$y_j = P_{j1}x_1 + P_{j2}x_2 + \dots + P_{jn}x_n + D_{j1}u_1 + D_{j2}u_2 + \dots + D_{jm}u_m \quad j=1, 2, \dots, k\tag{2.7b}$$

Denklem (2.7) sistemin dinamik denklemleri olarak adlandırılırlar. n . dereceden bir sistem için n adet birinci dereceden denklem mevcuttur.

Denklem (2.7)'de verilen ifadenin matris olarak ifadesi Denklem (2.8)'de görülmektedir. Denklemde m adet giriş, k adet çıkış içeren bir sistem ifade edilmiştir.

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \\ \vdots \\ \dot{x}_n \end{bmatrix} = \underbrace{\begin{bmatrix} A_{11} & A_{12} & \dots & A_{1n} \\ A_{21} & A_{22} & \dots & A_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ A_{n1} & A_{n2} & \dots & A_{nn} \end{bmatrix}}_A \underbrace{\begin{bmatrix} x_1 \\ x_2 \\ \vdots \\ x_n \end{bmatrix}}_x + \underbrace{\begin{bmatrix} B_{11} & B_{12} & \dots & B_{1m} \\ B_{21} & B_{22} & \dots & B_{2m} \\ \vdots & \vdots & \ddots & \vdots \\ B_{n1} & B_{n2} & \dots & B_{nm} \end{bmatrix}}_B \underbrace{\begin{bmatrix} u_1 \\ u_2 \\ \vdots \\ u_m \end{bmatrix}}_u \quad (2.8a)$$

$$\underbrace{\begin{bmatrix} y_1 \\ y_2 \\ \vdots \\ y_k \end{bmatrix}}_y = \underbrace{\begin{bmatrix} P_{11} & P_{12} & \dots & P_{1n} \\ P_{21} & P_{22} & \dots & P_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ P_{k1} & P_{k2} & \dots & P_{kn} \end{bmatrix}}_P \underbrace{\begin{bmatrix} x_1 \\ x_2 \\ \vdots \\ x_n \end{bmatrix}}_x + \underbrace{\begin{bmatrix} D_{11} & D_{12} & \dots & D_{1m} \\ D_{21} & D_{22} & \dots & D_{2m} \\ \vdots & \vdots & \ddots & \vdots \\ D_{k1} & D_{k2} & \dots & D_{km} \end{bmatrix}}_D \underbrace{\begin{bmatrix} u_1 \\ u_2 \\ \vdots \\ u_m \end{bmatrix}}_u \quad (2.8b)$$

Bu bölümde ve bundan sonraki kullanımlarda aksi belirtilmedikçe, katsayı vektörleri üst çizgi ve küçük harf ile; matris katsayılar büyük harf ile ve skaler katsayılar küçük harf ile tanımlanacaktır. Değişken vektörlerin zaman ortami ifadeleri üst çizgi ve küçük harf ile, Laplace ortami ifadeleri ise üst çizgi ve büyük harf ile tanımlanacaktır.

Denklem (2.8)'deki matris ifadelerinin notasyona (simgelenim) uygun gösterimi Denklem (2.9)'daki gibidir.

$$\bar{\dot{x}} = A\bar{x} + B\bar{u} \quad (2.9a)$$

$$\bar{y} = P\bar{x} + D\bar{u} \quad (2.9b)$$

Burada x durum vektörü, y çıkış vektörü ve u giriş vektörü olarak ifade edilmiştir.

Tanımlanan sistem için Denklem (2.9a) sistem durum denklemi, Denklem (2.9b) ise sistem çıkış denklemi olarak adlandırılır.

Bazı sistemler için diferansiyel denklem, Denklem (2.1)'de görüldüğü gibi değildir. Bu genel ifadeye giriş işaretlerinin yalın halleri kullanılmıştır. Kimi devrelerde, diferansiyel denklem elde edildiğinde giriş değişkenlerinin türevli ifadelerinin olduğu görülür. Bu, devrenin karakteristik yapısından kaynaklanan doğal bir olaydır. Fakat sistemin durum denklemleri Denklem (2.9)'da verilen genel yapı dışına çıkamaz. Yani sistemin diferansiyel denkleminde giriş değişkenlerinin türevi olsa bile durum denklemlerinde u 'nun türev ifadesi bulunmamalıdır.

Eğer sistem denklemlerinde giriş işaret veya işaretlerinin n . dereceden türev veya türevleri bulunuyorsa, durum denklemlerinin elde edilişi esnasında giriş değişkeninin türevlerini yok edecek bir dönüşüm yapmak gerekir. Diferansiyel denklem değişkenlerini durum değişkeni olarak atama yaparken girişin türevlerinden oluşan terimleri yok edecek bir dönüşüm yapılabilir. Denklem (2.10)'da böyle bir dönüşüm görülmektedir.

$$\begin{aligned}
 x_1 &= y + r_1 u \\
 x_2 &= \dot{x}_1 + r_2 u = \dot{y} + r_1 \dot{u} + r_2 u \\
 x_3 &= \dot{x}_2 + r_3 u = \ddot{y} + r_1 \ddot{u} + r_2 \dot{u} + r_3 u \\
 &\vdots \\
 x_n &= \dot{x}_{n-1} + r_n u = y^{(n-1)} + r_1 u^{(n-1)} + \dots + r_n u
 \end{aligned} \tag{2.10}$$

Denklemden r_i katsayıları sabittir. Sistem diferansiyel denkleminde atanan durum değişkenlerinin yazılması ile sistem dinamik denklemleri elde edilir. r_i katsayılarının uygun seçilmesi ile giriş işaretinin türevlerinin katsayıları sıfır yapılabilir. Böylece Denklem (2.9)'daki genel ifade elde edilmiş olur.

2.2 Geliştirilen Durum Uzayı Sentez Yöntemi

Denklem (2.11)'de genel bir sisteme ait transfer fonksiyonu görülmektedir. İstenilen özelliklere sahip bir süzgecin tasarımını yaparken genelde normalize edilmiş transfer fonksiyonundan faydalanılır (Deliyannis, 1999), (Huelsman, 1999). Tasarımı yapılan süzgecin ω_0 frekansında çalışması için transfer fonksiyonunda s teriminin s/ω_0 terimi ile değiştirilmesi gerekir. Bu değişiklik ile Denklem (2.12)'de görüldüğü gibi normalize durumda

birbirine oldukça yakın değerde olan katsayılar arasındaki oran özellikle yüksek frekanslarda büyür. Bu durum tasarlanan devrede dengesiz durumlara yol açar. Daha açıkçası yüksek bozulma etkilerine sebep olur. Bu durumun geliştirilen bir yöntem ile çözülmesi hedeflenmiştir.

$$H(s) = \frac{Y(s)}{U(s)} = \frac{a_n s^n + a_{n-1} s^{n-1} + \dots + a_1 s + a_0}{s^n + b_{n-1} s^{n-1} + \dots + b_1 s + b_0} \quad (2.11)$$

$$H(s) = \frac{Y(s)}{U(s)} = \frac{a_n s^n + a_{n-1} \omega_0 s^{n-1} + \dots + a_1 \omega_0^{n-1} s + a_0 \omega_0^n}{s^n + b_{n-1} \omega_0 s^{n-1} + \dots + b_1 \omega_0^{n-1} s + b_0 \omega_0^n} \quad (2.12)$$

Denklem (2.12)'yi zaman ortamına aktardığımızda n . dereceden bir diferansiyel denklem elde edilir.

$$y^{(n)} + b_{n-1} \omega_0 y^{(n-1)} + \dots + b_1 \omega_0^{n-1} \dot{y} + b_0 \omega_0^n y = a_n u^{(n)} + a_{n-1} \omega_0 u^{(n-1)} + \dots + a_1 \omega_0^{n-1} \dot{u} + a_0 \omega_0^n u \quad (2.13)$$

Her bir durum değişkenini diğer durum değişkenleri ve giriş işareti cinsinden tanımlayalım:

$$\begin{aligned} \alpha_1 x_1 &= \beta y + r_1 u \\ \alpha_2 x_2 &= \alpha_1 \dot{x}_1 + r_2 u = \beta \dot{y} + r_1 \dot{u} + r_2 u \\ \alpha_3 x_3 &= \alpha_2 \dot{x}_2 + r_3 u = \beta \ddot{y} + r_1 \ddot{u} + r_2 \dot{u} + r_3 u \\ &\vdots \\ \alpha_n x_n &= \beta y^{(n-1)} + \sum_{i=1}^n r_i u^{(n-i)} \end{aligned} \quad (2.14)$$

burada α 'lar ve β lar keyfi değerli sabit katsayılardır. Son satırın türevi Denklem (2.15)'de görüldüğü gibi elde edilir.

$$\alpha_n \dot{x}_n = \beta y^{(n)} + \sum_{i=1}^n r_i u^{(n-i+1)} \quad (2.15)$$

Daha sonra bir takım cebirsel işlemler yapılarak Denklem (2.16)'da görüldüğü gibi birinci dereceden bir denklem takımı elde edilir.

$$\begin{aligned}
\alpha_1 \dot{x}_1 &= \alpha_2 x_2 - r_2 u \\
\alpha_2 \dot{x}_2 &= \alpha_3 x_3 - r_3 u \\
&\vdots \\
\alpha_{n-1} \dot{x}_{n-1} &= \alpha_n x_n - r_n u
\end{aligned} \tag{2.16}$$

$$\begin{aligned}
\alpha_n \dot{x}_n &= - \sum_{i=1}^n \alpha_i b_{i-1} \omega_0^{n-i+1} x_i + (a_0 \beta \omega_0^n + \sum_{i=1}^n b_{i-1} \omega_0^{n-i+1} r_i) u \\
&\quad + \sum_{k=1}^{n-1} \left[a_k \beta \omega_0^{n-k} + r_{n-k+1} + \sum_{i=1}^{n-k} b_{i+k-1} \omega_0^{n-k+i-1} r_i \right] u^{(k)} + (a_n \beta + r_1) u^{(n)}
\end{aligned}$$

Yukarıdaki denklemde görüldüğü gibi son denklemin sağ tarafında giriş işaretlerinin türevlerini içeren terimler vardır. Durum uzayı gösterimine uygun olmayan bu durum, türevli terimlerin katsayıları uygun seçilerek düzeltilebilir. Giriş işaretinin r katsayılarının oluşturduğu denklem takımı Denklem (2.17)'de görülmektedir.

$$\begin{bmatrix} b_1 \omega_0^{n-(1)} & b_2 \omega_0^{n-(2)} & b_3 \omega_0^{n-(3)} & \dots & b_{n-1} \omega_0 & 1 \\ b_2 \omega_0^{n-(1+1)} & b_3 \omega_0^{n-(2+1)} & b_4 \omega_0^{n-(3+1)} & \dots & 1 & 0 \\ \vdots & \vdots & \vdots & \ddots & 0 & 0 \\ b_{1+n-3} \omega_0^{n-(1+n-3)} & b_{2+n-3} \omega_0^{n-(2+n-3)} & 1 & \dots & 0 & 0 \\ b_{1+n-2} \omega_0^{n-(1+n-2)} & 1 & 0 & \dots & 0 & 0 \\ 1 & 0 & 0 & \dots & 0 & 0 \end{bmatrix} \begin{bmatrix} r_1 \\ r_2 \\ \vdots \\ r_{n-2} \\ r_{n-1} \\ r_n \end{bmatrix} = -\beta \begin{bmatrix} a_1 \omega_0^{n-1} \\ a_2 \omega_0^{n-2} \\ \vdots \\ a_{n-2} \omega_0^{n-(n-2)} \\ a_{n-1} \omega_0^{n-(n-1)} \\ a_n \omega_0^{n-(n)} \end{bmatrix} \tag{2.17}$$

Bu denklem takımından r katsayılarının çözümü Denklem (2.18)'de verilmiştir.

$$\begin{aligned}
r_1 &= -a_n \beta \omega_0^{n-(n)} \\
r_2 &= -a_{n-1} \beta \omega_0^{n-(n-1)} - b_{1+n-2} \omega_0^{n-(1+n-2)} (-a_n \beta \omega_0^{n-(n)}) \\
r_3 &= -a_{n-2} \beta \omega_0^{n-(n-2)} - b_{1+n-3} \omega_0^{n-(1+n-3)} (-a_n \beta \omega_0^{n-(n)}) \\
&\quad - b_{2+n-3} \omega_0^{n-(2+n-3)} (-a_{n-1} \beta \omega_0^{n-(n-1)} - b_{1+n-2} \omega_0^{n-(1+n-2)} (-a_n \beta \omega_0^{n-(n)})) \\
&\vdots
\end{aligned} \tag{2.18}$$

Elde edilen katsayıların Denklem (2.16)'da yazılması ile Denklem (2.19) elde edilir.

$$\begin{aligned}
\alpha_1 \dot{x}_1 &= \alpha_2 x_2 + (a_{n-1} \beta - a_n \beta b_{n-1}) \omega_0 u \\
\alpha_2 \dot{x}_2 &= \alpha_3 x_3 + (a_{n-2} \beta - a_n \beta b_{n-2} - a_{n-1} \beta b_{n-1} + a_n \beta b_{n-1}^2) \omega_0^2 u \\
&\vdots \\
\alpha_n \dot{x}_n &= -\sum_{i=1}^n \alpha_i b_{i-1} \omega_0^{n-i+1} x_i + (a_0 \beta \omega_0^n + \sum_{i=1}^n b_{i-1} \omega_0^{n-i+1} r_i) u \\
y &= \frac{\alpha_1}{\beta} x_1 + a_n u
\end{aligned} \tag{2.19}$$

Denklem (2.19)'da görülen denklemler arasında çalışma frekansına bağlı olarak büyük dengesizlikler vardır. Bu durum çalışma frekans aralığını son derece sınırlamaktadır. Bilinen transfer fonksiyonundan durum uzayı denklemlerini elde etme yöntemleri ile bu sorun aşılamamaktadır. Önerilen yöntemde göre α ve β keyfi sabitlerin belirlenen kurallar çerçevesinde belirlenmesi ile tüm terimlerin değerleri arasındaki büyük fark ortadan kalkmaktadır. Başka bir ifade ile α ve β keyfi sabitleri sistemi dengelemek için bize yeterli özgürlüğü sağlamaktadır. Böylece çok daha dengeli bir sistemin elde edilmesi ile gürültü ve bozulma katsayıları daha düşük devreler elde edilebilecektir.

2.3 Örnekler

Burada, Kısım 2.2'de geliştirilen yöntem ile ilgili olarak iki adet örnek verilecektir.

2.3.1 Örnek 1: İkinci Dereceden Band Geçiren Süzgeç

Önerilen yöntem ikinci dereceden band geçiren süzgece uygulanmıştır. Süzgecin transfer fonksiyonu Denklem (2.20)'de verilmiştir.

$$H(s) = \frac{a_1 s}{s^2 + b_1 s + b_0} \tag{2.20}$$

Denklem (2.20) normalize değerde olduğu için $s = s/\omega_n$ yazarak istenilen frekans değerindeki transfer fonksiyonu elde edilir.

$$H(s) = \frac{a_1 \omega_0 s}{s^2 + b_1 \omega_0 s + \omega_0^2 b_0} \quad (2.21)$$

Yukarıda açıklanan işlem sırası takip edilerek bilinen yöntem ile elde edilen durum uzayı denklemleri Denklem (2.22)'de, önerilen yöntem ile elde edilen durum uzayı denklemleri Denklem (2.23)'de verildiği şekliyle elde edilir.

$$\begin{aligned} \dot{x}_1 &= x_2 + a_1 \omega_0 u, \\ \dot{x}_2 &= -b_0 \omega_0^2 x_1 - b_1 \omega_0 x_2 - a_1 b_1 \omega_0^2 u, \\ y &= x_1. \end{aligned} \quad (2.22)$$

$$\begin{aligned} \dot{x}_1 &= \omega_0 x_2 + a_1 \omega_0 u, \\ \dot{x}_2 &= -b_0 \omega_0 x_1 - b_1 \omega_0 x_2 - a_1 b_1 \omega_0 u, \\ y &= x_1, \end{aligned} \quad (2.23)$$

Burada α_1 , α_2 ve β keyfi sabitleri aşağıdaki gibi seçilmiştir.

$$\begin{aligned} \alpha_1 &= 1, \\ \alpha_2 &= \omega_0, \\ \beta &= 1 \end{aligned} \quad (2.24)$$

Görüldüğü gibi Denklem (2.23)'de verilen durum denklemlerinin sağ tarafındaki durum değişkenlerinin katsayıları arasında dengeli bir uyum vardır.

2.3.2 Örnek 2: Beşinci Dereceden Alçak Geçiren Süzgeç

Bu örnekte önerilen yöntem kullanılarak beşinci dereceden alçak geçiren bir süzgeç tasarlanmıştır. Sentezi yapılan Butterworth süzgeci 500 kHz kesim frekansına, 0.5 dB en büyük zayıflama oranına sahiptir. Süzgecin transfer fonksiyonu Denklem (2.25)'de verilmiştir.

$$H(s) = \frac{\omega_0^5}{s^5 + 3.24\omega_0 s^4 + 5.24\omega_0^2 s^3 + 5.24\omega_0^3 s^2 + 3.24\omega_0^4 s + \omega_0^5} \quad (2.25)$$

Transfer fonksiyonundan hareket ile durum uzayı denklemlerinin bilinen yöntemler ile gerçekleştirildiğinde elde edilen durum uzayı gösterimi Denklem (2.26)'da verildiği gibidir. Özellikle son satırdaki büyük dengesizlik dikkati çekmektedir.

$$\begin{aligned} \alpha_1 \dot{x}_1 &= \alpha_2 x_2 \\ \alpha_2 \dot{x}_2 &= \alpha_3 x_3 \\ \alpha_3 \dot{x}_3 &= \alpha_4 x_4 \\ \alpha_4 \dot{x}_4 &= \alpha_5 x_5 \\ \alpha_5 \dot{x}_5 &= -3.24\omega_0 \alpha_5 x_5 - 5.24\omega_0^2 \alpha_4 x_4 - 5.24\omega_0^3 \alpha_3 x_3 - 3.24\omega_0^4 \alpha_2 x_2 + \omega_0^5 \alpha_1 x_1 + \beta \omega_0^5 u \\ y &= \frac{\alpha_1}{\beta} x_1 \end{aligned} \quad (2.26)$$

Önerilen yöntemin uygulanması ile ve keyfi sabitlerin farklı seçeneklerinin gösterilmesi ile iki farklı devre mimarisi elde edilmiştir. Bu seçenekler iki farklı durumda verilmiştir. Her iki durum için devrelerin sentezi yapılmış ve elde edilen sonuçlar birbirleri ile karşılaştırılmıştır.

DURUM 1: İlk durum için keyfi sabitler aşağıdaki gibi seçilmiştir.

$$\begin{aligned} \beta &= 1 \\ \alpha_1 &= 1 \\ \alpha_2 &= \omega_0 \\ \alpha_3 &= \omega_0^2 \\ \alpha_4 &= \omega_0^3 \\ \alpha_5 &= \omega_0^5 \end{aligned} \quad (2.27)$$

Bu seçim sonunda elde edilen durum uzayı denklemleri Denklem (2.28)'de verilmiştir.

$$\begin{aligned}
\dot{x}_1 &= \omega_0 x_2 \\
\dot{x}_2 &= \omega_0 x_3 \\
\dot{x}_3 &= \omega_0 x_4 \\
\dot{x}_4 &= \omega_0 x_5 \\
\dot{x}_5 &= -3.24\omega_0 x_5 - 5.24\omega_0 x_4 - 5.24\omega_0 x_3 - 3.24\omega_0 x_2 + \omega_0 x_1 + \omega_0 u \\
y &= x_1
\end{aligned} \tag{2.28}$$

Denklem (2.27)'de verilen durum uzayı denklem sistemi ile Frey tarafından ortaya konulmuş ve birçok araştırmacı tarafından uygulanmış (Frey,1993), (Frey, 1996), (Tola, 2000a) (Drakakis, 2003), (Tola, 2000b) logaritmik ortam süzgeç tasarım yöntemini takip ederek beşinci dereceden alçak geçiren süzgeç devresinin denklemleri Denklem (2.29)'da verildiği gibi elde edilmiştir.

$$\begin{aligned}
C \dot{v}_{1L} &= I_S e^{\frac{v_{2L} + V_{f5} - v_{1L}}{V_T}} - I_S e^{\frac{v_{1R}}{V_T}} \\
C \dot{v}_{2L} &= I_S e^{\frac{v_{3L} + V_{f5} - v_{2L}}{V_T}} - I_S e^{\frac{v_{2R}}{V_T}} \\
C \dot{v}_{3L} &= I_S e^{\frac{v_{4L} + V_{f5} - v_{3L}}{V_T}} - I_S e^{\frac{v_{3R}}{V_T}} \\
C \dot{v}_{4L} &= I_S e^{\frac{v_{5L} + V_{f5} - v_{4L}}{V_T}} - I_S e^{\frac{v_{4R}}{V_T}} \\
C \dot{v}_{5L} &= -I_{f1} + I_S e^{\frac{v_{4R} + V_{f2} - v_{5L}}{V_T}} + I_S e^{\frac{v_{3R} + V_{f1} - v_{5L}}{V_T}} + I_S e^{\frac{v_{2R} + V_{f4} - v_{5L}}{V_T}} + I_S e^{\frac{v_{1R} + V_{f5} - v_{5L}}{V_T}} \\
&\quad + I_S e^{\frac{v_{5L} + V_{f6} - v_{5L}}{V_T}} - I_S e^{\frac{v_{5R}}{V_T}}
\end{aligned} \tag{2.29}$$

Yukarıdaki devre denklemlerinde sol taraf bir ucu toprağa bağlanmış kondansatörün üzerinden akan akımı, sağ taraftaki terimler ise baz ve emiterinde belirlenen gerilim değerleri olan BJT elemanının akımını anlatmaktadır. Genel olarak transistor akımlarını belirleyen pozitif terimler bir düğümdeki gerilimin bir DC gerilim seviyesi ile ötelenmiş değeri olduğunu, negatif terimler ise emiterinin bağlı bulunduğu düğüm ismini göstermektedir.

DC öteleme gerilimlerinin elde edilmesinde kullanılan akım kaynaklarının değerleri aşağıda verilmiştir.

$$\begin{aligned}
I_{f1} &= 32.4 \mu A \\
I_{dc31}, I_{dc32}, I_{dc35}, I_{dc36} &= I_{f2} = 52.4 \mu A \\
I_{dc29}, I_{dc30}, I_{dc37}, I_{dc38} &= I_{f3} = 52.4 \mu A \\
I_{dc17}, I_{dc18}, I_{dc27}, I_{dc28} &= I_{f4} = 32.4 \mu A \\
I_{dc1} \dots I_{dc16}, I_{dc19}, I_{dc20}, I_{dc25}, I_{dc26} &= I_{f5} = 10 \mu A \\
I_{dc21} \dots I_{dc24} &= I_{f6} = 10 \mu A
\end{aligned} \tag{2.30}$$

DURUM 2: Aynı transfer fonksiyonundan hareket ile keyfi sabitlerin aşağıdaki gibi seçilmesi ile farklı durum uzayı gösterimi elde etmek mümkündür. Keyfi sabitlerin değerleri Denklem (2.31)'de, bu seçime ilişkin durum uzayı gösterimi ise Denklem (2.32)'de verilmiştir.

$$\begin{aligned}
\beta &= \omega_0^{-5} \\
\alpha_1 &= \omega_0^{-5} \\
\alpha_2 &= 0.30864 \omega_0^{-1} \\
\alpha_3 &= 0.19084 \omega_0^{-3} \\
\alpha_4 &= 0.19084 \omega_0^{-2} \\
\alpha_5 &= 0.30864 \omega_0^{-1}
\end{aligned} \tag{2.31}$$

$$\begin{aligned}
\dot{x}_1 &= 0.30864 \omega_0 x_2 \\
\dot{x}_2 &= 0.61728 \omega_0 x_3 \\
\dot{x}_3 &= \omega_0 x_4 \\
\dot{x}_4 &= 1.61290 \omega_0 x_5 \\
\dot{x}_5 &= -3.24 \omega_0 x_5 - 3.24 \omega_0 x_4 - 3.24 \omega_0 x_3 - 3.24 \omega_0 x_2 + 3.24 \omega_0 x_1 + 3.24 \omega_0 u \\
y &= x_1
\end{aligned} \tag{2.32}$$

Aynı işlem basamaklarını takip ederek düğüm gerilimlerine ait devre denklemleri de Denklem (2.33)'de verilmiştir.

$$\begin{aligned}
C_1 \dot{v}_{1L} &= I_S e^{\frac{v_{2L} + V_f - v_{1L}}{V_T}} - I_S e^{\frac{v_{1R}}{V_T}} \\
C_2 \dot{v}_{2L} &= I_S e^{\frac{v_{1L} + V_f - v_{2L}}{V_T}} - I_S e^{\frac{v_{2R}}{V_T}} \\
C_3 \dot{v}_{3L} &= I_S e^{\frac{v_{4L} + V_f - v_{3L}}{V_T}} - I_S e^{\frac{v_{3R}}{V_T}} \\
C_4 \dot{v}_{4L} &= I_S e^{\frac{v_{5L} + V_f - v_{4L}}{V_T}} - I_S e^{\frac{v_{4R}}{V_T}} \\
C_5 \dot{v}_{5L} &= -I_f + I_S e^{\frac{v_{4L} + V_f - v_{5L}}{V_T}} + I_S e^{\frac{v_{3R} + V_f - v_{5L}}{V_T}} + I_S e^{\frac{v_{2R} + V_f - v_{5L}}{V_T}} + I_S e^{\frac{v_{1R} + V_f - v_{5L}}{V_T}} \\
&\quad + I_S e^{\frac{v_{2L} + V_f - v_{5L}}{V_T}} - I_S e^{\frac{v_{5R}}{V_T}}
\end{aligned} \tag{2.33}$$

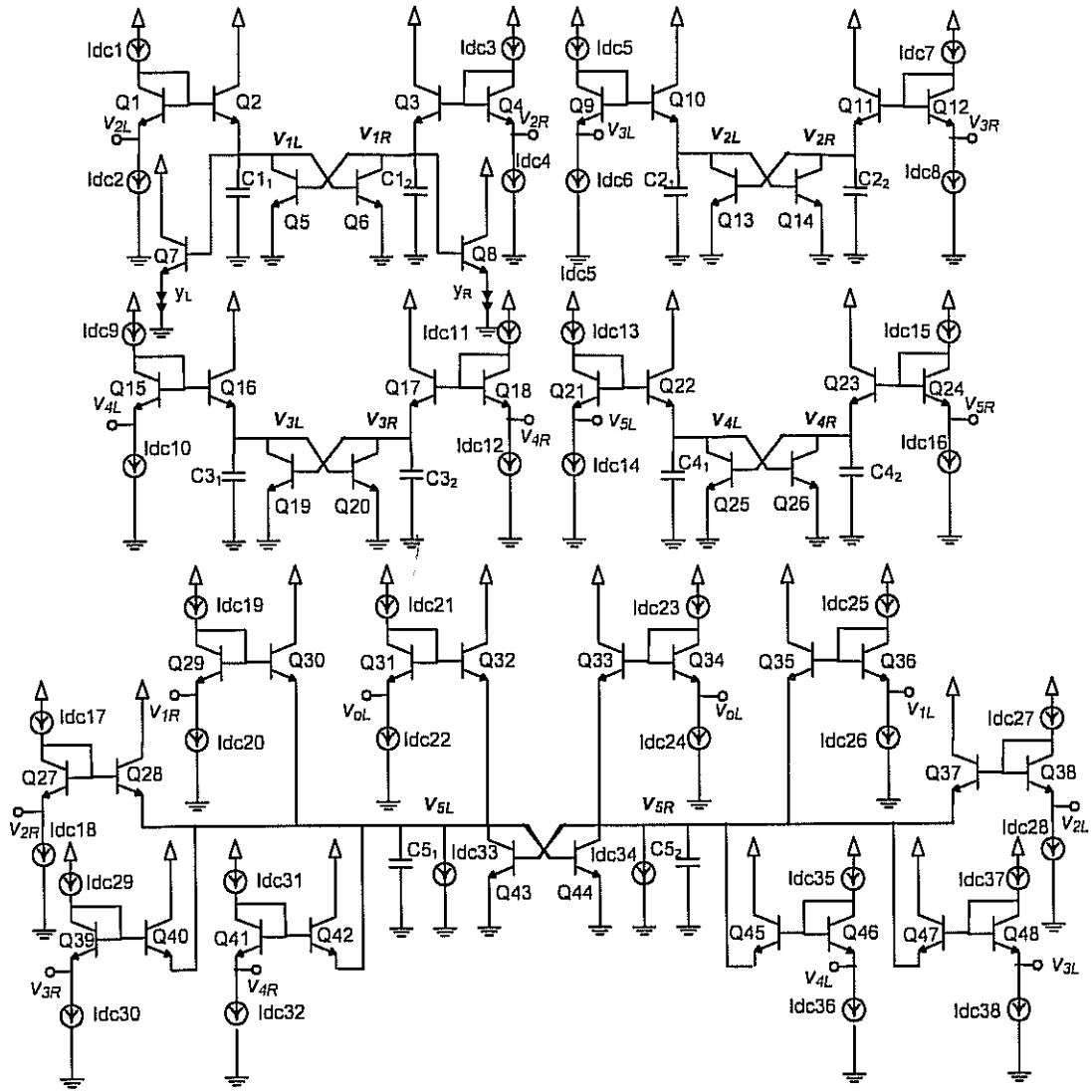
Burada DC akımın değeri aşağıdaki gibi seçilmiştir.

$$I_f = I_S e^{\frac{V_f}{V_T}} = 10 \mu A \tag{2.34}$$

Kullanılan kondansatörlerin değerleri ise aşağıdaki gibi belirlenmiştir.

$$\begin{aligned}
C_1 &= 323.22 \text{ pF} \\
C_2 &= 161.61 \text{ pF} \\
C_3 &= 99.762 \text{ pF} \\
C_4 &= 61.853 \text{ pF} \\
C_5 &= 30.926 \text{ pF}
\end{aligned} \tag{2.35}$$

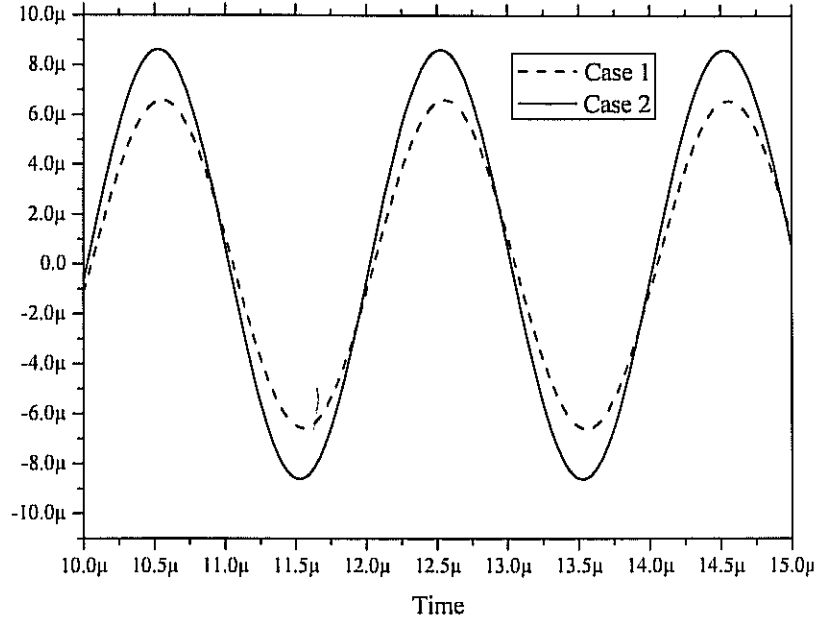
Elde edilen devre yapısı Şekil 2'de verilmiştir.



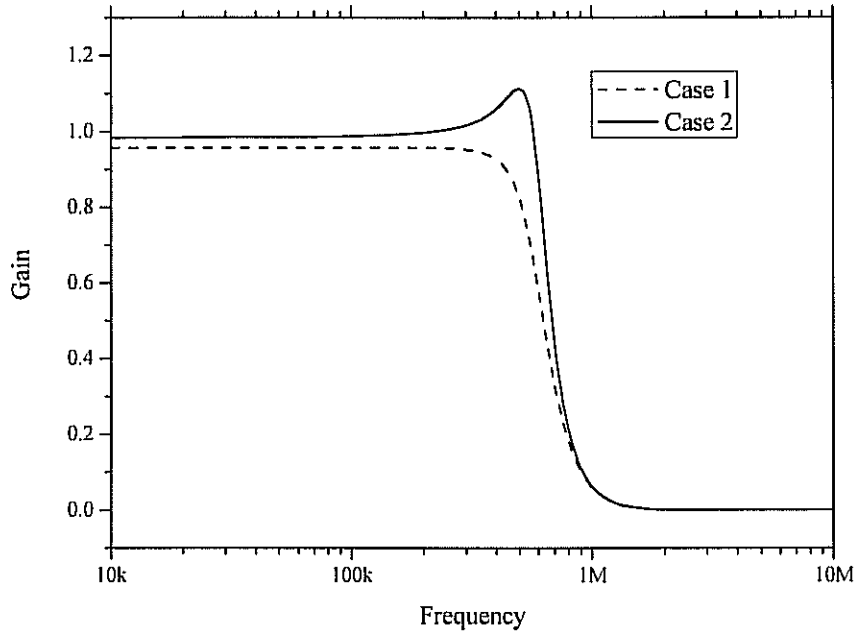
Şekil 2: Beşinci dereceden alçak geçiren logaritmik ortam süzgeç devresi

Yapılan teorik analizi doğrulamak için tasarlanan süzgeç devresinin her iki durum için benzetimleri yapılmıştır. Devrenin besleme gerilimi 3V olarak seçilmiştir. Devrede kullanılan akım kaynakları ile kondansatörlerin değerleri yukarıda belirtildiği gibi seçilmiştir. Elde edilen zaman ortamı ve frekans ortamı sonuçları Şekil 3 ve Şekil 4’de verilmiştir. Her iki durum için toplam bozulma oranı (THD) analizi yapılmıştır. Giriş işaretinin tepe değeri $4\mu\text{A}$,

çalışma frekansı olarak 500 kHz seçilerek yapılan bozulma analizinde Durum 1 ve Durum 2 için sırası ile % 0.1320039 ve % 0.02818620 elde edilmiştir.



Şekil 3: Çıkış işaretinin zaman ortamında gösterimi



Şekil 4: Çıkış işaretinin frekans ortamında gösterimi

Daha sonra gürültü analizi yapılmıştır. Her iki devrenin gürültü karakteristiği alçak geçiren süzgeç formunda çıkmıştır. Durum 1 ve Durum 2 için ölçülen en yüksek değerler sırasıyla $81.243 \text{ pA}/\sqrt{\text{Hz}}$ and $19.345 \text{ pA}/\sqrt{\text{Hz}}$ dir.

Elde edilen sonuçlar açıkça göstermektedir ki, önerilen durum uzayı gerçekleştirme yöntemi ile keyfi sabitlerin farklı seçilmesi ile farklı performanslarda devre yapıları elde etmek mümkün olmaktadır.

2.4 Bölüm Sonu Değerlendirmesi

Literatürde yüksek dereceli logaritmik ortam süzgeçlerinin tasarımına rastlanmaması ve proje ekibinin de proje öncesi en fazla 3. derece süzgeç tasarlayabilmesi nedeniyle, yüksek dereceli logaritmik ortam süzgeçlerinin tasarımındaki sorunların giderilmesi ve tasarımın yapılabilmesi hedefi, bu projenin önemli ve öncelikli hedeflerinden bir tanesi olarak belirlenmişti. Kısım 2.2'de geliştirilen yöntemle, n . dereceden bir transfer fonksiyonundan katsayıları dengeli bir sistem denkleminin elde edilebilmesi mümkün hale geldi (Arslanalp, 2009). Keyfi parametrelerin uygun seçimi ile yüksek dereceli logaritmik oranı süzgeçleri tasarlanabilir hale gelirken, bu parametrelerin farklı seçilmesi ile de Kısım 2.3'de verilen örnekte görüldüğü gibi farklı durum uzayı gösterimleri dolayısı ile farklı devre yapıları üretilebilmektedir.

Bu bölümle ilgili proje hedeflerine tamamen ulaşılmış, proje sonuçlarının bir kısmı yayın haline getirilmiştir. ELIN süzgeçlerin durum uzayı sentezine ilişkin mevcut teori tarafımızdan revize edilerek ulusal bir makale olarak yayımlanmıştır. Kısım 2.2'de açıklanan tarafımızdan geliştirilen durum uzayı yöntemi ile ilgili yayımlarımız da indeksli bir makale olarak kabul almış olup Ekim 2009'da yayımlanması planlanmaktadır.

Not: 36-92 sayfalar
150. sayfadan sonra
geliyor.

6 LOGOS Yazılımı

6.1 Giriş

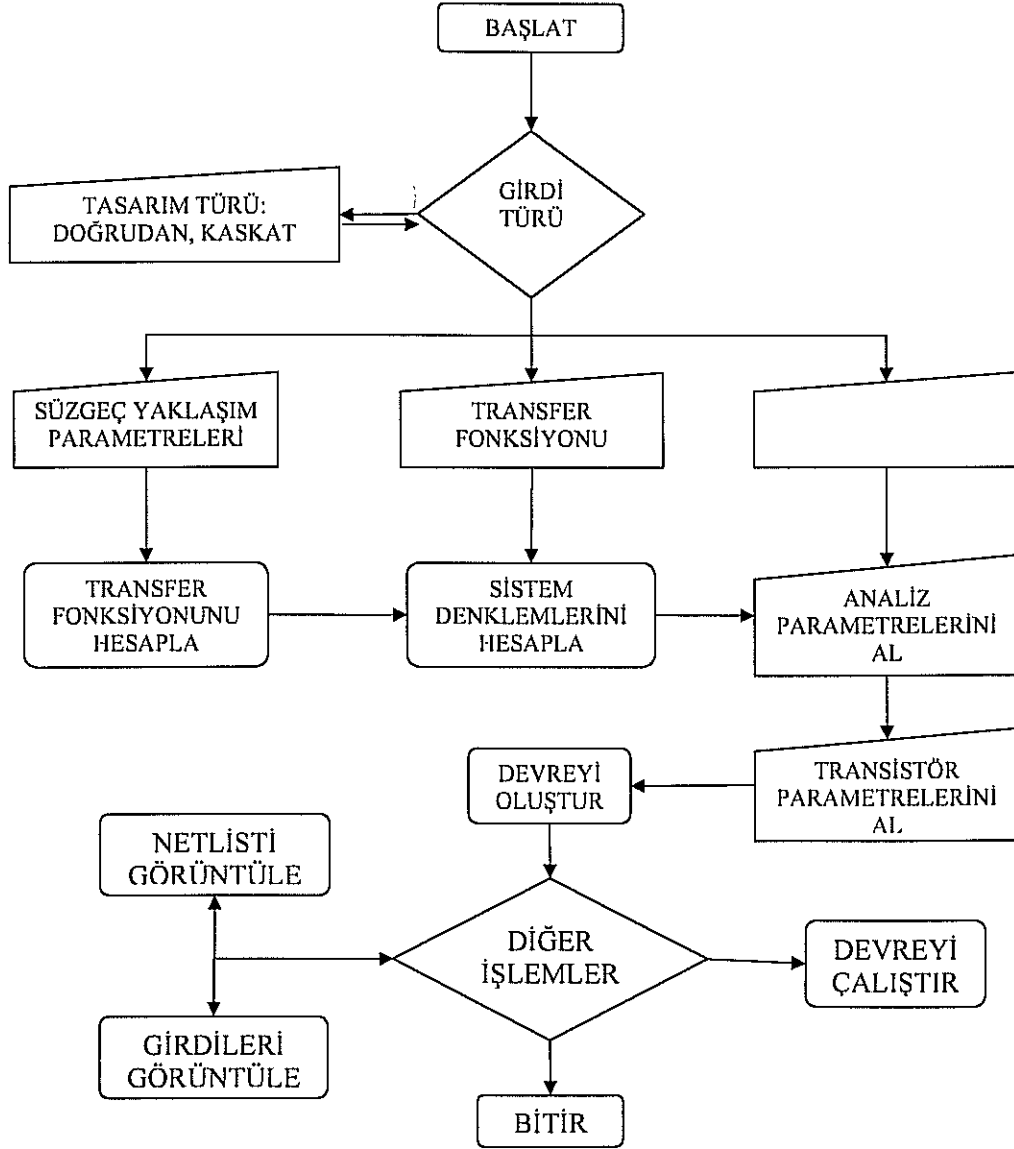
LOGOS yazılımı temel olarak; yüksek dereceden logaritmik ortam süzgeç devrelerini farklı tasarım seçeneklerine ve eleman özelliklerine olanak sağlayacak şekilde tasarlamak amacıyla C#.NET platformunda proje ekibi tarafından geliştirilmiş bir yazılımdır. Program elektrik-elektronik mühendisliğinde lisans veya lisansüstü seviyede eğitim görmüş ve/veya görmekte olan öğrenci ve mühendisler için bu süzgeç yapılarını tanıtmayı, onlara rahatlıkla logaritmik ortam süzgeci tasarlatılabilmeyi; ayrıca logaritmik ortam filtre devrelerinin tasarımı, çalışma aralığı ve devre yapıları hakkında çalışmalar yapan akademisyenlerin farklı şartlarda ve tasarımlarda devrelerin çalışma performansı ve özellikleri hakkında daha kolay araştırma yapabilmelerini hedeflemektedir.

6.2 Programın Tanımı

Hazırlanan program .NET platformunda Microsoft Visual C# dilinde 2005 versiyonu kullanılarak geliştirilmiştir. Diyalog tabanlı ortamda MFC olanakları kullanılarak geliştirilen program ile 1. dereceden 11. dereceye kadar AB sınıfı fark alan yapıda logaritmik ortam süzgeçlerinin genel tasarımı ve devre sentezi yapılabilmektedir. Kaskat tasarım seçeneklerinin kullanılması durumunda süzgecin derecesi için teorik olarak bir sınır bulunmamaktadır. Tasarımı yapılan süzgece ait netlist dosyası oluşturularak, Pspice'da analizi yapılabilmekte, benzetim sonuçlarına yine program arayüzünden doğrudan ulaşmak mümkün olmaktadır. Program hazırladığı netlist dosyaları için gereken transistör modellerinin bulunacağı kütüphane dosyasını da otomatik olarak hazırlamaktadır. Tasarım için girilen filtre parametreleri ile analiz seçenekleri ve transistör özellikleri daha sonra erişilebilmesi için saklanmaktadır. Böylece bir defa tasarlanan filtreye daha sonra erişilebilme ve tekrar aynen ya da bazı parametrelerini değiştirerek analizini yapabilmek mümkün olmaktadır.

LOGOS en genel anlamda 1. dereceden 11. dereceye kadar kullanıcı tarafından farklı transfer fonksiyonları ve yaklaşım parametrelerinin girilmesine ve bu parametrelere ait

logaritmik ortam filtrelerinin tasarlanarak PSpice netlist formunda kullanıcıya sunulmasına; eğer istenirse de doğrudan PSpice programına gönderilerek analizinin yapılmasına olanak sağlamaktadır. Bu kapsamda kullanıcıya olası tüm alternatifler sağlanmış ve istenilen girdi ekranını kullanarak tasarım yapabilmesi amaçlanmıştır. Bu gerçekleştirilirken kullanıcının temel süzgeç devresi tasarımı için gerekli parametreleri ve bunlar arasındaki temel ilişkileri bildiği farz edilmektedir. Programın her türlü girdi ile çalışmasını sağlayan genel akış diyagramı Şekil 55’de verilmiştir.



Şekil 55: LOGOS programı akış diyagramı

Şekil 55'den de anlaşılacağı gibi gerçekleştirilen yazılım ile kullanıcının süzgeç yaklaşımları, transfer fonksiyonu veya sistem denklemleri aşamalarından herhangi birinden parametre girişi yapmasına olanak sağlanmıştır. Bu şekilde hem kullanıcının her aşamada elde edilen denklemler hakkında bilgi sahibi olması amaçlanmıştır, hem de kullanıcının herhangi bir aşamada değişiklik yapabilmesine olanak sağlanmıştır.

Logaritmik ortam süzgeçlerinde tasarım yaparken kullanılan en yaygın sentez yöntemi durum uzayı sentez yöntemidir. Fakat durum uzayı sentez yöntemi kullanılarak yüksek dereceden logaritmik ortam süzgeç devresi tasarlamak oldukça zor ve matematiksel işlemlerin çokluğu sebebi ile hata yapma ihtimali yüksek olan bir alternatiftir. Bu sebepten el ile yapılan işlem adımlarını ortadan kaldırmaya ve tüm tasarım ve parametre girişlerinin otomatik olarak yapılmasına olanak sağlayan bu yazılımın geliştirilmesi bu konuda çalışan araştırmacılar için oldukça önemlidir. Geliştirilen bu program sayesinde istenilen özelliklere sahip logaritmik ortam süzgeçleri çok sayıda alternatif seçenekleri ile istenildiği gibi tasarlanabilecektir.

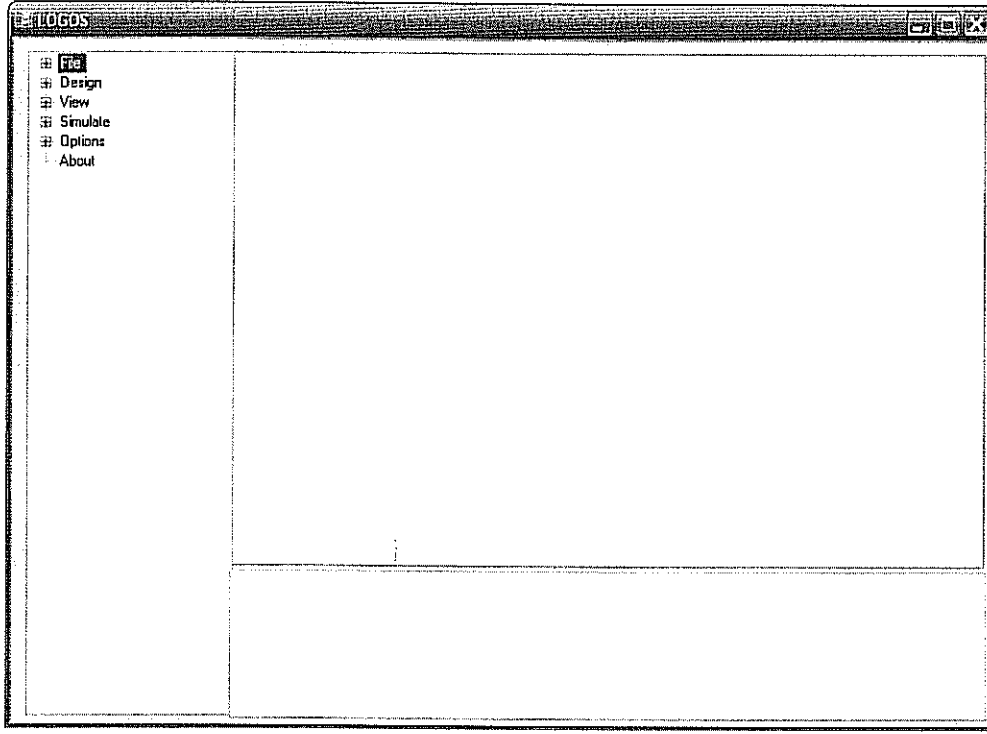
6.3 Programın Kullanımı

6.3.1 Design Menüsü

Bu kısımda geliştirilen yazılımın nasıl kullanıldığı, bir süzgeç tasarımı yapmak için hangi sıra ile ne şekilde bilgi girişi yapılabileceği ve bu amaçla programa eklenen arayüzlerin kullanımı ve işlevleri hakkında ayrıntılı bilgi verilecektir.

Yüksek dereceden süzgeç devreleri tasarımı yaparken farklı giriş parametreleri kullanabilen program için bu giriş parametrelerine ait çeşitli arayüzler her gelişme raporu döneminde daha da artırılarak ve kapsamı genişletilerek programımıza eklenmiştir. Programımızda kullanılan arayüzler, onların kullanımları ve işlevleri ile ilgili bilgiler aşağıda verilmiştir.

İlk olarak LOGOS programı bilgisayara yüklendiğinde karşımıza çıkan giriş ekranı ve menüler Şekil 56'da verildiği gibidir.



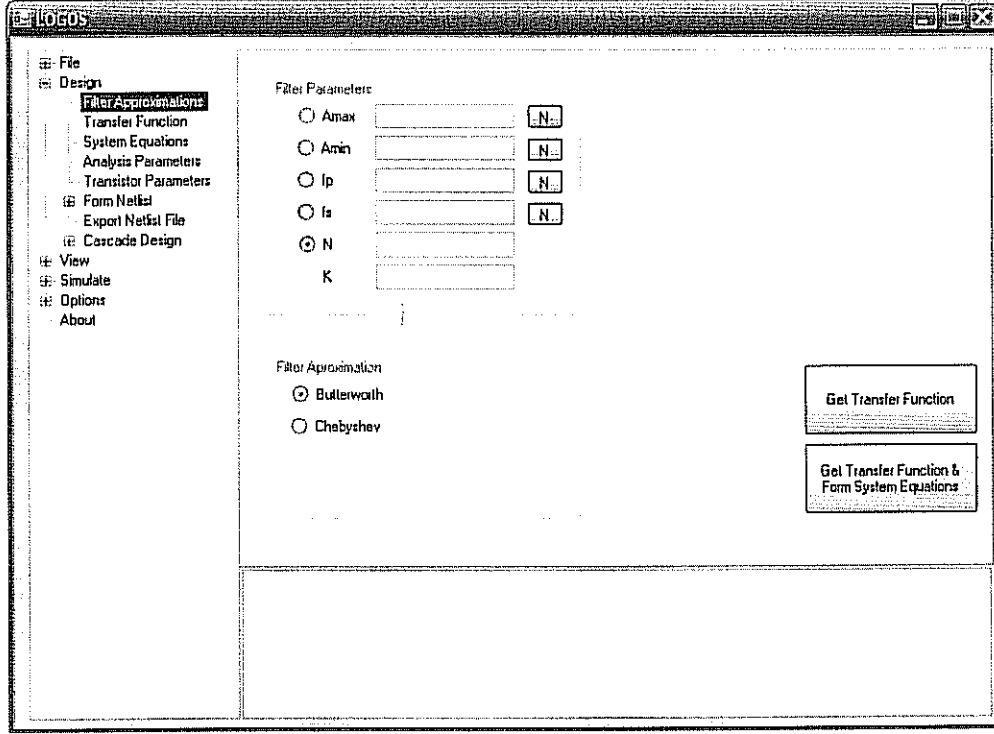
Şekil 56: Program açılış ekranı ve genel görünümü

6.3.2 Süzgeç Parametrelerinin Girişi

Açılış ekranında tasarlayacak olduğumuz süzgeç devresine ait parametre girişlerini yapmak için *Design* menüsü kullanılmaktadır. Bu menüden kullanıcı isterse süzgeç yaklaşım parametrelerini, isterse transfer fonksiyonunun pay ve payda parametrelerini, isterse de durum uzayı sentez yöntemi kullanılarak elde edilmiş sistem denklemleri parametrelerini uygun değerlerde girerek herhangi bir logaritmik ortam süzgeç devresi için giriş yapabilmektedir.

Tasarımcı süzgeç yaklaşım parametrelerini kullanarak logaritmik ortam süzgeci tasarlamak istiyorsa programda *Design* menüsünden *Filter approximation* alt menüsüne girerek ilgili kısma ait parametre giriş ekranına ulaşabilmektedir. *Filter approximation* alt menüsü seçildiğinde karşımıza çıkan Butterworth ve Chebyshev parametrelerine ait girdi ekranı Şekil 57’de verildiği gibidir. Bu ekranda tasarlanması istenen süzgeç devresine ait yaklaşım çeşidi ve gerekli parametreler girildikten sonra doğrudan devre tasarımı yapılması mümkün olduğu gibi istenirse bu aşamadan sonra transfer fonksiyonu parametrelerine veya sistem

denklemleri giriş ekranına geçilebilecektir. Bu şekilde tasarımcının PSpice analizi için gerekli analiz parametreleri ve transistör parametrelerini de girmesi ile doğrudan yaklaşım çeşidinden tasarım yapmasına olanak sağlanmış olmaktadır. Bununla birlikte her bir geçiş için butonlar ilave edildiğinden kullanıcı isterse ara adımlara da müdahale edebilmektedir.



Şekil 57: Süzgeç yaklaşımları parametre giriş ekranı

Doğrudan süzgeç transfer fonksiyonunu kullanarak tasarım yapmak isteyen kullanıcı, *Design* menüsünden *Transfer Function* alt menüsüne girerek transfer fonksiyonuna ait pay ve payda parametreleri girişi yapabilmektedir. *Transfer Function* alt menüsü seçildiğinde karşımıza çıkan pay ve payda parametreleri girdi ekranı Şekil 58'de verildiği gibidir. Transfer fonksiyonu parametre giriş ekranı 11. dereceden bir süzgeç devresi tasarlayabilmeye uygun şekilde oluşturulmuştur. Burada $n0, n1, \dots, n11$ parametreleri girilecek transfer fonksiyonu pay parametreleri, $d0, d1, \dots, d11$ ise transfer fonksiyonu payda parametreleridir. Bu parametre girişleri yapılırken girilecek transfer fonksiyonunun bir süzgeç transfer fonksiyonu olmasına dikkat edilmelidir. Süzgeç devresine uygun olmayan şekilde transfer fonksiyonu girişi yapıldığında program, pay veya payda kısmındaki yanlışlıkları fazla parametrelerin silinmesi ya da yanlış giriş yapılan parametrenin değiştirilmesi şeklinde düzeltmektedir.

Transfer fonksiyonu girişi yapılarak süzgeç devresi tasarlanırken program arka planda Bölüm 2’de açıklanan tarafımızdan geliştirilen durum uzayı gösterim yöntemini kullanmaktadır. Bu yöntem referans alındığında aynı transfer fonksiyonuna ait farklı süzgeç devreleri tasarlayabilmek amacıyla programımızda *alpha* ve *beta* sabitlerinin değiştirilebilmesine olanak sağlayacak şekilde giriş ekranı sunulmuştur. Transfer fonksiyonu katsayılarının altında yer alan kısımdan isterse kullanıcı kendisi *alpha* ve *beta* katsayılarını parametre olarak girebilecek isterse de *auto alpha input* radio butonunu kullanarak programın otomatik olarak varsayılan (default) değeri almasını tercih edebilecektir.

Şekil 58: Transfer Fonksiyonu parametre giriş ekranı

Şekil 58’de görülen arayüzde kullanıcının yüksek frekans değerleri için bazı transfer fonksiyonlarını girmesine kolaylık sağlamak için *use f0 for transfer function* şeklinde çalışma frekansı değerinin girilmesi ile parametre girişi yapılabilmesine olanak sağlayan bir buton eklenmiştir. Bu şekilde kullanıcı transfer fonksiyonu nominal değerleri ve çalışma frekansı değerini girerek istediği süzgeç devresine ait parametre girişi yapabilecektir.

Örneğin, ikinci derece alçak geçiren bir süzgeç devresi tasarlanacak olsun. Denklem (6.1)'de verilen transfer fonksiyonu $f_0=500$ kHz çalışma frekansı için tasarlanmak istenirse ilk alternatif $\omega_0=2*\pi*500000$ değerinin hesaplanarak Denklem (6.2)'de görüldüğü gibi her bir pay ve payda parametresinin ayrıntılı tam değerlerini girmektir. Diğer bir alternatif ise *use f0 for transfer function* butonunu işaretleyerek $f_0=500000$ Hz değerini frekans değeri girdi kısmına ve her bir pay ve payda parametrelerini Denklem (6.3)'de verildiği gibi transfer fonksiyonu parametreleri kısmına girmektir. Bu opsiyon tamamen kullanıcıya esneklik sağlamak ve bazı transfer fonksiyonlarının girişini kolaylaştırmak amacıyla programa eklenmiştir.

$$H(s) = \frac{\omega_0^2}{s^2 + \omega_0 s + \omega_0^2} \quad (6.1)$$

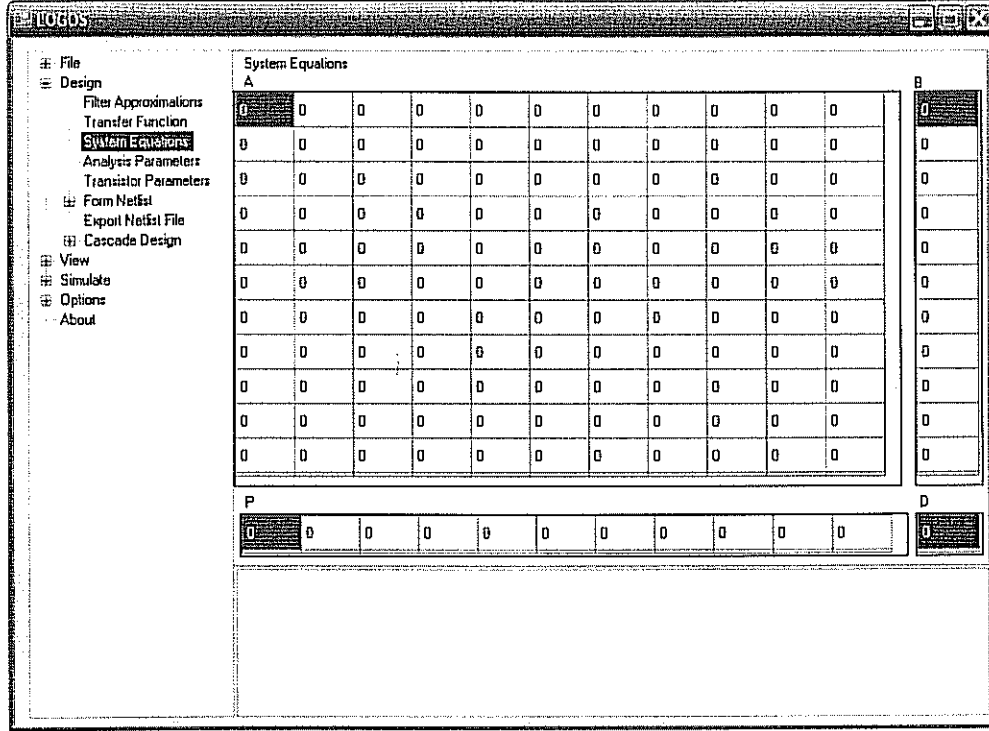
$$H(s) = \frac{(2*\pi*500000)^2}{s^2 + (2*\pi*500000)s + (2*\pi*500000)^2} \quad (6.2)$$

$$H(s) = \frac{1}{s^2 + 1s + 1} \quad f_0 = 500000 \text{ Hz} \quad (6.3)$$

Son olarak Şekil 58'de transfer fonksiyonu girdi parametrelerinin alındığı arayüzde AB sınıfı fark alan yapıda logaritmik ortam süzgeçlerinde kullanılan ve giriş işaretini eşit iki kısma ayıran akım bölücü devresi giriş akım kaynağı değeri ve giriş işareti frekansının girilmesine olanak sağlayan butonlar mevcuttur. Aynı ekranda bulunan *min If* değeri ise tasarlanan devrede bulunmasına izin verilen en küçük akım kaynağı değerini vermektedir. Bu değer programdaki varsayılan değeri $10 \mu\text{A}$ olarak tanımlanmış olup, kullanıcı isterse farklı devreler için bu değeri değiştirebilmektedir.

Kullanıcının transfer fonksiyonu parametre girişlerini yaptıktan sonra ekranın sağ alt kısmında bulunan *Form System Equations* butonunu kullanarak transfer fonksiyonu parametrelerinden sistem denklemlerini oluşturması gerekmektedir. Bu aşamada sistem denklemleri elde edilir ve sistem denklemlerine ait parametreler istenirse *Design* menüsünden *System Equations* alt sekmesinden matris formunda görülebilir.

Durum uzayı sentez yönteminde elde edilen ara aşama olan sistem denklemlerinin doğrudan girişine ya da üzerinde değişiklik yapılmasına olanak sağlayan *System Equations* alt menüsü arayüzü Şekil 59'da verildiği gibidir.



Şekil 59: Sistem Denklemleri parametre giriş ekranı

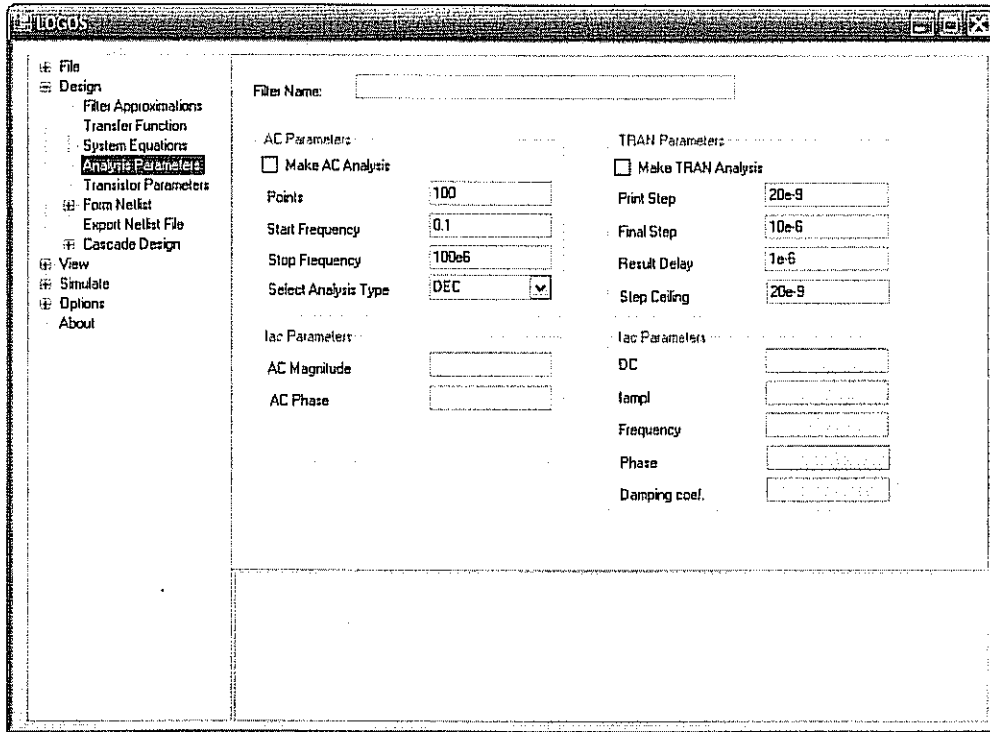
Bu kısımda istenirse sıfırdan durum uzayı sentez yöntemleri kullanılarak elde edilen sistem denklemlerinin girişi A matrisi, B ve P vektörleri ve D katsayısı olarak doğrudan yapılabileceği gibi, istenirse de yaklaşım çeşitlerinden ya da transfer fonksiyonundan doğrudan elde edilen sistem denklemleri üzerinde değişiklik yapılarak süzgeç devresi tasarlanması mümkün olmaktadır. Sistem denklemleri girişi arayüzü transfer fonksiyonu katsayılarında olduğu gibi 11. dereceden tasarımlara olanak verecek şekilde tasarlanmıştır.

LOGOS'da doğrudan logaritmik ortam süzgeci tasarlamak için girdi ekranı hangisi olursa olsun arka planda n . dereceden tasarım yapmaya uygun şekilde program kodu geliştirilmiştir. Ancak arayüz boyutları ile ancak 11. dereceye kadar tasarım yapılabilmesine olanak sağlanmıştır. Dolayısıyla istenirse dosyadan veri okuyarak daha yüksek dereceden logaritmik ortam süzgeci tasarımı yapmak da mümkün olabilecektir.

6.3.3 Analiz ve Transistör Parametrelerinin Girişi

Sistem denklemleri elde edildikten ya da doğrudan giriş yapıldıktan sonraki aşamada programımızın PSpice programında analiz edilebilir yapıda bir süzgeç devresi tasarlayabilmesi için *netlist* dosyasına eklenecek olan analiz parametreleri ve transistör parametrelerinin belirlenmesi gereklidir.

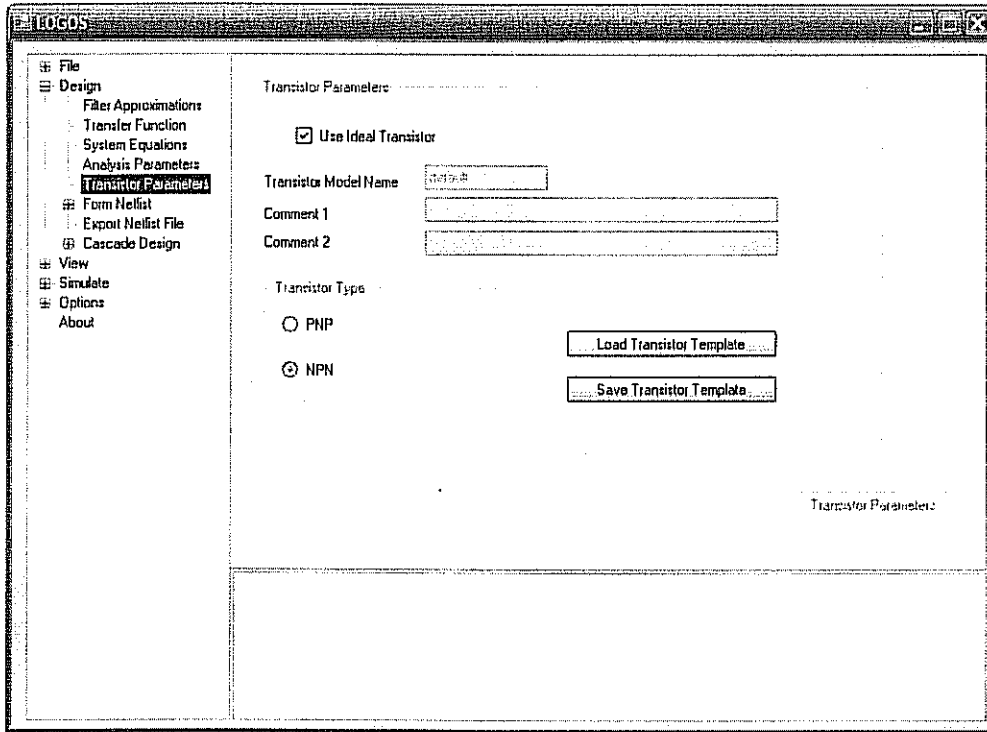
Bunun için programımıza ilk olarak zaman ve frekans ortamında analiz yapılabilmesine olanak sağlayacak analiz parametrelerini eklememiz gereklidir. Bu amaçla *Design* menüsü *Analysis Parameters* alt menüsünden ulaşılan parametre girişleri arayüzü Şekil 60'da verildiği gibi yapılmaktadır.



Şekil 60: Analiz Parametreleri giriş ekranı

Şekil 60'dan görüldüğü gibi analiz parametreleri girdi ekranından devrenin *netlist* dosyasına eklenecek olan devre ismi, *.AC* frekans ortamı parametreleri ve *.TRAN* zaman ortamı parametreleri girişleri ayrıntılı olarak yapılabilmektedir.

LOGOS programında süzgeç tasarlamak için kullanılan son girdi ekranı transistör parametreleri girdi ekranıdır. Tamamen BJT transistörler kullanılarak gerçekleştirilen logaritmik ortam süzgeçlerinin bazı transistör parametrelerinin değiştirilerek incelenmesi amacıyla geliştirilmiş olan bu kısımda PSpice programında tanımlanan şekilde tüm parametrelerin değiştirilmesine olanak sağlamak amacıyla 3 adet transistör parametreleri girişi arayüzü programımıza eklenmiştir. Programa ait bu arayüzler Şekil 61, Şekil 62 ve Şekil 63'de sırasıyla verilmiştir. Arayüzlerde görülen tüm bu parametreler, ilk ekranda girilen dosya adı ile kütüphane olarak kaydedilmekte ve PSpice programına bu isimdeki kütüphaneyi ekleyerek transistör özelliklerini yüklemektedir. Transistör parametrelerinin LOGOS'daki varsayılan değeri olarak PSpice programındaki varsayılan transistör parametreleri yüklenmiş olup, bu parametreler istendiği gibi değiştirilebilmekte ve değiştirilen her parametre ayrıca kütüphane dosyasına iletilmekte ve bu şekilde tüm değişiklikler doğrudan *netlist* dosyasına iletilmektedir. Ayrıca daha önce kullanılmış olan belli bir transistöre tekrar erişilebilmesine olanak sağlamak amacı ile transistör parametrelerinin dosya menüsünden .tff uzantılı olarak istenen herhangi bir yere kaydedilmesine olanak sağlanmıştır.



Şekil 61: Transistör parametreleri girdi ekranı -1

LOGOS

File
Design
Filter Approximations
Transfer Function
System Equations
Analysis Parameters
Transistor Parameters
Form Netlist
Export Netlist File
Cascade Design
View
Simulate
Options
About

Transistor Parameters 1

| | | | | | |
|----------|-------|---------|-------|----------|-----|
| AF | 1.0 | IKR | | NE | 1.5 |
| BF | 100.0 | IRB | | NF | 1.0 |
| BR | 1.0 | IS | 1E-16 | NK | 0.5 |
| CJC | 0.0 | ISC(C4) | 0.0 | NR | 1.0 |
| CJE | 0.0 | ISE(C2) | 0.0 | NS | 1.0 |
| CJS(CCS) | 0.0 | ISS | 0.0 | PTF | 0.0 |
| CN | | ITF | 0.0 | QCB | 0.0 |
| D | | KF | 0.0 | QUASIMOD | 0 |
| EG | 1.11 | MJC(MC) | 0.33 | RB | 0.0 |
| FC | 0.5 | MJE(ME) | 0.33 | RBM | RB |
| GAMMA | 1E-11 | MJS(MS) | 0.0 | RC | 0.0 |
| IKF | | NC | 2.0 | RCD | 0.0 |

Other Parameters

Şekil 62: Transistör parametreleri girdi ekranı -2

LOGOS

File
Design
Filter Approximations
Transfer Function
System Equations
Analysis Parameters
Transistor Parameters
Form Netlist
Export Netlist File
Cascade Design
View
Simulate
Options
About

Transistor Parameters-2

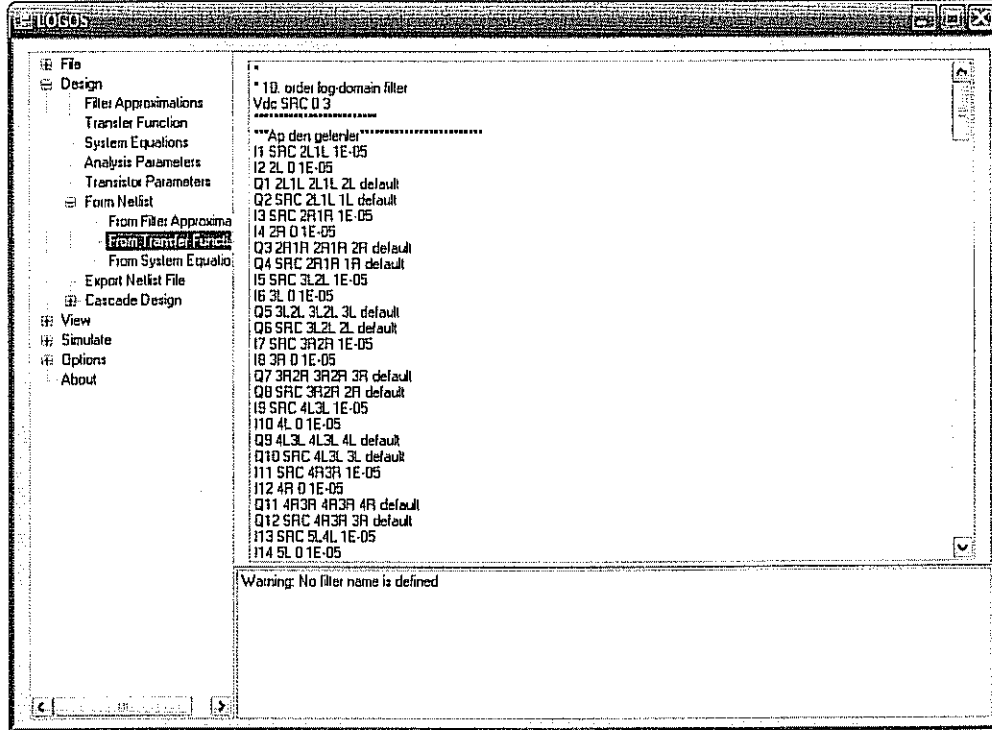
| | | | | | |
|-------|-----|--------------|-------|--------|-----|
| RE | 0.0 | T_Measured | | XCJC2 | 1.0 |
| TF | 0.0 | T_Rel_Global | | XCJS | |
| TR | 0.0 | T_Rel_Local | | XTB | 0.0 |
| TRB1 | 0.0 | VAR(VA) | | XTF | 0.0 |
| TRB2 | 0.0 | VAR(VB) | | XTP(T) | 3.0 |
| TRC1 | 0.0 | VG | 1.206 | | |
| TRC2 | 0.0 | VJC(PC) | 0.75 | | |
| TRE1 | 0.0 | VJE(PE) | 0.75 | | |
| TRE2 | 0.0 | VJS(PS) | 0.75 | | |
| TRM1 | 0.0 | VO | 10 | | |
| TRM2 | 0.0 | VTF | | | |
| T_ABS | | XCJC | 1.0 | | |

Main Menu

Şekil 63: Transistör parametreleri girdi ekranı -3

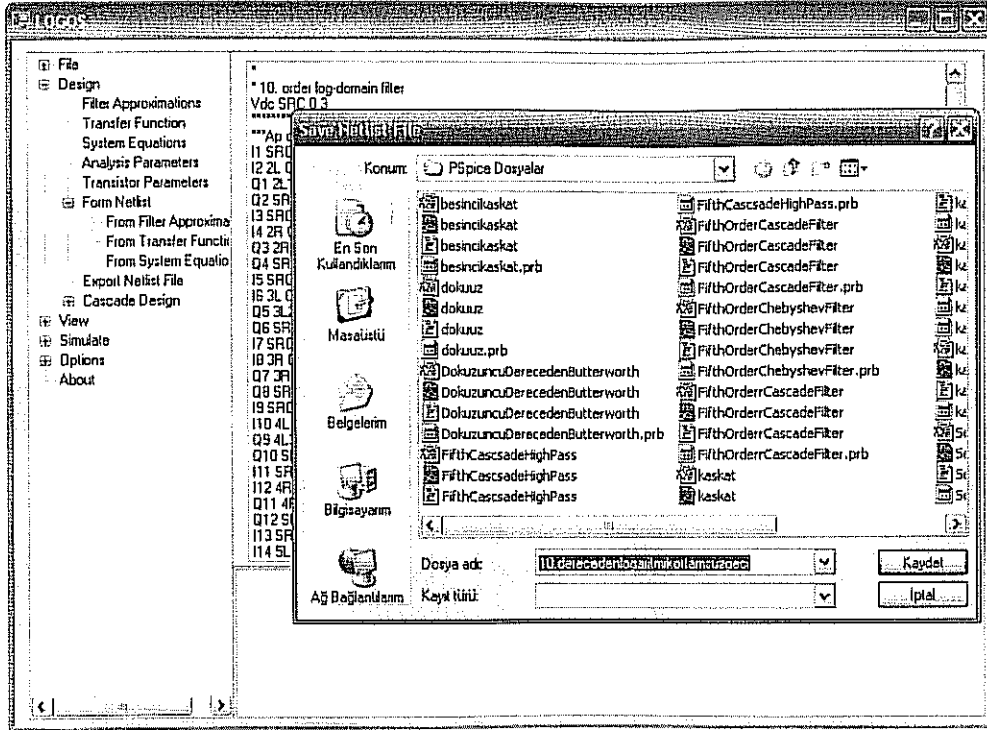
Daha önce verilen program akış diyagramından da anlaşıldığı gibi giriş parametreleri her ne olursa olsun, kullanıcı isterse programın herhangi bir aşamasında tasarlanan devre parametrelerinde değişiklik yapabilmektedir; bu değişiklikleri yaparken kullanıcının bilinçli olduğu varsayılmış parametre girişinde genelde kısıt getirilmemiştir. Dolayısıyla bilinçsiz olarak yapılacak değişiklikler süzgeç tasarımını ve çalışmasını olumsuz etkileyecektir.

Geliştirilen yazılım ile doğrudan logaritmik ortam süzgeci tasarlanırken kullanılan girdi parametreleri ve arayüzleri yukarıda anlatıldığı gibidir. Sırasıyla uygun bir şekilde parametre girişleri tamamlandığında devrenin *netlist* formu oluşturulmaya hazır hale gelmiştir. Bu aşamada *Form Netlist* menüsü kullanılarak tasarlanan süzgeç devresine ait *netlist* gösterimine ulaşılabilmektedir. *Form Netlist* menüsü süzgeç yaklaşımlarından, transfer fonksiyonundan ve sistem denklemlerinden doğrudan tasarım yapılabilmesine uygun olarak üç alt menüden oluşmuştur. Bu şekilde kullanıcı isterse yalnızca süzgeç yaklaşımı parametrelerini girerek diğer parametre girdi menülerine hiç bakmadan süzgeç devresini tasarlayabilmektedir. *Form Netlist* menüsünden herhangi bir alt menü tıklanarak elde edilen çıktı ekranı Şekil 64'de verildiği gibidir.



Şekil 64: Netlist oluşturma menüsü çıktı ekranı

Form Netlist menüsü kullanılarak elde edilen logaritmik ortam süzgeç devresinin PSpice programında analiz edilebilmesi için oluşturulan *netlist* dosyasının ilk olarak PSpice programına uygun bir formatta saklanması gerekmektedir. Bunun için *Export Netlist File* menüsü programa eklenmiştir. *Export Netlist File* menüsü tıklandığında açılan arayüz Şekil 65'de verildiği gibidir. Bu arayüz kullanılarak program tarafından oluşturulan *netlist* dosyası kullanıcının istediği herhangi bir yere *.cir* uzantılı olarak kaydedilmektedir.



Şekil 65: Netlist kaydetme menüsü çıktı ekranı

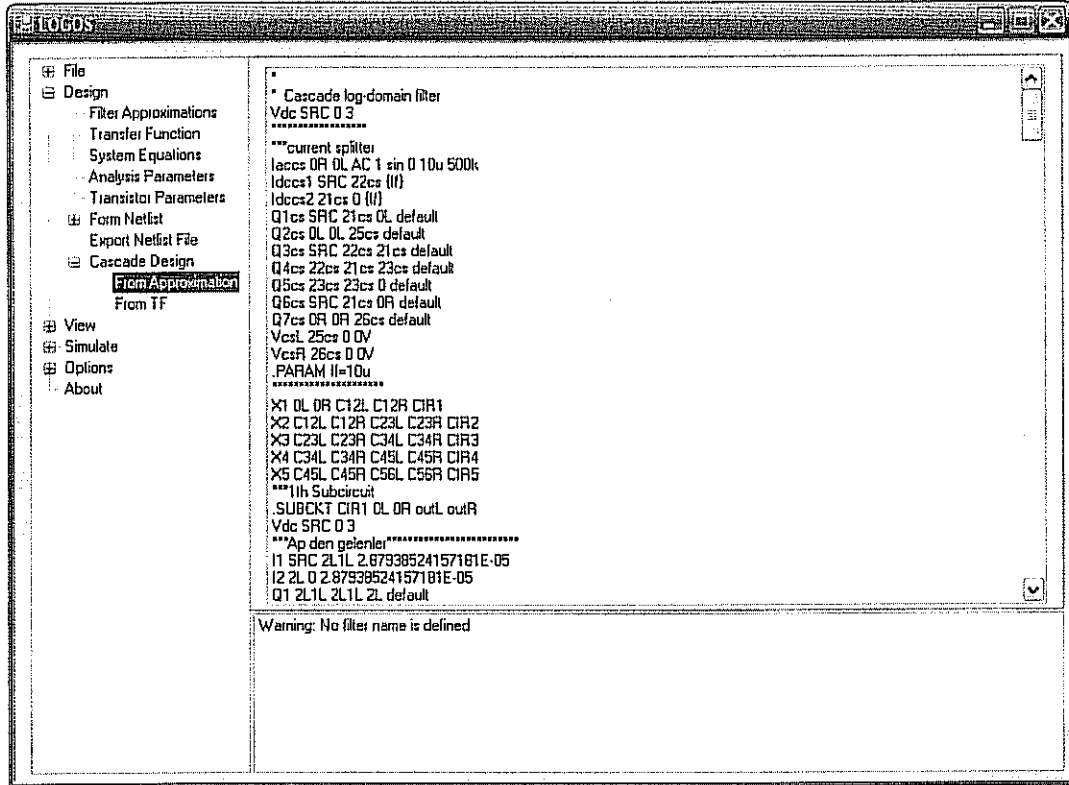
Programda doğrudan tasarım yapılırken durum uzayı sentez yöntemi ile 11. dereceye kadar istenilen derecedeki süzgeç devresi tasarlanabilir. Şimdiye kadar sunulan girdi parametreleri arayüzü doğrudan süzgeç tasarımına yönelik giriş parametrelerini içermektedir.

6.3.4 Kaskat Bağlantı ile Sentez

Doğrudan durum uzayı sentez yöntemi kullanılarak gerçekleştirilen tasarım yönteminden başka programa eklenen bir diğer yöntem, birinci ve ikinci dereceden devrelerin arka arkaya

bağlanması ile elde edilen kaskat bağlantı ile tasarım yöntemidir. Bu yöntemde göre tasarlanacak olan süzgece ait transfer fonksiyonu kaçınıcı dereceden olursa olsun ilk olarak birinci ve ikinci dereceden transfer fonksiyonlarının çarpımı şeklinde ifade edilmelidir. Daha sonra elde edilen birinci ve ikinci dereceden transfer fonksiyonları ayrı ayrı durum uzayı sentez yöntemi kullanılarak tasarlanır ve PSpice programının *subcircuit* özelliği kullanılarak kaskat bağlı devre yapısına sahip süzgeç devresi elde edilir.

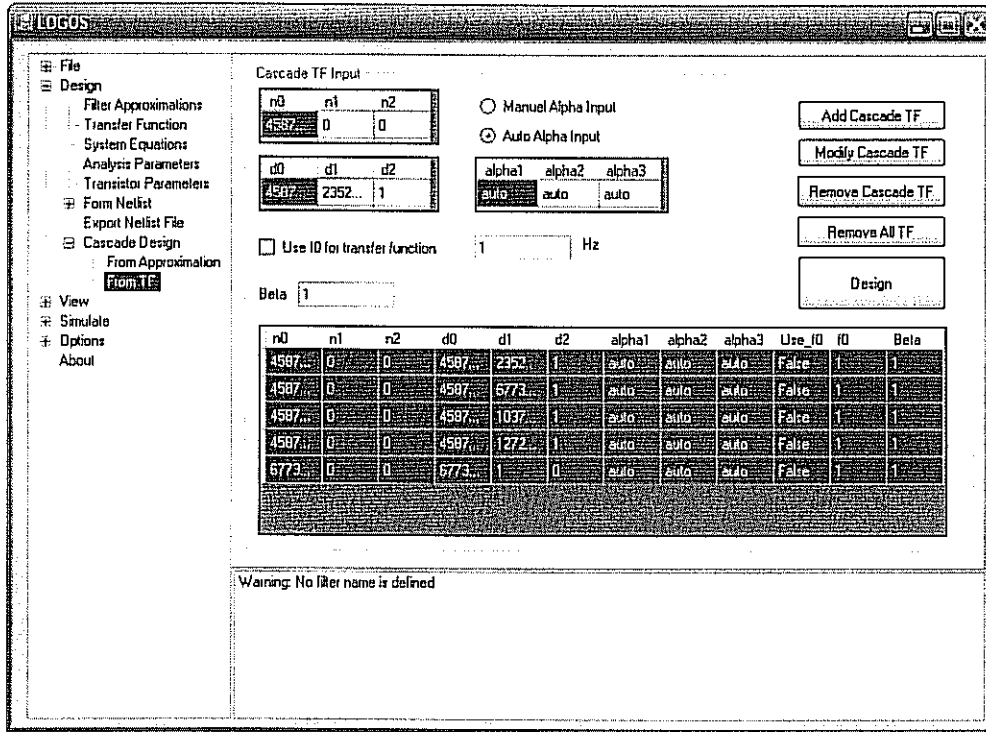
Kaskat bağlantı yöntemi kullanılarak süzgeç devresi tasarlayabilmek için kullanılan parametre girdi ekranları; süzgeç yaklaşımları parametre girdisi ya da transfer fonksiyonu parametre girdisi şeklinde iki türdür. Süzgeç yaklaşımları kullanılarak kaskat bağlı süzgeç devresi elde edilecekse Şekil 57'da verilen arayüzden parametre girişi yapılır daha sonra analiz parametreleri ve transistör parametreleri girilerek *From Approximation* alt menüsü seçilir bu durumda elde edilen çıktı ekranı kaskat bağlantıya göre süzgeç devresinin elde edilen *netlist* dosyası şeklindedir ve Şekil 66'da görüldüğü gibidir.



```
LOGDS
* Cascade log-domain filter
Vdc SRC 0 3
*****
***current splitter
Iaccc1 DR 0L AC 1 sin 0 10u 500k
Idccs1 SRC 22cs 1(f)
Idccs2 21cs 0 1(f)
Q1cs SRC 21cs 0L default
Q2cs 0L 0L 25cs default
Q3cs SRC 22cs 21cs default
Q4cs 22cs 21cs 23cs default
Q5cs 23cs 23cs 0 default
Q6cs SRC 21cs 0R default
Q7cs 0R 0R 26cs default
VcsL 25cs 0 0V
VcsR 26cs 0 0V
.PARAM Il=10u
*****
X1 0L 0R C12L C12R CIR1
X2 C12L C12R C23L C23R CIR2
X3 C23L C23R C34L C34R CIR3
X4 C34L C34R C45L C45R CIR4
X5 C45L C45R C56L C56R CIR5
***1h Subcircuit
SUBCKT CIR1 0L 0R outL outR
Vdc SRC 0 3
***Ap den gelenler*****
I1 SRC 2L 1L 2.67938524157181E-05
I2 2L 0 2.67938524157181E-05
Q1 2L 1L 2L 1L 2L default
Warning: No filter name is defined
```

Şekil 66: Kaskat bağlantı devre oluşturulması

Kaskat bağılı süzgeç devresi oluştururken kullanılacak olan bir diğer girdi ekranı alternatif olarak kullanılacak olan birinci ve ikinci dereceden her bir transfer fonksiyonunun doğrudan girişinin mümkün olması şeklindedir. Bunun için programın *Cascade Design* menüsünden *From TF* alt menüsüne girilmelidir. *From TF* alt menüsüne tıklandığında Şekil 67’de verilen transfer fonksiyonları girdi ekranı karşımıza çıkmaktadır. Bu girdi ekranından istenilen birinci ve ikinci dereceden transfer fonksiyonları sırasıyla sisteme girilip *Add Cascade TF* butonu ile transfer fonksiyonlarının yüklenmesi sağlanabilir. Eklenen transfer fonksiyonları doğrudan aynı ekranda görülmektedir ve istenilen bir anda uygun komut içeren buton ve işlem yapılacak fonksiyon seçilerek herhangi bir transfer fonksiyonu üzerinde değişiklik yapılabilir ya da transfer fonksiyonu tamamen silinebilir.



Şekil 67: Kaskat bağlantı transfer fonksiyonu girdi ekranı

Şekil 67’de verilen arayüz kaskat bağlantıda transfer fonksiyonu parametreleri girdisi için kullanılmakla birlikte, süzgeç yaklaşım parametreleri girilerek kaskat bağlantı seçeneği seçildiğinde o süzgeç devresine ait transfer fonksiyonlarının birinci ve ikinci dereceye bölünmüş formlarını da görmemizi sağlamaktadır. Dolayısıyla kullanıcı yaklaşım

parametrelerinden başladığı bir tasarıma isterse transfer fonksiyonu kısmında müdahale edebilmektedir.

Bahsedilen iki arayüzden herhangi biri kullanılarak oluşturulan Kaskat bağlı süzgeç devresinin PSpice analizinin yapılabilmesi için oluşturulan Netlist dosyasının doğrudan tasarımda olduğu gibi *Export Netlist File* alt menüsü ile istenilen bir yere kaydedilmesi ve oradan çalıştırılması gerekmektedir.

6.3.5 View ve Simulate Menüleri

View menüsü kullanıcının programa girmiş olduğu tasarım parametrelerine ulaşmak için tasarlanmıştır. Bu menüdeki bazı alt menüler doğrudan parametre giriş sayfasından parametreleri göstermekle birlikte bazı text formatında girilen parametreleri de göstermektedir.

Simulate menüsü tüm parametrelerin girilerek, elde edilen devrenin *netlist* formunun PSpice programında analiz edilmesini sağlayan kısımdır. Parametre girişleri tamamlandıktan sonra *Simulate with PSpice* alt menüsüne tıklanıldığında kaydedilen *netlist* dosyası bulunduğu yerden alınarak PSpice programında açılır ve tasarlanan devrenin analizinin yapılmasına olanak sağlar. Herhangi bir devre tasarlanıp *Simulate With PSpice* alt menüsüne tıklanıldığında elde edilen çıktı ekranı Şekil 68'de verildiği gibidir.

Tasarlanan devre PSpice programında zaman ya da frekans ortamında analiz edildiğinde PSpice programının analiz sonucunda oluşturduğu *.out* çıktı dosyasına isterse kullanıcı *Simulate* menüsü altındaki *.out* alt menüsünden doğrudan ulaşabilmektedir. *.out* alt menüsü çıktı ekranı Şekil 69'da verilmiştir.

parametrelerinden başladığı bir tasarıma isterse transfer fonksiyonu kısmında müdahale edebilmektedir.

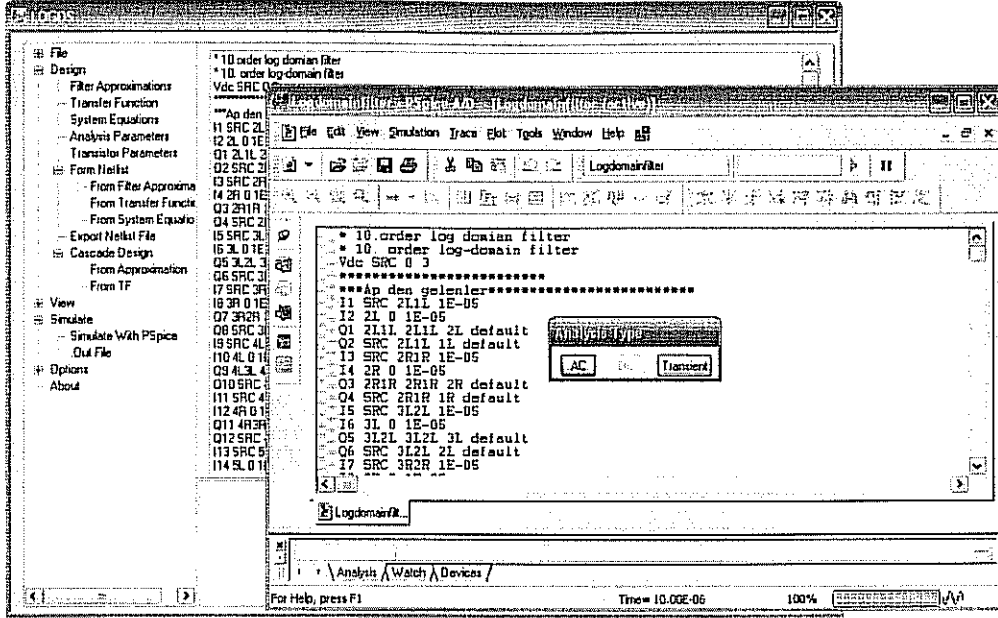
Bahsedilen iki arayüzden herhangi biri kullanılarak oluşturulan Kaskat bağlı süzgeç devresinin PSpice analizinin yapılabilmesi için oluşturulan Netlist dosyasının doğrudan tasarımda olduğu gibi *Export Netlist File* alt menüsü ile istenilen bir yere kaydedilmesi ve oradan çalıştırılması gerekmektedir.

6.3.5 View ve Simulate Menüleri

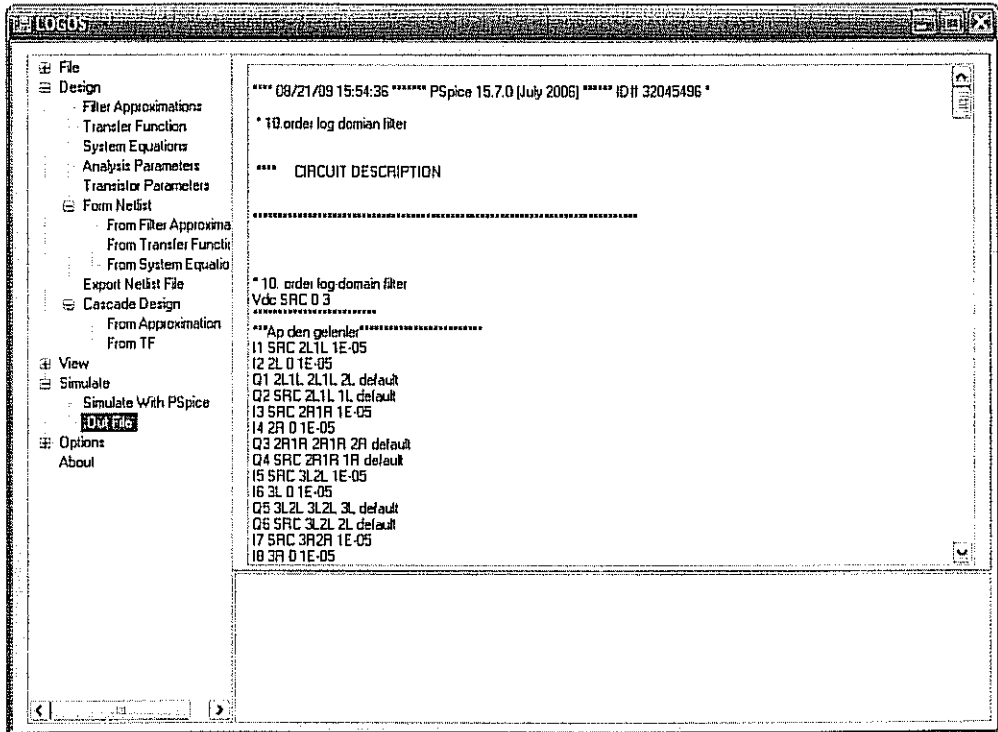
View menüsü kullanıcının programa girmiş olduğu tasarım parametrelerine ulaşmak için tasarlanmıştır. Bu menüdeki bazı alt menüler doğrudan parametre giriş sayfasından parametreleri göstermekle birlikte bazı text formatında girilen parametreleri de göstermektedir.

Simulate menüsü tüm parametrelerin girilerek, elde edilen devrenin *netlist* formunun PSpice programında analiz edilmesini sağlayan kısımdır. Parametre girişleri tamamlandıktan sonra *netlist* dosyası belli bir isim ile kaydedildikten sonra *Simulate with PSpice* alt menüsüne tıkladığında kaydedilen *netlist* dosyası bulunduğu yerden alınarak PSpice programında açılır ve tasarlanan devrenin analizinin yapılmasına olanak sağlar. Herhangi bir devre tasarlanıp *Simulate With PSpice* alt menüsüne tıkladığında elde edilen çıktı ekranı Şekil 68'de verildiği gibidir.

Tasarlanan devre PSpice programında zaman ya da frekans ortamında analiz edildiğinde PSpice programının analiz sonucunda oluşturduğu *.out* çıktı dosyasına isterse kullanıcı *Simulate* menüsü altındaki *.out* alt menüsünden doğrudan ulaşabilmektedir. *.out* alt menüsü çıktı ekranı Şekil 69'da verilmiştir.



Şekil 68: Simulate With PSpice alt menüsü çıktı ekranı



Şekil 69: .out alt menüsü çıktı ekranı

6.4 Çözüm Algoritmaları

6.4.1 Giriş

Bu kısımda programın arka planında işlemler yapılırken kullanılan bazı algoritmalar açıklanmıştır. Süzgeç yaklaşımlarından transfer fonksiyonlarının nasıl elde edildiği, transfer fonksiyonlarından sistem denklemlerine ne şekilde geçildiği bu kısımda açıklanmış ve programın kullandığı varsayımlar ve varsayılan seçenekler belirtilmiştir.

6.4.2 Süzgeç Yaklaşımları

6.4.2.1 Süzgeç Parametrelerinin Birbirine Bağımlı Olarak Hesaplanması

Kullanıcıdan girmesi istenilen filtre parametreleri Şekil 70'de görülmektedir. Burada A_{max} , A_{min} , f_p , f_s ve filtre derecesi ile kalite faktörü kullanıcıdan istenmektedir. İstenen parametrelerin değerleri birbirine bağlı olduğu için tüm girdiler bir girdideki değişimden etkilenebilmektedir. Bu sebeple her bir girdinin başına bir radyo butonu koyulmuştur. Böylece herhangi bir parametrede değişiklik yapıldığında sadece radyo butonu seçilmiş olan parametre değeri diğer verilere göre program tarafından yeniden hesaplanmaktadır. Bu sebeple kullanıcıya burada rastgele değer girme imkânı tanınmamıştır.

Filter Parameters

A_{max}

A_{min}

f_p

f_s

N

K

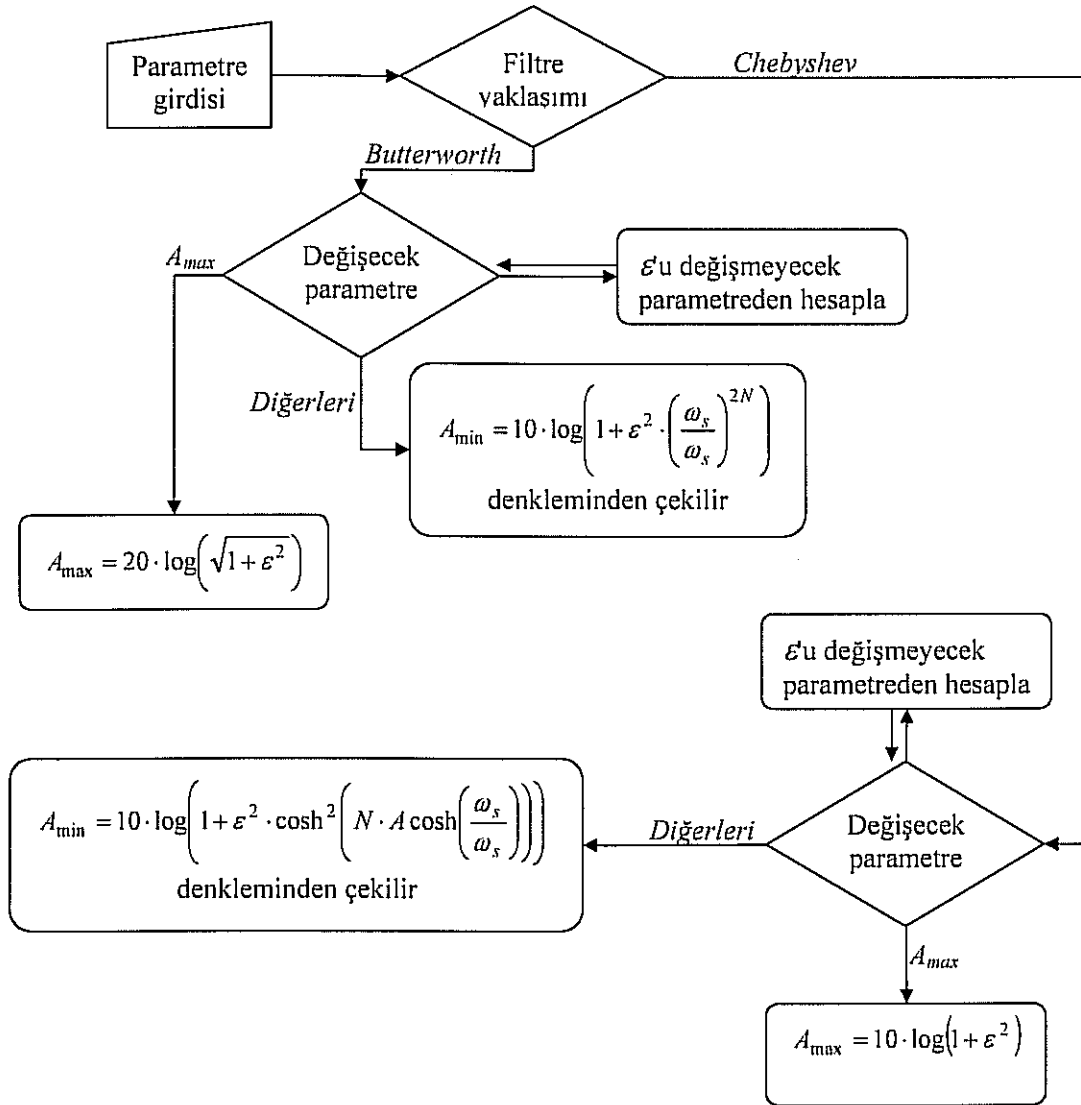
Filter Approximation

Butterworth

Chebyshev

Şekil 70: Süzgeç parametre girişi

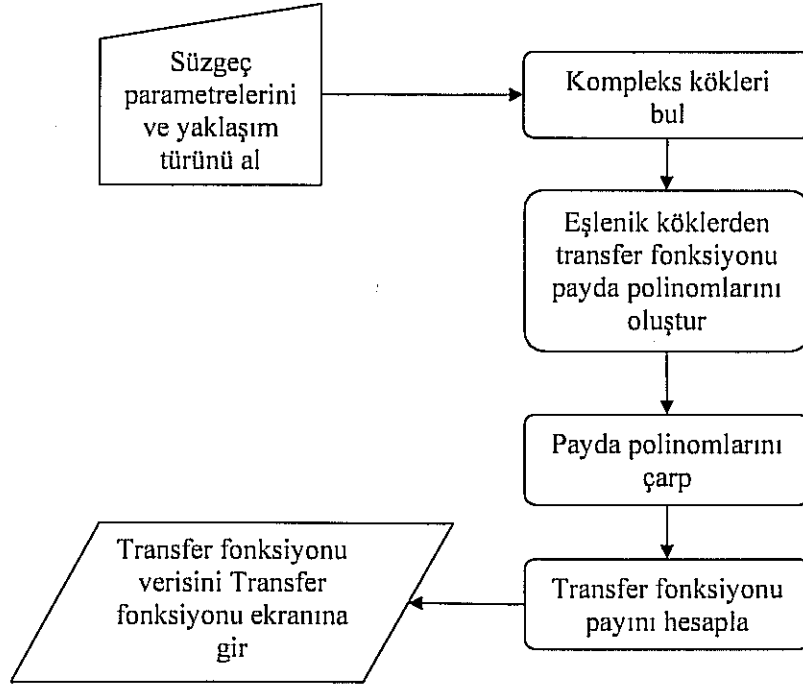
Girdiler her durumda Butterworth yada Chebyshev yaklaşımına ilişkin denklemlere uyumlu olmak zorundadır. Ancak girilen A_{max} , A_{min} , f_p , f_s değerlerinin her zaman tam sayı filtre derecesi çıktısı vermesi de mümkün değildir. Her kutucuğun sağında verilen "N" butonları tıkladığında kullanıcı hangi parametrenin değiştirilerek filtre derecesinin tam sayı haline getirilmesini istiyorsa seçebilmektedir. Buradaki süzgeç parametrelerinin düzenlenmesi için kullanılan akış diyagramı Şekil 71'de verilmiştir. Aynı akış diyagramı kullanılarak N tam sayıya da dönüştürülmektedir.



Şekil 71: Seçilen yaklaşım türüne göre parametrelerin değiştirilmesi

6.4.2.2 Süzgeç Yaklaşımlarından Transfer Fonksiyonunun Elde Edilmesi

Girilen süzgeç parametreleri ve yaklaşım türünden faydalanılarak transfer fonksiyonuna süzgeç yaklaşımı menüsünden geçilebilmektedir.



Şekil 72: Süzgeç yaklaşımından transfer fonksiyonuna geçiş algoritması

6.4.3 Transfer Fonksiyonu

Programın transfer fonksiyonu girdi ekranında transfer fonksiyonunun pay ve payda terimleri girilebilmektedir. Kullanıcı burada yanlış bir transfer fonksiyonu girdiğinde yazılım gerekli düzeltmeleri yaparak kullanıcıyı uyarılmaktadır. Örneğin paydanın en büyük üslü teriminin katsayısının 1 olarak girilmemesi durumunda yazılım bir sonraki terimi 1 olarak düzeltmektedir. Örneğin girilen son katsayı s^5 terimine aitse ve 1'den farklı ise yazılım s^6 teriminin katsayısını 1 olarak düzeltmektedir. Ancak s^{11} teriminin katsayısı 1'den farklı olarak girilirse bu katsayı 1 olarak düzeltilmektedir. Kullanıcı istediği takdirde f_0 kesim frekansı değerlerine bağlı olarak transfer fonksiyonu tanımlaması da yapılabilmektedir. Bu seçeneğin kullanılması durumunda program tüm terimlerin katsayılarını ω_0' ile çarparak gerçek transfer

fonksiyonu katsayılarını hesaplamaktadır. Aynı menüde minimum akım değeri ve akım bölücü devreye ait parametreler de tanımlanmaktadır. Yazılım hesaplar sonucunda elde edilen en küçük akım değerini girilen minimum akım değerine eşitlemektedir. Devredeki diğer akım değerleri de aynı oranda artırılmaktadır.

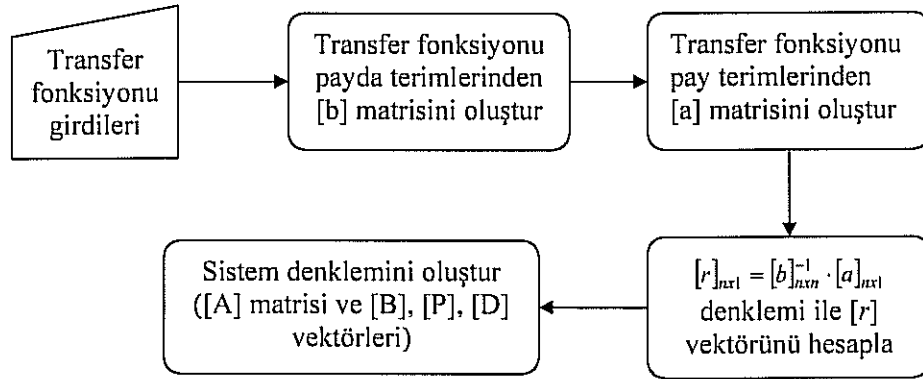
6.4.3.1 α Katsayılarının Program Tarafından Hesaplanması

Kullanıcı α katsayılarını kendisi girebileceği gibi katsayıların program tarafından hesaplanmasını sağlayan seçenekler mevcuttur. Kullanıcı α katsayılarının program tarafından hesaplanmasını da sağlayabilir. Bu durumda katsayılar Denklem (6.4)'de verildiği gibi elde edilmiştir.

$$\alpha_i = \omega_0^i \quad (6.4)$$

6.4.3.2 Transfer Fonksiyonundan Sistem Denklemlerinin Elde Edilmesi

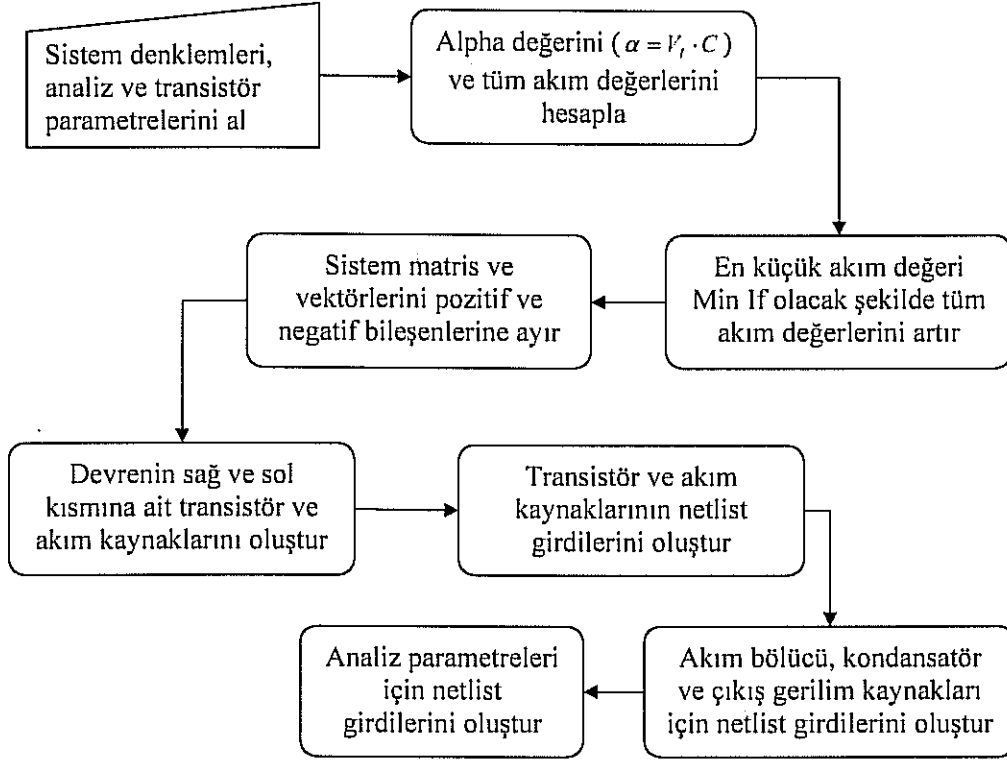
Transfer fonksiyonundan sistem denklemlerinin elde edilmesi için kullanılan algoritma Şekil 73'de verilmiştir. Bu algoritmanın teorisi Bölüm 2'de detaylı olarak açıklanmıştır.



Şekil 73: Sistem denklemlerinin oluşturulması için kullanılan algoritma

6.4.4 Sistem Denklemlerinden Devre Netlistinin Elde Edilmesi

Sistem denklemlerinin elde edilmesi sonrasında süzgeç devresinin elemanları ve *netlist*'i program tarafından diğer parametre girdileri dikkate alınarak oluşturulmaktadır. Bu algoritma da Şekil 74'de sunulmuştur.



Şekil 74: Süzgeç devresinin ve netlistinin oluşturulması

6.4.5 Kodu Geliştirilen Özel Fonksiyonlar

Yazılımın geliştirilmesi aşamasında bazı özel fonksiyonların yazılması gerekmiştir. Örneğin Chebysev yaklaşımı ile gerekli hesapların yapılabilmesi için Arcsinh ve Arccosh fonksiyonları gerekmiştir. Programın devre oluşturulması ile ilgili kısmında eşitlik fonksiyonu yerine yaklaşık eşit fonksiyonundan faydalanılmıştır.

6.4.5.1 Arcsinh ve Arccosh Fonksiyonları

Chebyshev yaklaşımı ile gerekli hesapların yapılabilmesi için hiperbolik sinüs ve kosinüs fonksiyonlarının tersine gerek duyulmuştur. C# ortamında hazır bulunmayan kod için Şekil 75-76'da verilen kodlar kullanılmıştır. Kullanılan fonksiyonların doğrulukları bilinen örneklerle de test edilmiştir.

```
public double Asinh(double x)
{
    double GSL_DBL_EPSILON = 2.2204460492503131e-16;
    double GSL_SQRT_DBL_EPSILON = 1.4901161193847656e-08;
    double M_LN2 = 0.69314718055994530941723212146; // ln(2)
    double a = Math.Abs(x);
    double s = (x < 0) ? -1 : 1;
    if (a > 1 / GSL_SQRT_DBL_EPSILON)
    {
        return s * (Math.Log(a) + M_LN2);
    }
    else if (a > 2)
    {
        return s * Math.Log(2 * a + 1 / (a + Math.Sqrt(a * a + 1)));
    }
    else if (a > GSL_SQRT_DBL_EPSILON)
    {
        double a2 = a * a;
        return s * Log1p(a + a2 / (1 + Math.Sqrt(1 + a2)));
    }
    else { return x; }
}
```

Şekil 75: Arcsinh fonksiyonu

```
public double Acosh(double x)
{
    double GSL_DBL_EPSILON = 2.2204460492503131e-16;
    double GSL_SQRT_DBL_EPSILON = 1.4901161193847656e-08;
    double M_LN2 = 0.69314718055994530941723212146; // ln(2)
    if (x > 1.0 / GSL_SQRT_DBL_EPSILON)
    {
        return Math.Log(x) + M_LN2;
    }
    else if (x > 2)
    {
        return Math.Log(2 * x - 1 / (Math.Sqrt(x * x - 1) + x));
    }
    else if (x > 1)
    {
        double t = x - 1;
        return Log1p(t + Math.Sqrt(2 * t + t * t));
    }
    else if (x == 1) { return 0; }
    else { return double.NaN; }
}
```

Şekil 76: Arccosh fonksiyonu

Programda ihtiyaç duyulan log1p fonksiyonu için de Şekil 77’de verilen kod kullanılmıştır.

```
public double Log1p(double x)
{
    double y; y = 1 + x;
    return Math.Log(y) - ((y - 1) - x) / y;
}
```

Şekil 77: log1p fonksiyonu

6.4.5.2 Yaklaşık Eşit Fonksiyonu

Programda tüm ondalık sayıların girilememesi dolayısıyla özellikle sistem denklemlerinde 0 olması gereken bazı terimlerin küçük değerler aldığı gözlenmiştir. Esasen 0 olması gereken bu girdiler için yazılımın devre elemanları oluşturmasının da hatalı çıktılara neden olduğu belirlenmiştir. Bunun üzerine devre elemanlarının oluşturulması esnasında A matrisi; B ve P vektörleri ile D katsayısının 0 olan elemanlarından dolayı herhangi bir devre elemanı oluşturulmamakla birlikte aslında 0 olması gereken ancak küsurat farkları ile sıfırdan farklı olan elemanların belirlenmesi için yaklaşık eşit fonksiyonu tanımlanmıştır. Şekil 78’de yazılımın kullandığı yaklaşık eşit fonksiyonu verilmiştir.

```
bool ApproximatelyEqual(double a, double b)
{
    if (a == b) return true;
    else if (a == 0)
    {
        if (Math.Abs(b) <= tolerance) return true;
        else return false;
    }
    else
    {
        double x = a / b;
        if (x > 1) x = 1 / x;
        double tol = 1 - tolerance;
        bool IsApproxEqual = false;
        if (x >= tol) IsApproxEqual = true;
        return IsApproxEqual;
    }
}
```

Şekil 78: Yaklaşık eşit fonksiyonu

6.4.5.3 Eşlenik Karmaşık Köklerden Polinomların Oluşturulması ve Çarpımı

Filtre yaklaşımından transfer fonksiyonuna geçişte en önemli adımlar eşlenik köklerin çarpılarak polinomların üretilmesi ve bunların da birbirleriyle çarpılarak transfer fonksiyonu paydasındaki nihai polinomun bulunmasıdır. Bu işlemler için kullanılan iki karmaşık eşlenik kökten polinom oluşturulması ve bunların çarpımı için yazılan kod Şekil 79'da gösterilmiştir.

```
public Polynomial FormPolynomFromConjugateComplexPolynoms(Complex a)
// (s-ai-bj)*(s-ai+bj) çarpımının sonucu polynomu verir...
{ Polynomial result=new Polynomial();
  result.coefficient[2] = 1;
  result.coefficient[1] = -2 * (-a.r);
  result.coefficient[0] = a.r * a.r + a.i * a.i ;
  return result;}

public Polynomial PolynomCarp(Polynomial a, Polynomial b)
{ Polynomial newpolynom = new Polynomial();
  for (int i = 0; i < 12; i++)
  { for (int j = 0; j < 12; j++)
    { if (i+j<12) newpolynom.coefficient[i + j] += a.coefficient[i]*b.coefficient[j];
    } } return newpolynom;}
```

Şekil 79: Eşlenik karmaşık köklerden polinom oluşturulması ve bunların çarpımı

6.4.6 Girdilerde Hata Denetimi

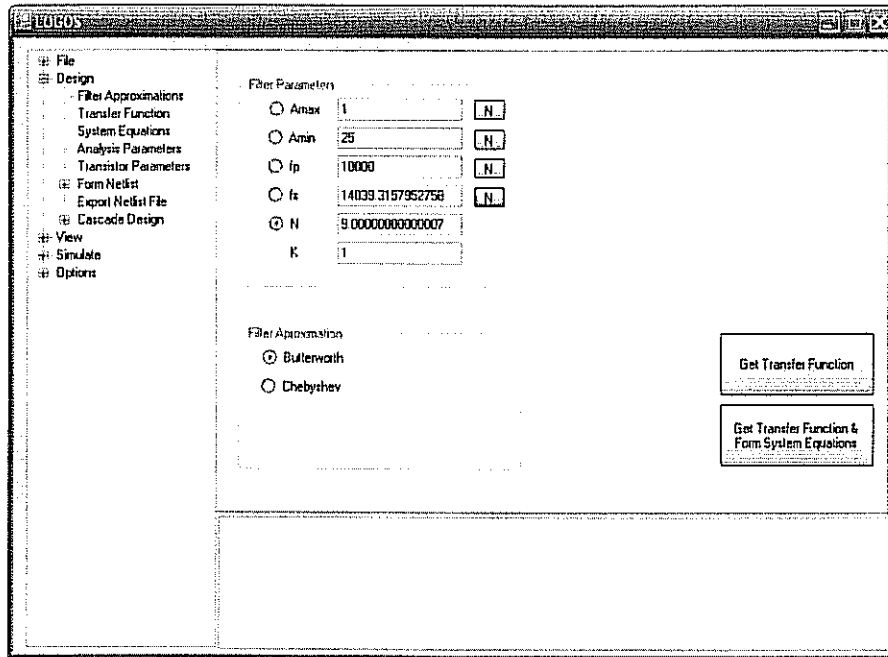
Programda yapılan hata denetimleri esas olarak 3 çeşit girdi için gerçekleştirilmektedir. Kullanıcının *netlist* oluşturmak üzere seçtiği girdi türü dikkate alınarak süzgeç yaklaşım parametreleri, transfer fonksiyonu veya sistem denklemlerinin uygun biçimde olup olmadığı sorgulanmaktadır. Verilerin yetersiz veya yanlış olması durumunda program işlememektedir. Transfer fonksiyonunda yapılan basit terim hataları transfer fonksiyonu ile ilgili bölümde açıklandığı gibi düzeltilmekte ve kullanıcı uyarılmaktadır. Ayrıca, devrenin oluşturulması için hangi yol izlenirse izlensin en az bir analiz türünün seçilmesi gerekmektedir.

6.5 Programın Doğrulanması

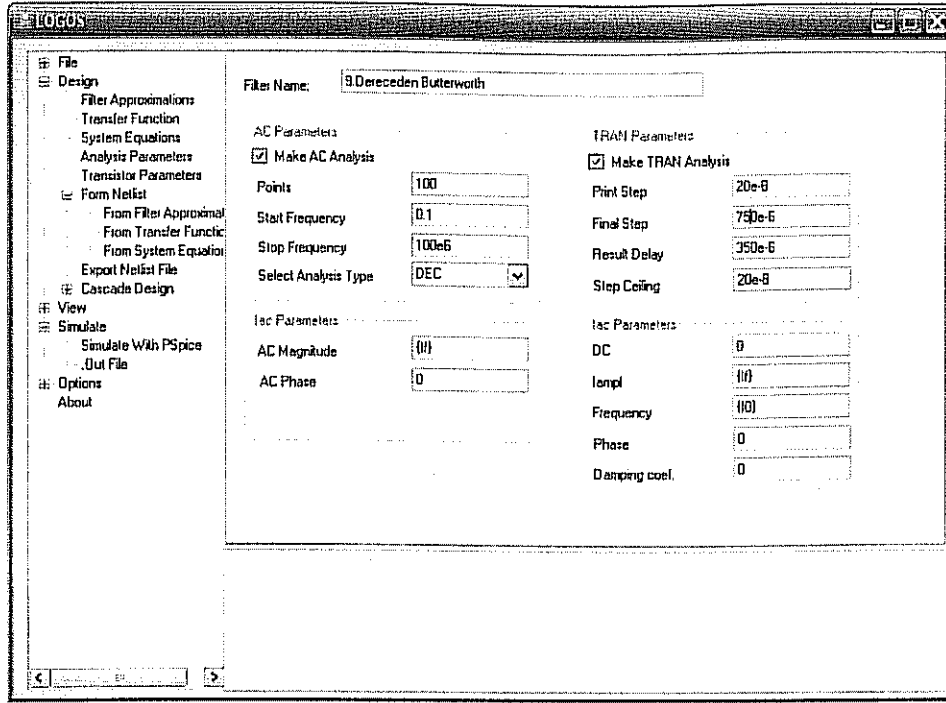
Bu kısımda tasarlandığında süzgeç devresi olarak çalıştığı bilinen bazı parametre girişleri kullanılarak farklı birkaç devre örnek olarak tasarlanacaktır. Yapılan tasarımların programın açılış ekranından PSpice analiz sonuçlarına kadar olan bütün adımları program arayüzleri olarak gerçek parametrelerle sunulmuştur.

6.5.1 Butterworth Yaklaşım Parametreleri Kullanılarak 9. Dereceden Süzgeç Devresi

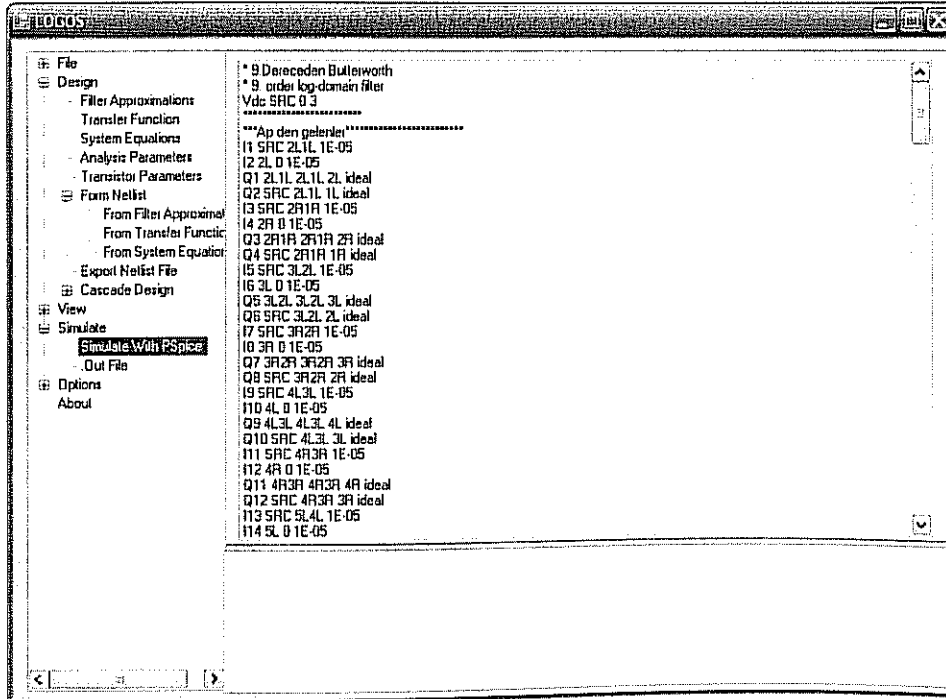
İlk olarak LOGOS yazılımı kullanılarak 9. dereceden bir Butterworth süzgeç devresi tasarımı ve elde edilen tasarımın PSpice analiz sonuçları sunulacaktır. 9. dereceden Butterworth süzgeç devresine ait yaklaşım parametreleri giriş ekranı Şekil 80'de verildiği gibidir. Bu aşamadan sonra tüm işlem basamakları ve bu basamaklardaki parametreler ayrıntılı olarak Şekil 81-85 arasında sunulmuştur. LOGOS programı ile gerçekleştirilen 9. dereceden Butterworth süzgeç devresine ait PSpice analizi sonuçları program tarafından girilen analiz parametrelerine göre elde edilmiş ve frekans ve zaman ortamı çıktıları Şekil 86 ve Şekil 87' te sırasıyla sunulmuştur.

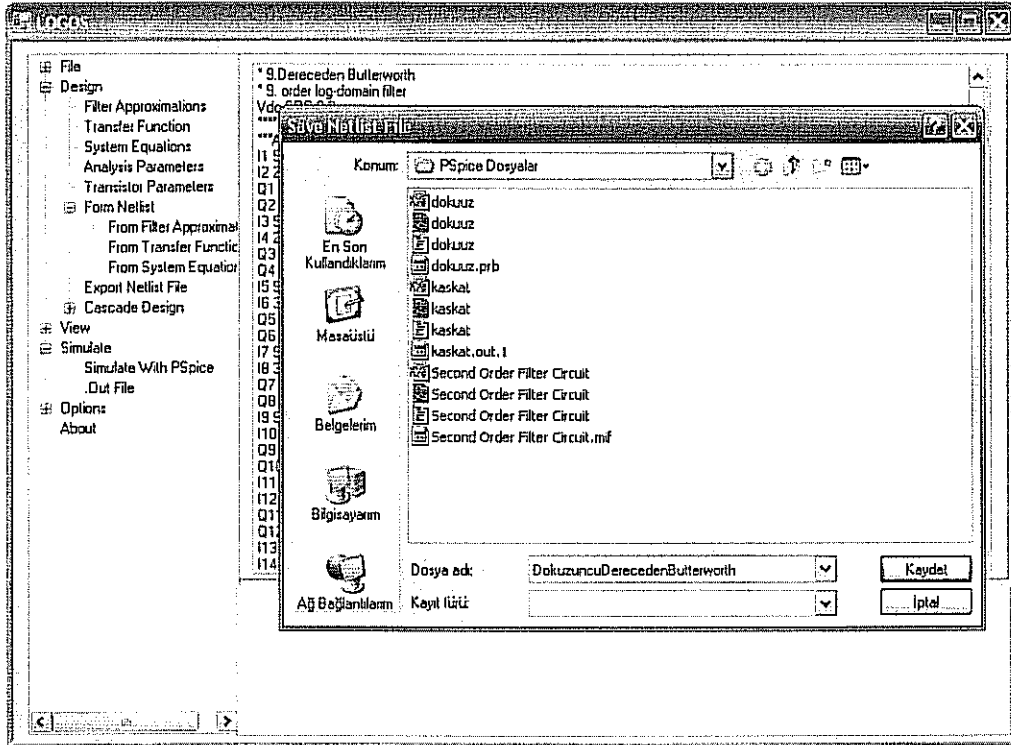


Şekil 80: 9. dereceden Butterworth süzgeç yaklaşım parametreleri

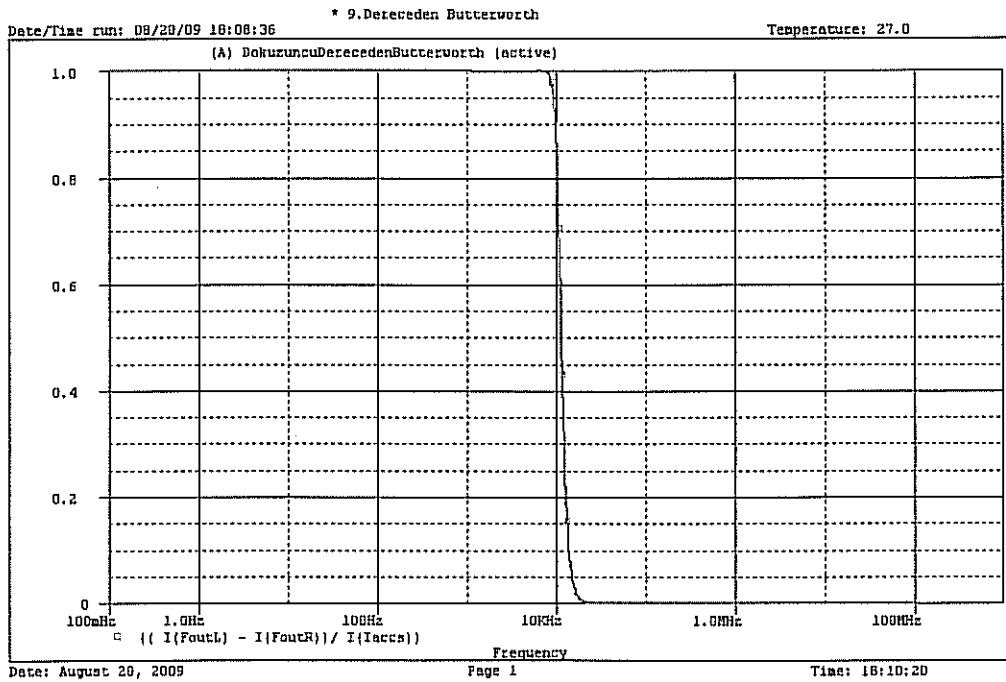


Şekil.83: PSpice analiz parametreleri

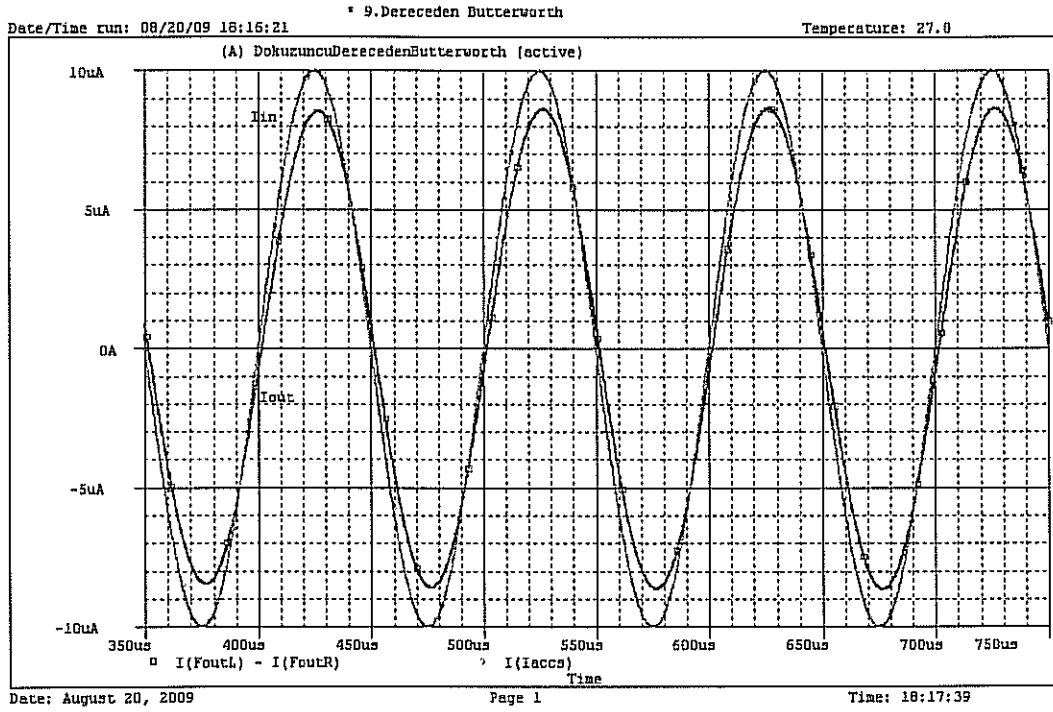




Şekil 85: Süzgeç devresi Netlist kaydetme



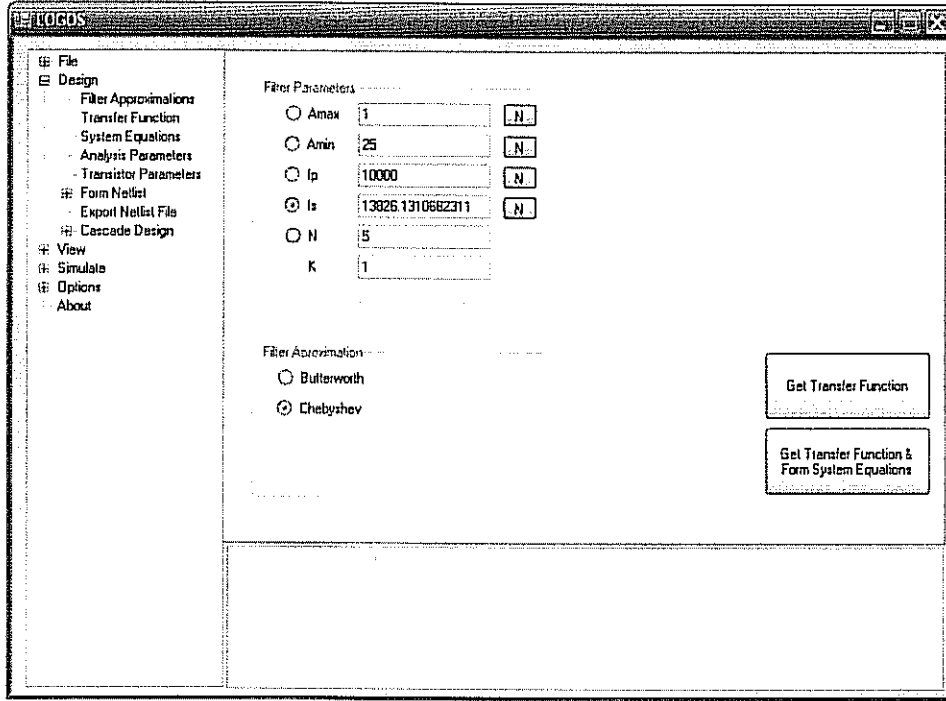
Şekil 86: 9. Dereceden Butterworth süzgeci frekans cevabı



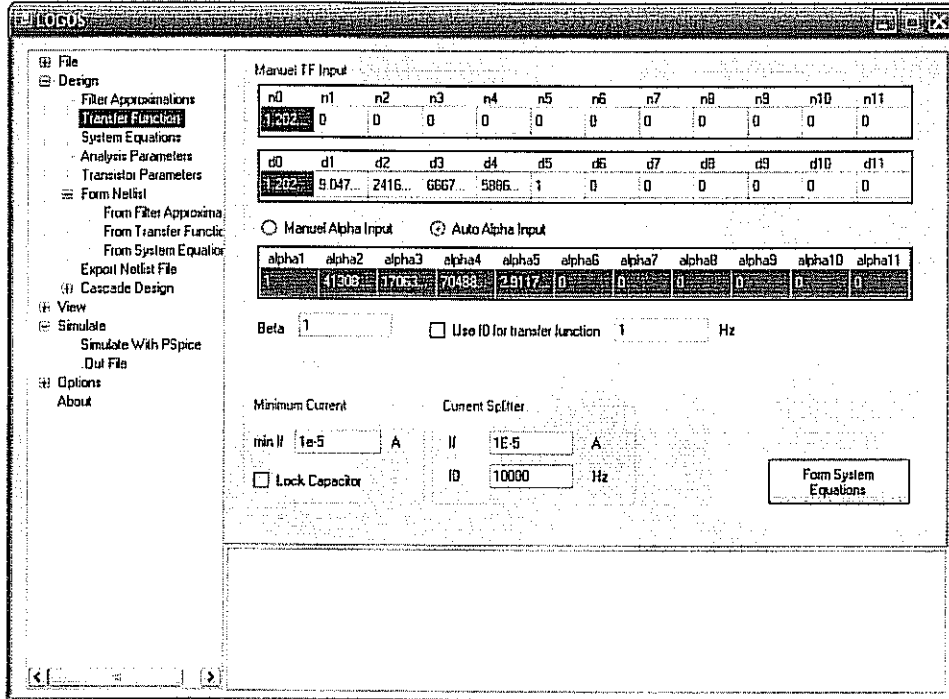
Şekil 87: 9. Dereceden Butterworth süzgeci zaman ortamı cevabı

6.5.2 Chebyshev Yaklaşım Parametreleri Kullanılarak 5. Dereceden Süzgeç Devresi

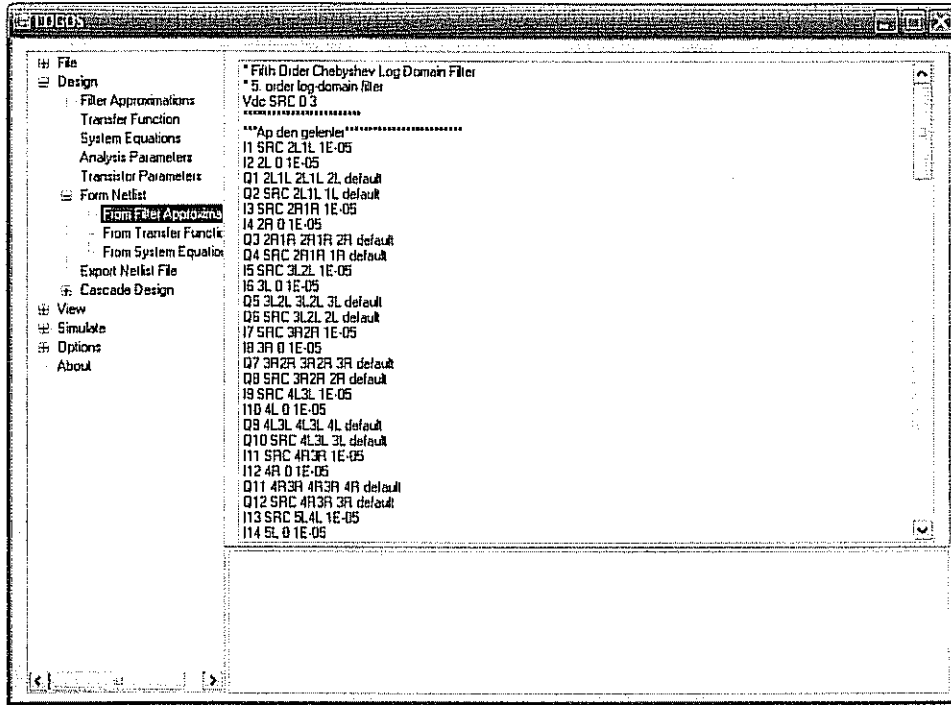
Bu bölümde ikinci örnek devre olarak LOGOS yazılımı kullanılarak 5. dereceden bir Chebyshev süzgeç devresi tasarımı ve elde edilen tasarımın PSpice analiz sonuçları sunulacaktır. 5. dereceden Chebyshev süzgeç devresine ait yaklaşım parametreleri giriş ekranı Şekil 88’de verildiği gibidir. Süzgeç yaklaşımından elde edilen transfer fonksiyonu ve sistem denklemleri parametreleri sırasıyla Şekil 89 ve Şekil 90’da verildiği gibidir. Tasarlanan süzgeç devresinin PSpice analizi için gerekli analiz parametreleri Şekil 91’de verilmiştir. Bu aşamadan sonra yapılan tüm işlem basamakları ise sırasıyla Şekil 92, Şekil 93 ve Şekil 94’de sırasıyla verildiği gibidir. LOGOS programı ile gerçekleştirilen 5. dereceden Chebyshev süzgeç devresine ait PSpice analizi sonuçları program tarafından girilen analiz parametrelerine göre elde edilmiş ve frekans ve zaman ortamı çıktıları Şekil 95 ve Şekil 96’da sırasıyla sunulmuştur.



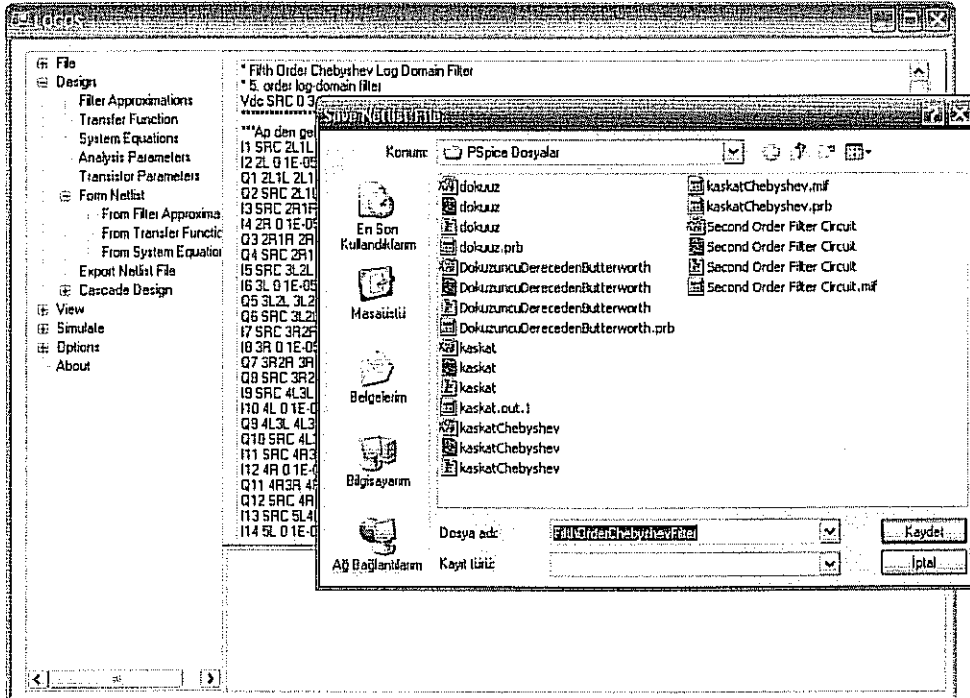
Şekil 88: 5. Dereceden Chebyshev süzgeci yaklaşım parametreleri



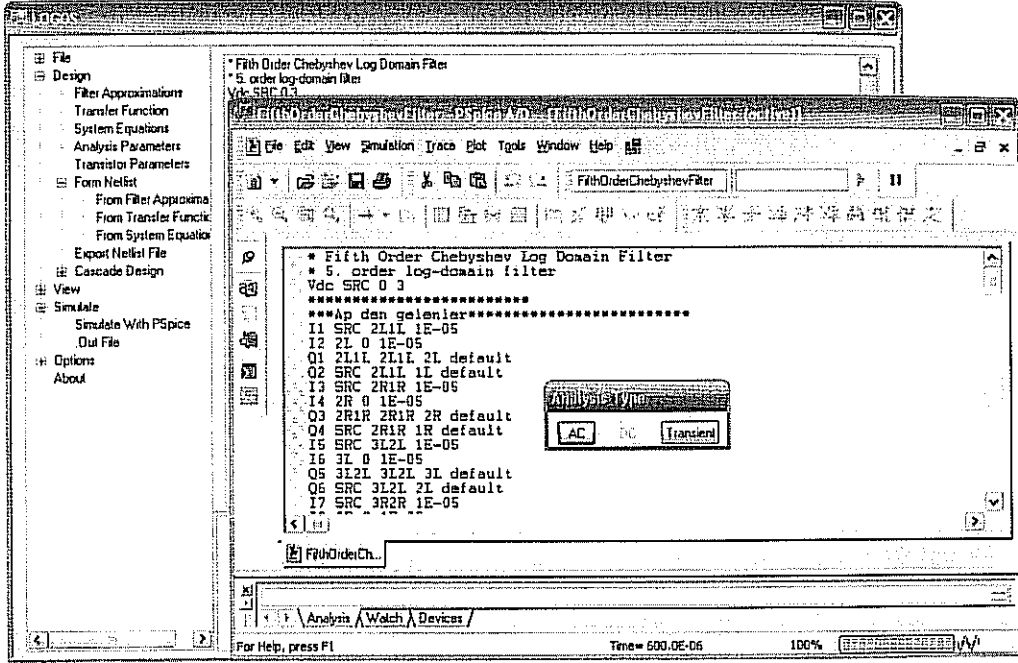
Şekil 89: 5. Dereceden Chebyshev süzgeci transfer fonksiyonu parametreleri



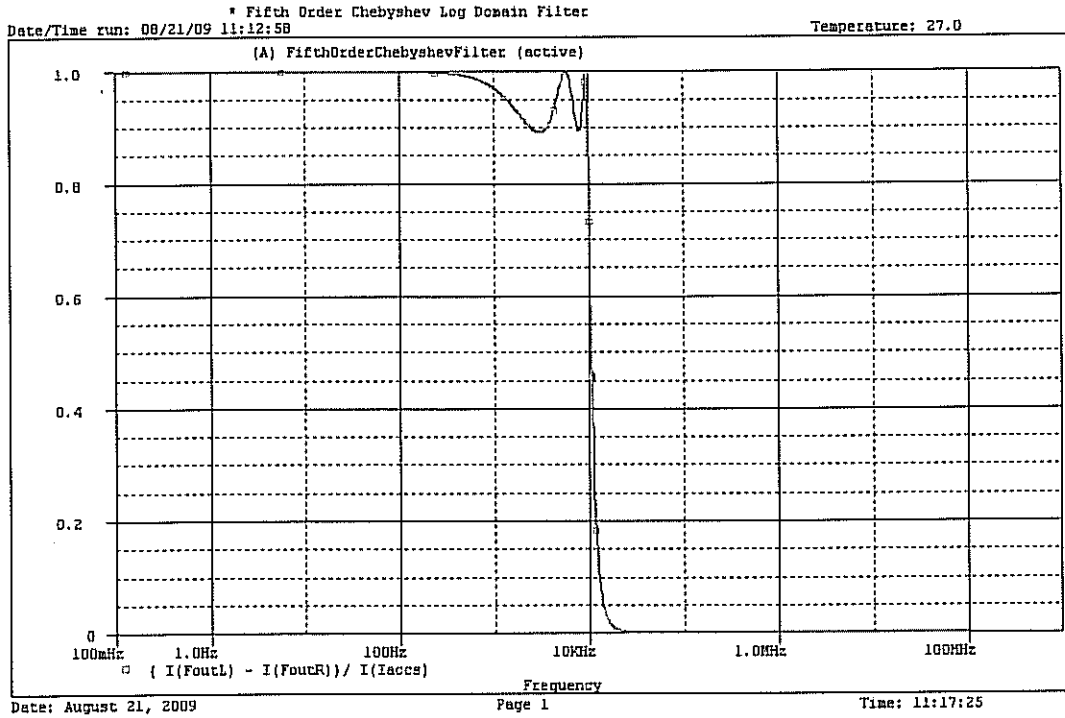
Şekil 92: 5. Dereceden logaritmik ortam Chebyshev süzgeci



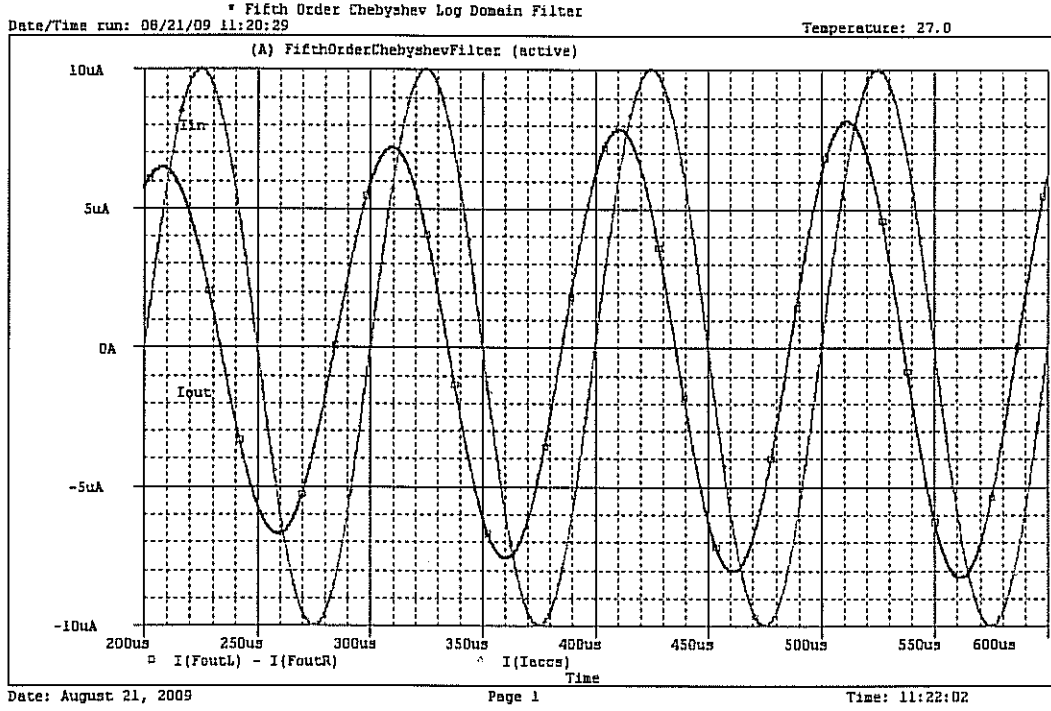
Şekil 93: 5. Dereceden logaritmik ortam Chebyshev süzgeci netlist dosyası kaydı



Şekil 94: Chebyshev süzgeci PSpice analizi



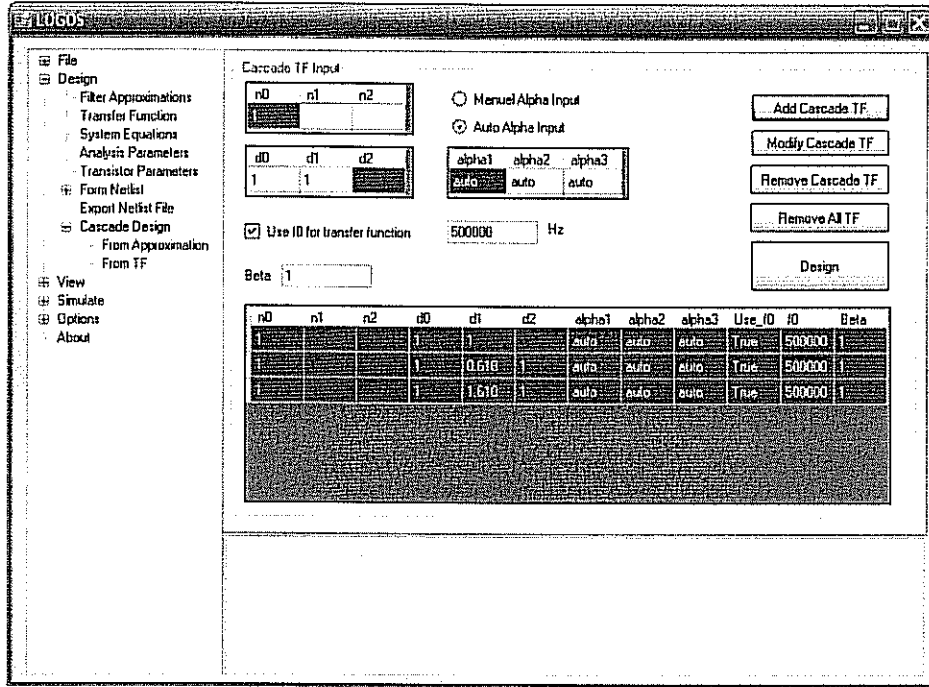
Şekil 95: Beşinci dereceden Chebyshev süzgeci frekans ortamı cevabı



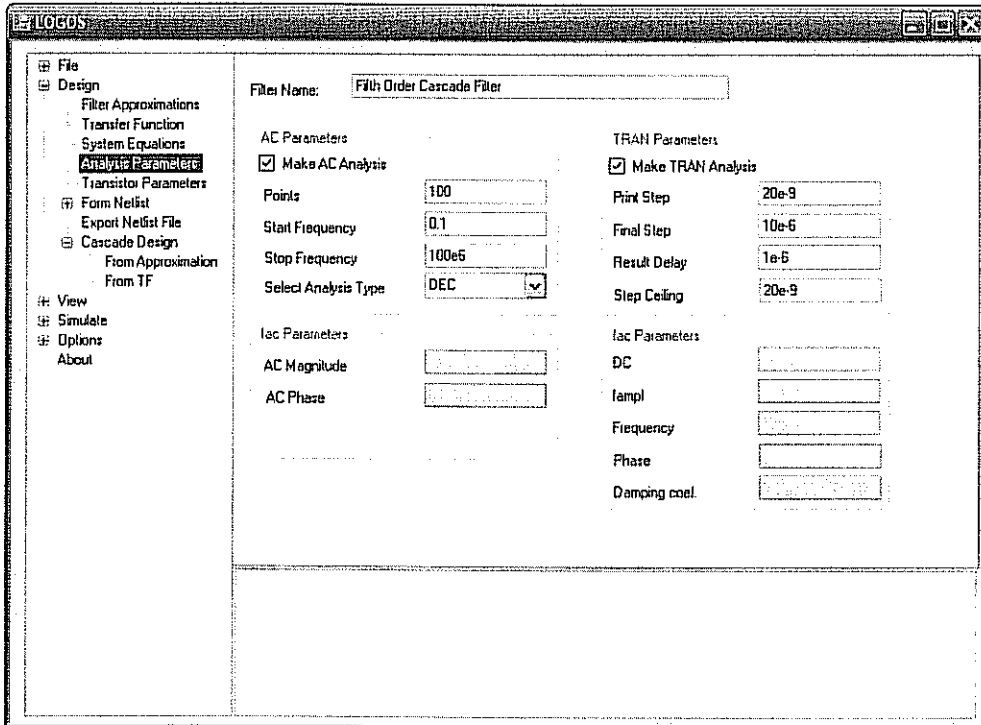
Şekil 96: Beşinci dereceden Chebyshev süzgeci zaman ortamı cevabı

6.5.3 5. Dereceden Alçak Geçiren Kaskat Bağlı Logaritmik Ortam Süzgeç Devresi

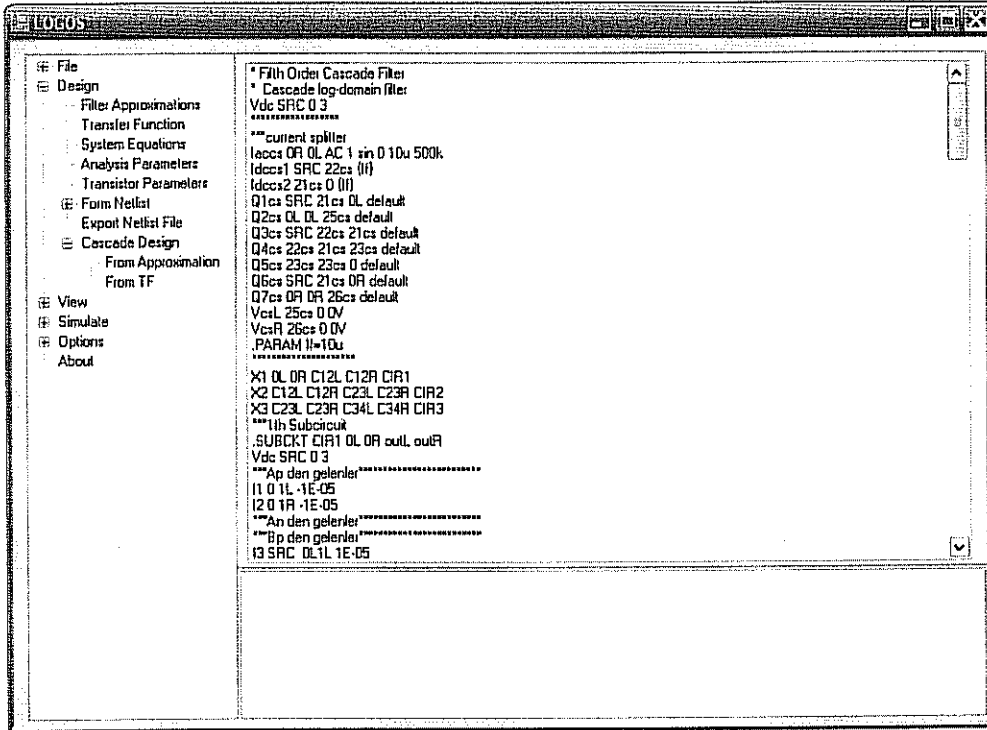
Üçüncü örnek devre olarak LOGOS yazılımı kullanılarak 5. dereceden bir alçak geçiren süzgeç devresi tasarımı ve elde edilen tasarımın PSpice analiz sonuçları sunulacaktır. 5. dereceden alçak geçiren kaskat bağlı logaritmik ortam süzgeci tasarlamak için kullanılan 1. ve 2. dereceden transfer fonksiyonları parametreleri Şekil 97’de verildiği gibidir. Tasarlanacak süzgeç devresinin PSpice analizi için gerekli analiz parametreleri Şekil 98’de verilmiştir. Bu aşamadan sonra yapılan tüm işlem basamakları ise sırasıyla Şekil 99, Şekil 100 ve Şekil 101’de sırasıyla verildiği gibidir. LOGOS programı ile gerçekleştirilen 5. dereceden alçak geçiren logaritmik ortam süzgeç devresine ait PSpice analizi sonuçları program tarafından girilen analiz parametrelerine göre elde edilmiş ve frekans ve zaman ortamı çıktıları Şekil 102 ve Şekil 103’de sırasıyla sunulmuştur.



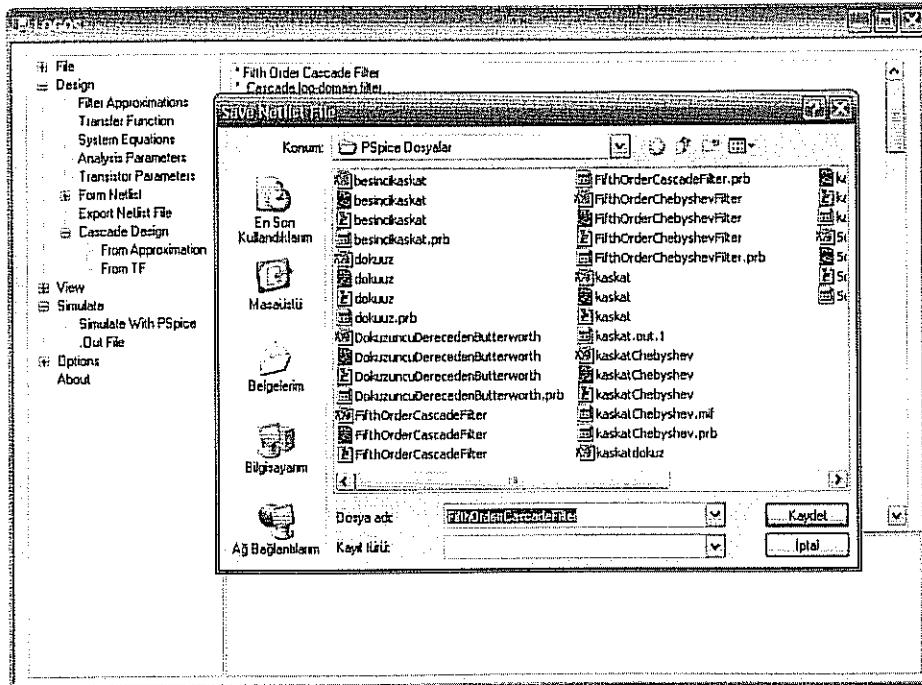
Şekil 97: Beşinci dereceden kaskat logaritmik ortam süzgeci transfer fonksiyonları



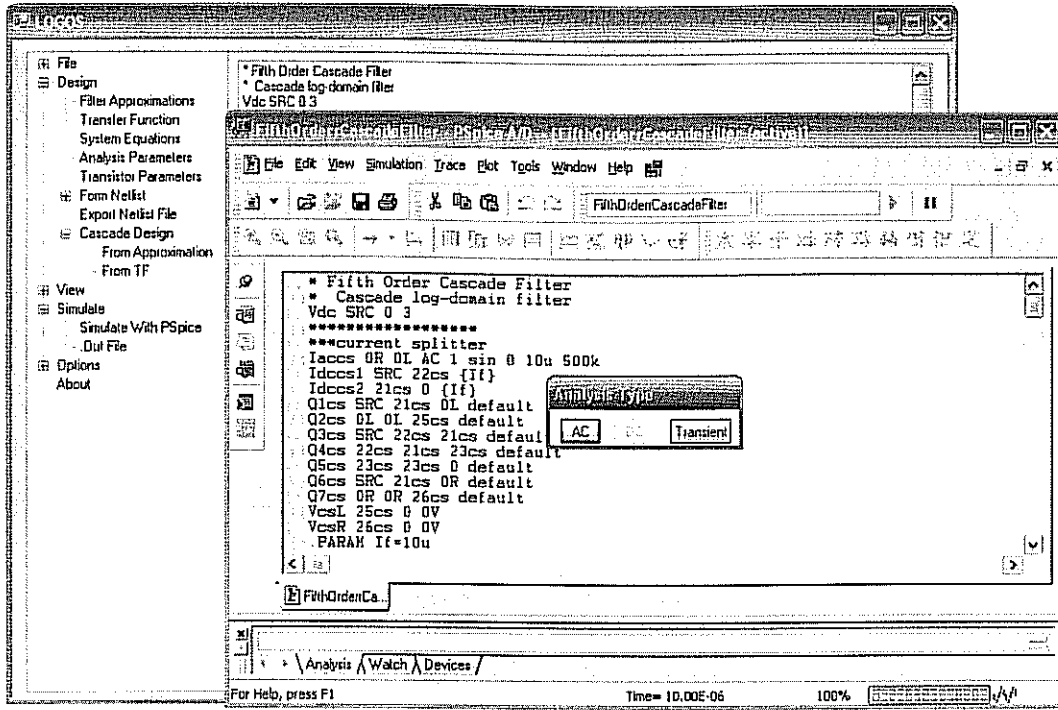
Şekil 98: Beşinci dereceden kaskat logaritmik ortam süzgeci için analiz parametreleri



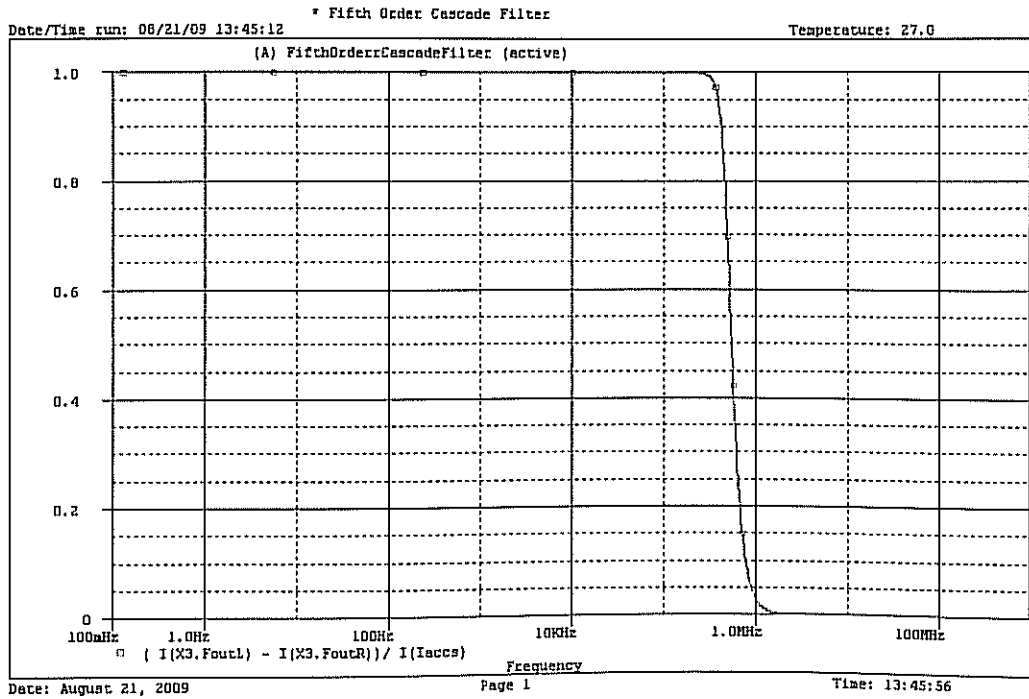
Şekil 99: Beşinci dereceden kaskat logaritmik ortam süzgeci netlist dosyası



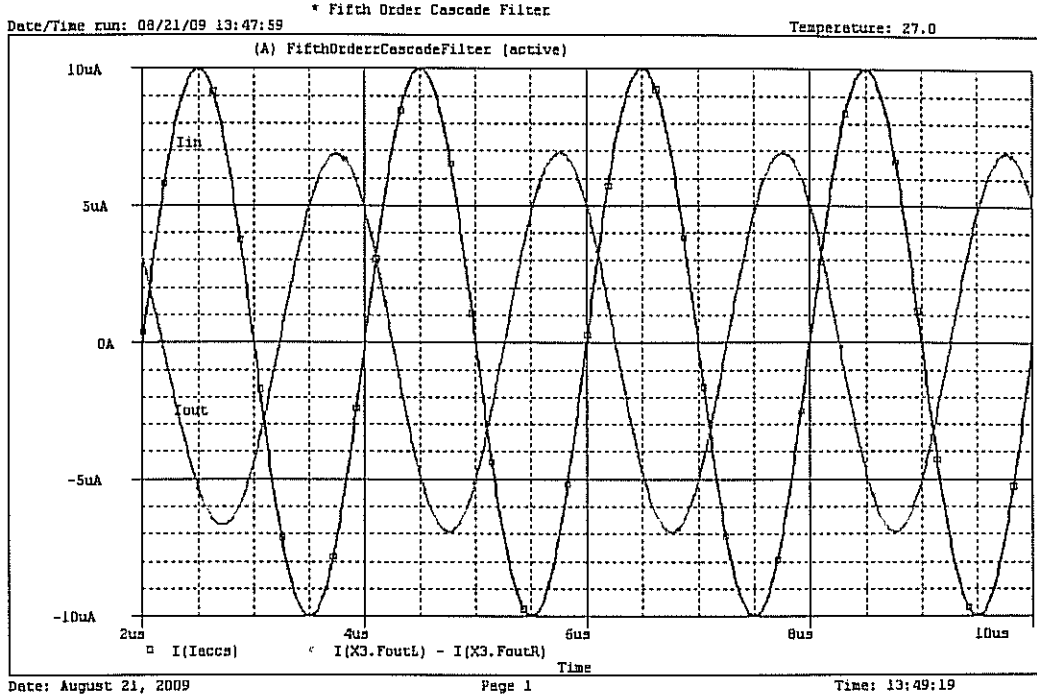
Şekil 100: Kaskat logaritmik ortam süzgeci netlist dosyası kaydı



Şekil 101: Beşinci dereceden kaskat logaritmik ortam süzgeci PSpice analizi



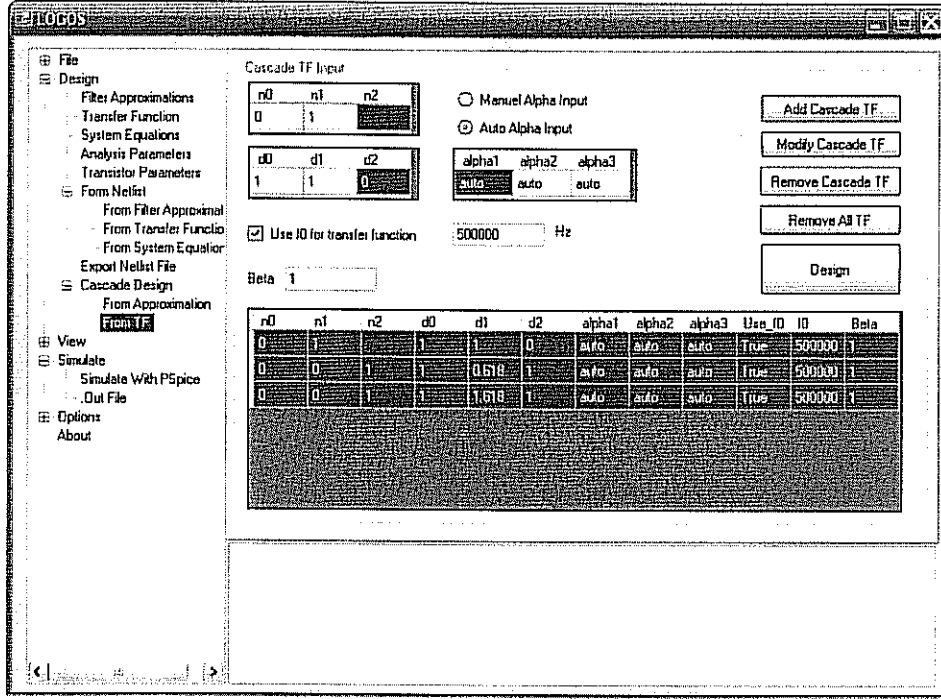
Şekil 102: Beşinci dereceden kaskat logaritmik ortam süzgeci frekans ortamı cevabı



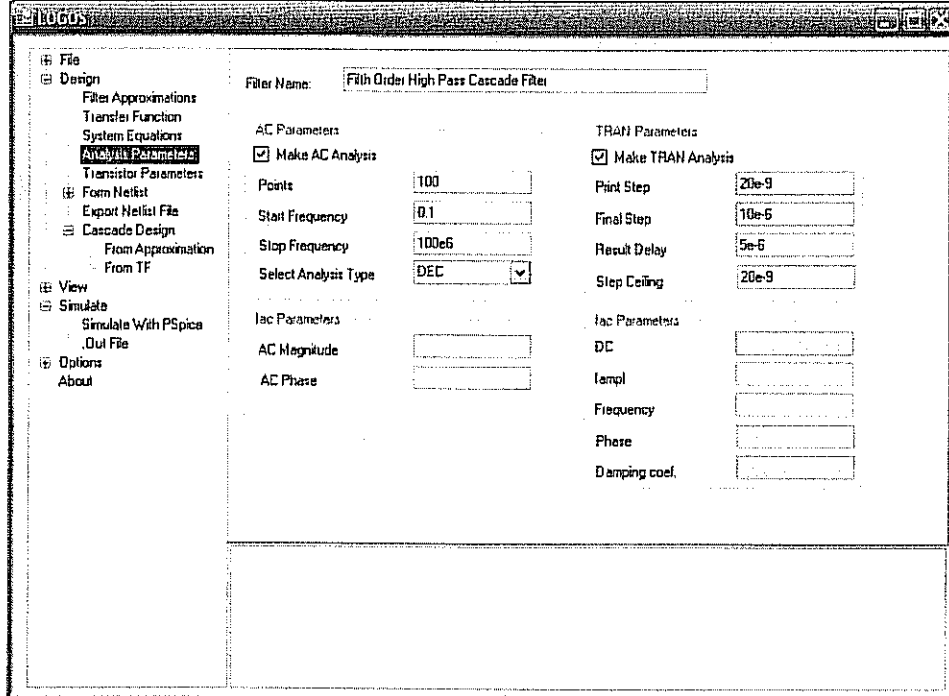
Şekil 103: Beşinci dereceden kaskat logaritmik ortam süzgeci zaman ortamı cevabı

6.5.4 5. Dereceden Yüksek Geçiren Kaskat Bağlı Logaritmik Ortam Süzgeç Devresi

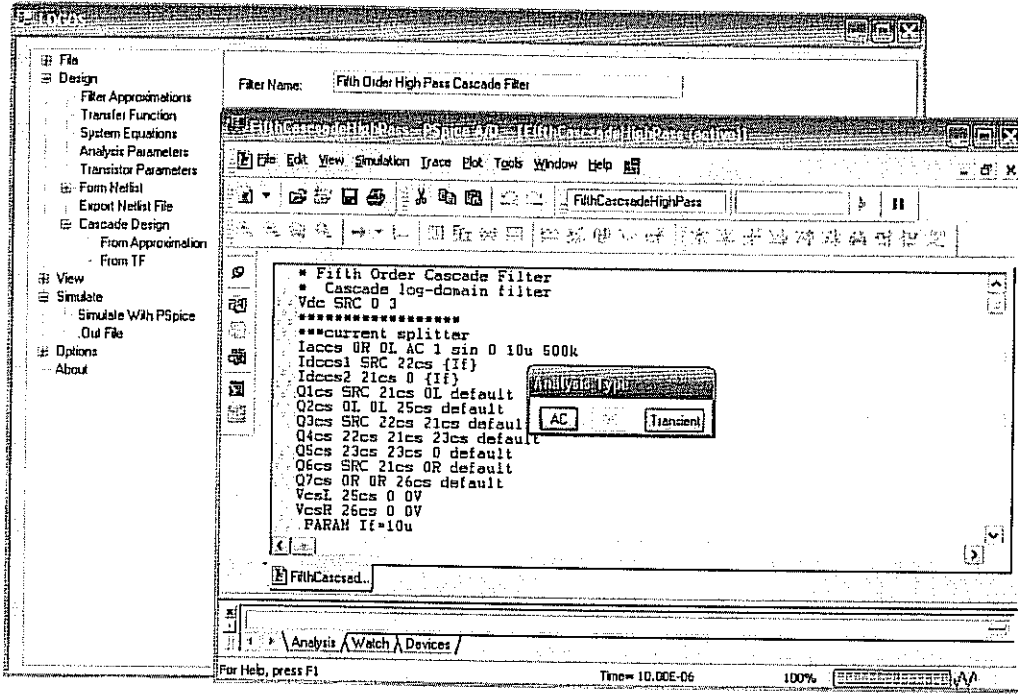
Son örnek devre olarak LOGOS yazılımı kullanılarak 5. dereceden bir yüksek geçiren süzgeç devresi tasarımı ve elde edilen tasarımın PSpice analiz sonuçları sunulacaktır. 5. dereceden yüksek geçiren kaskat bağlı logaritmik ortam süzgeci tasarlamak için kullanılan 1. ve 2. dereceden transfer fonksiyonları parametreleri Şekil 104'de verildiği gibidir. Tasarlanacak süzgeç devresinin PSpice analizi için gerekli analiz parametreleri Şekil 105'de ve elde edilen netlist dosyası kaydetme menüsü Şekil 106'da verilmiştir. Son olarak LOGOS programı ile gerçekleştirilen 5. dereceden yüksek geçiren logaritmik ortam süzgeç devresine ait PSpice analizi sonuçları program tarafından girilen analiz parametrelerine göre elde edilmiş ve frekans ve zaman ortamı çıktıları Şekil 107 ve Şekil 108'de sırasıyla sunulmuştur.



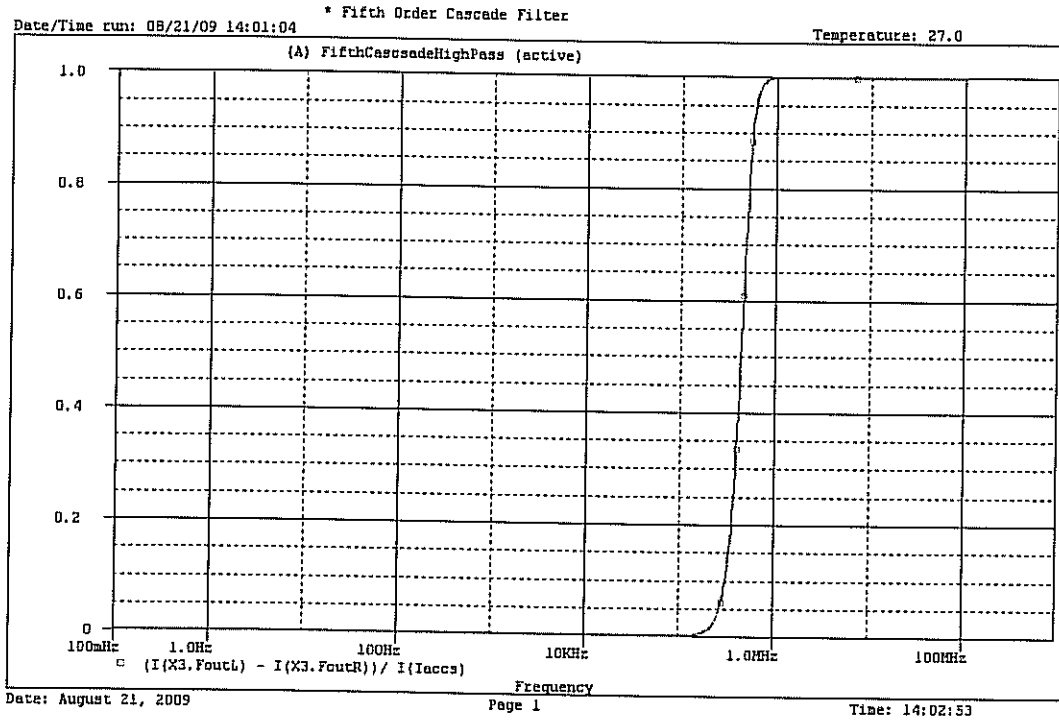
Şekil 104: Beşinci dereceden yüksek geçiren kaskat logaritmik ortam süzgeci transfer fonksiyonları



Şekil 105: Beşinci dereceden yüksek geçiren kaskat süzgeç için analiz parametreleri



Şekil 106: Beşinci dereceden yüksek geçiren kaskat logaritmik ortam süzgeci PSpice analizi

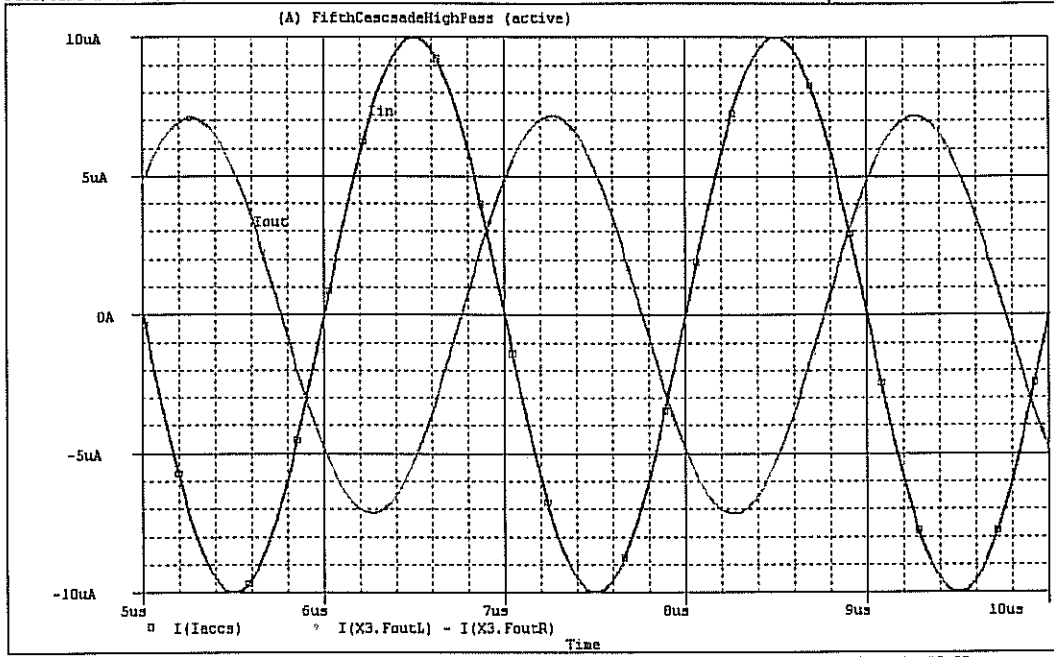


Şekil 107: Beşinci dereceden yüksek geçiren kaskat süzgeç frekans ortamı cevabı

Date/Time run: 05/21/09 14:04:43

* Fifth Order Cascade Filter

Temperature: 27.0



Şekil 108: Beşinci dereceden yüksek geçiren kaskat logaritmik ortam süzgeci zaman ortamı cevabı

7 Sonuç ve Değerlendirmeler

7.1 Giriş

105E088 numaralı *Logaritmik Ortam Süzgeçlerinin Geliştirilmesi ve LOGOS Sentez Otomasyon Yazılımının Oluşturulması* isimli TÜBİTAK Kariyer projesinin kesin raporu olarak sunulan bu araştırma raporunda, 36 ay süresince yapılan bilimsel çalışmalar konu bütünlüğü içerisinde sunulmaya çalışılmıştır. Proje ana hedeflerine ulaşılmış olduğunu, bazı konularda ise zaman yetersizliğinden tam olarak sonuca ulaşamadığını vurgulamak gerekir. Bununla beraber, tüm konularda belirli süre çalışıldığını, her konuda ulusal bildiri düzeyinde de olsa mutlaka bir yayın çıkarıldığını belirtmek isteriz. Bu sonuç bölümünde, yapılan çalışmaların kısa bir özeti sunulacaktır.

7.2 Durum Uzayı Sentez Yöntemi

Projenin ana hedeflerinden bir tanesi durum uzayı sentez yöntemini tekrar ele alıp, genelleştirmek, ayrıca blok modellemeyi de içerisine alacak genel bir sentez yöntemi ortaya koymaktır. İki yöntem birleştirilip tek bir yöntem olarak sunulamadı, ancak her ikisi hakkında da detaylı bir sentez yöntemi oluşturuldu.

Projenin ikinci büyük hedefi yüksek dereceli süzgeç tasarımları hakkındaki sorunlardı. Proje ekibi proje başlangıcından önce, fark alan yapıda AB sınıfında logaritmik ortam süzgeci olarak en yüksek 3. derece süzgeç tasarlayabilirken, bu konuda geliştirilen yöntem ile öncelikle durum uzayında yüksek mertebeden filtre tasarımı yapabilir hale gelmiştir. Şu anda geliştirilen LOGOS programı önerdiğimiz bu yöntemi kullanarak 11. dereceye kadar rahatlıkla her türlü filtre tasarımını yapabilmektedir.

Transfer fonksiyonundan hareketle, α ve β parametrelerinin seçimi ile hem logaritmik ortam süzgeçlerinin sentezine uygun, A matrisinin katsayıları birbirine yakın dengeli bir durum uzayı gösterimi elde edilmekte, hem de bu parametreleri farklı farklı seçerek, aynı transfer

fonksiyonuna ait çok sayıda durum uzayı gösterimi, dolayısı ile de farklı devre topolojileri elde edilebilmektedir. Bu katsayıların seçiminin en verimli hali araştırılmamıştır, ancak yapılan farklı seçimlerle elde edilen devrelerin başta gürültü ve bozulma seviyeleri olmak üzere performanslarının farklı olduğu tespit edilmiştir.

Durum uzayının sentezine ait revize edilmiş teori, ulusal bir makale olarak sunulurken, transfer fonksiyonundan durum uzayı gösterimine ilişkin önerilen yöntem uluslararası indeksli bir makale olarak yayım kabulü almış, Ekim 2009 tarihinde yayımlanacaktır. Ayrıca durum uzayında tasarlanan iki adet süzgeç çalışmamız da biri uluslararası diğeri ulusal iki adet bildiri olarak yayımlanmıştır.

7.3 Blok Modelleme Sentez Yöntemi

Projenin ana hedeflerinden bir tanesi, proje ekibinin daha önce ağırlıklı olarak durum uzayında gerçekleştirdiği tasarımları, blok modelleme tabanlı sentezlere dönüştürebilmek ve genel bir sentez yöntemi elde etmektir. Bu konuda hem doğrusal hem de doğrusal olmayan bloklar elde edilmiş, bu temel bloklar kendi içerisinde yine durum uzayı yöntemi ile logaritmik ortamda gerçekleştirmiş, ancak global tasarım blok modelleme esaslı yapılmıştır. Yani, bir devrenin işaret alış diyagramı çıkarılarak, toplama, integral alma ve sabitle çarpma blokları ile modeli oluşturulmuş, daha sonra bu model fark alan yapı AB sınıfına taşınmış ve her bir bloğun logaritmik ortamdaki karşılıkları birleştirilerek süzgeç tasarımı tamamlanmıştır. Bu anlamda popüler devre topolojilerinden KHN ve Tow-Thomas devrelerine özel önem verilmiş, bu devrelerin logaritmik ortam karşılıkları tasarlanmıştır.

Blok modelleme yönteminin yüksek dereceli süzgeçlere tasarımı konusunda da teorik çalışmalar yapılmış, bir tanesi n-integral alma tabanlı diğeri ise kaskat bağlı birinci ve ikinci derece devrelerin toplanması esaslı iki tane ayrı yöntem tarafımızdan geliştirilmiştir. Böylece, n. dereceden blok model tabanlı bir süzgeç tasarlayabilir hale gelmiş bulunuyoruz.

Bu konu hakkında da proje hedeflerimize tamamen ulaştığımızı düşünüyoruz. Hem blok modelli tasarım yöntemi hem de yüksek dereceli filtre tasarımı anlamında gerekli çalışmaları tamamlamış bulunuyoruz. KHN topolojisi esaslı, tüm ikinci derece temel fonksiyonları

üreten, yani alçak geçiren, yüksek geçiren, band geçiren, tüm geçiren ve üç farklı türde band söndüren süzgeç devresini üreten çalışmamız uluslararası indeksli bir makale olarak yayımlanmıştır. Ayrıca, 2 adet uluslararası 1 adet de ulusal bildirimiz bu konuda yayımlanmıştır.

7.4 Alternatif Devre Elemanları ile Sentez

Sentez yöntemimiz, sadece BJT değil başta MOSFET'ler olmak üzere olası diğer elektronik elemanlar düşünülerek geliştirildi. Ancak, proje genelinde BJT elemanları esas alınarak tasarımlar yapıldı. LOGOS yazılımı da sadece BJT elemanları kullanarak sentez yapabilmektedir. Bununla birlikte MOSFET'ler kullanarak ikinci derece bir band geçiren süzgeç tasarlamayı başardık. Bu çalışmamız ulusal bir bildiri olarak yayımlandı. Bu çalışma sırasında görüldü ki, karekök ortam süzgeçleri ile ilgili daha ayrıntılı, daha detaylı ve daha uzun süreli çalışmalar yapılmalı ki, bu filtre türleri hakkında hem sağlam bir sentez yöntemi kurulabilsin, hem de genelleştirilmiş bir teori oluşturulup, yüksek dereceli filtreler tasarlanabilsin.

7.5 İdeal Olmayan Özellikler

Logaritmik ortam süzgeçlerinde tasarım yapılırken, transistör ideal kabul edilir. İdeal tanımımızın içerisine baz akımımızın sıfır olması, akım-gerilim ilişkisinin tam üstel olması, tüm transistörlerin eş olması gibi kabuller girmektedir. Projenin bu kısmının hedeflerin altında kaldığını ifade etmek isteriz. Diğer konulardaki bazı gecikmeler nedeniyle, ideal olmayan özelliklerin sebeplerinin ve etkilerinin irdelenmesi ve olası tedbirlerle bu etkilerin minimize edilmesi hedeflerimize ulaşamadık. Ancak bununla beraber, bu konuda da değişik çalışmalar yaptık. Her şeyden önce ideal olmayan özelliklerin etkilerinin yine durum uzayında ilave girişler olarak algılayan bir yaklaşımı esas alarak, birinci derece bir süzgeç üzerinde çalıştık. Ancak bu çalışmayı genelleştiremedik. Yine de bu çalışmamızı uluslararası bir bildiri olarak sunmuş olduğumuzu belirtmek isteriz. İdeal olmayan özelliklerden sonlu ileri yön akım kazancının, baz akımının sıfır olmaması nedeniyle düğümlerden fazla akım çekilmesi

sonucunu doğurmakta olduğunu tespit etmiştik. Bu etkileri azaltabilmek için, Darlington tabanlı bir yapı öneriyoruz. Bu konudaki çalışmalarımızı da ilgili bölümde sunmuştuk.

Sentez kısmında kullanılan akım kaynakları da yine ideal olarak kabul ettiğimiz elemanlardır. Bunların gerçek akım kaynakları olarak kullanılması, yani akım kaynaklarının transistör ve diğer elemanlarla tasarlanması durumunda oluşabilecek etkileri de kısmen inceledik. Bu amaçla, danışmanlığını proje yürütücüsünün yaptığı bir lisans öğrencisi, proje araştırmacılarının yardımıyla, çok sayıda akım kaynağı tasarımı gerçekleştirdi. Bu çalışmalardan bir kısmını da *bread board* üzerinde gerçek elemanlar kullanarak gerçekleştirdi. En önemlisi, bu akım kaynağını kullanan A sınıfı bir logaritmik ortam süzgeci laboratuvar ortamında test edilmiş oldu. Bu konudaki çalışmalar da özetlenerek raporumuza eklenmiştir.

7.6 LOGOS Yazılımı

Teorik çalışmalarımızın yanı sıra projenin diğer önemli kısmı yazılım geliştirilmesi idi. Daha önce proje ekibince sadece bir ve ikinci derece devreler için C++ dilinde geliştirilen yazılım, çok daha kapsamlı hale getirilerek baştan tekrar C#.NET dilinde yazılmıştır. LOGOS ismi verilen yazılım kullanıcının üç ayrı seviyeden başlayarak logaritmik ortam süzgeci tasarlamasına olanak sağlamaktadır. İstenirse elimizde bulunan durum uzayı gösterimi kullanılarak LOGOS'dan bir sentez yapmasını isteyebildiğimiz gibi, sadece transfer fonksiyonunu verip, tarafımızdan geliştirilen yöntemi kullanarak bu fonksiyondan durum uzayı denklemlerini LOGOS'un elde etmesiyle sentezi tamamlayabiliyoruz.

Bu iki seviyenin en üstüne de süzgeç yaklaşımlarını eklemiş bulunuyoruz. Kullanıcı, transfer fonksiyonunu da vermeden, sadece *Amax*, *Amin* gibi süzgeç parametrelerini girerek, yaklaşım türünü Butterworth ya da Chebyshev olarak kendisi belirleyerek de tasarım yapılabilir. Yani LOGOS, önce bu özelliklere uygun filtrenin derecesini belirlemekte, daha sonra transfer fonksiyonunu elde edip, durum uzayına kendisi geçerek tasarımı sonuçlandırmaktadır.

LOGOS'da bu şekilde 11. dereceye kadar filtreler tasarlanabildiği gibi, ayrıca istenirse birinci ve ikinci derece filtrelerin kaskat bağlanması ile de süzgeç tasarımları yapılabilir.

LOGOS, hemen hemen tüm deęerleri parametrik olarak aldıđından, kullanıcı bunlarla istediđi gibi oynayabilmekte ve dakikalar içerisinde yeni bir süzgeç tasarlayabilmektedir.

LOGOS yazılımımız konusunda da temelde proje hedeflerimize ulaştığımızı ifade etmek isteriz. Yazılımımızın bug olarak tabir edilen hatalarını büyük oranda temizlemiş bulunuyoruz. LOGOS'la üretilmiş çok sayıda devre tasarladık, bunlardan bir ulusal bir uluslararası olmak üzere iki adet bildiri yayımladık (Surav Yılmaz, 2007), (Surav Yılmaz, 2008).

7.7 Yapılan Yayınlar

Proje kapsamında yapılan yayınlar kategorilerine göre şu şekildedir:

Uluslararası hakemli dergilerde yayımlanan makaleler

1. **Current mode high-frequency KHN filter employing differential class AB log domain integrator**, Int. J. Electron. Commun. (AEÜ) 63 (2009) 600– 608. Ek 1'de sunulmuştur.
2. **State space representation for log domain filtering synthesis**, Indian Journal of Pure & Applied Physics, Vol. 47, October 2009, pp. (kesin kabul aldı, basım aşamasında). Ek 2'de sunulmuştur.

Uluslararası bilimsel toplantılarda sunulan bildiriler

1. **A Novel Log Domain Notch Filter Based on KHN Topology**, Proceedings of The Conference Applied Electronics, Pilsen-Czeck Republic, 219-222, (2007). Ek 3'de sunulmuştur.
2. **A Design of Differential Type Class-AB General Notch Filter in the Log Domain**, International Conference On Electrical And Electronics Engineering, Bursa/Turkey, 40-43, (2007). Ek 4'de sunulmuştur.

3. **High Frequency Log Domain All Pass Filter Based on KHN Topology**, IEEE 15th International Conference on Electronics, Circuits and Systems ICECS 2008, Malta, 129-132, (2008). Ek 5'de sunulmuştur.
4. **A Study of Nonlinear Effects Based on Finite Current Gain of Core Filter Transistor in the Log Domain**, 5TH International Symposium on Electrical & Computer Systems EECS/08, Lefke, 39-43, (2008). Ek 6'da sunulmuştur.
5. **Fifth Order Butterworth Low Pass Log Domain Filter Designs by Using LOGOS**, 5TH International Symposium on Electrical & Computer Systems EECS/08, Lefke, 45-49, (2008). Ek 7'de sunulmuştur.

Ulusal hakemli dergilerde yayımlanan makaleler

1. **ELIN Filtrelerin Genel Sentez Teorisi ve Gerçeklenme Şartları**, Pamukkale Üniversitesi Mühendislik Fakültesi Mühendislik Bilimleri Dergisi, **13**, 47-56 (2007). Ek 8'de sunulmuştur.

Ulusal bilimsel toplantılarda sunulan bildiriler

1. **Logaritmik Ortam Süzgecinin Durum Uzayı ve Blok Modelleme Yöntemleri İle Sentezi**, Elektrik-Elektronik- Bilgisayar Mühendisliği Sempozyumu ELECO 2006, Cilt II, 1-4, Bursa, (2006). Ek 9'da sunulmuştur.
2. **Elektronik Olarak Ayarlanabilir Karekök Ortamlı Süzgeç Devresi**, IEEE 15. Sinyal İşleme ve İletişim Uygulamaları Kurultayı SIU'07, Eskişehir, (2007). Ek 10'da sunulmuştur.
3. **Elektronik Ayarlanabilir Logaritmik Ortam Evrensel Süzgeç Devresi**, Ulusal Teknik Eğitim, Mühendislik ve Eğitim Bilimleri Genç Araştırmacılar Sempozyumu, Cilt I, 370-373, Kocaeli, (2007). Ek 11'de sunulmuştur.
4. **İkinci Dereceden Elektronik Ayarlanabilir Logaritmik Ortam Süzgeç Tasarım Programının Visual C# Ortamında Geliştirilmesi**, 1. Mühendislik ve Teknoloji Sempozyumu, Cilt I, 198-205, Ankara, (2008). Ek 12'de sunulmuştur.

7.8 Öneriler

Bu proje ile fark alan yapıda AB sınıfı logaritmik ortam süzgeçleri ile ilgili teorik pek çok ilerleme kaydedilmiştir. Geliştirilen LOGOS yazılımı ile bundan sonra otomatik olarak farklı devreler üretip, bunların karşılaştırılması yapılmalıdır. Bu sayede, farklı topolojilerin birbirlerine üstünlükleri ortaya çıkacaktır.

Proje içerisinde tam olarak genelleştirilemeyen ideal olmayan karakteristiklerin araştırılması ve bu etkilerin azaltılması çalışmaları da mutlaka tamamlanmalıdır. Bu konuda danışmanlığını proje yürütücüsünün yaptığı bir yüksek lisans öğrencisinin tez çalışmasının sonuçlanması ile iyi bir netice alınacağı ümit edilmektedir.

Ayrıca, BJT elemanlarının dışında başta MOSFET'ler olmak üzere farklı elemanlarla tasarlanmış ELIN devrelere ait çalışmaların da aynı titizlikle sürdürülmesi gerekmektedir.

Proje ekibinde yardımcı araştırmacı olarak çalışan iki tane araştırma görevlisi, ELIN devreler hakkında danışmanlığını proje yürütücüsünün yaptığı doktora tezi çalışmalarına önümüzdeki aylarda başlayacaktır. Bu iki doktora tezi çalışmalarının da bilim dünyasındaki bu konudaki ciddi eksiklikleri gidereceğini ümit ediyoruz.

8 Referanslar

Adams, R. W., Filtering In Log Domain, 63rd AES Conf., (1979).

Altuntas E, Toker A., Realization of Voltage and Current Mode KHN Biquads Using CCII's, AEÜ Int J Of Electronics and Communications, 56:45-9, (2002).

Arslanalp, R, Logaritmik Ortamda Eliptik Filtre Yaklaşımının Gerçeklenmesi, Yüksek Lisans Tezi, PAÜ Fen Bilimleri Ens., Denizli (2003).

Arslanalp, R. ve Tola, A. T., Genlik Uygunlaştırmalı Logaritmik Ortam 3. Derece Eliptik Süzgecinin Tasarımı ve PSPICE Programındaki Benzetimleri, IATS'05, Konya/Türkiye (2005a).

Arslanalp, R. ve Tola, A. T., Seevinck Tipi Geçici Girişler Kullanılarak Durum Uzayı Sentez Yöntemi ile Logaritmik Ortamda 3. Derece Eliptik Süzgecin Tasarlanması, SIU05, Kayseri (2005b).

Arslanalp, R. ve Tola, A. T., Elektronik Olarak Ayarlanabilir Karekök Ortamlı Süzgeç Devresi, IEEE 15. Sinyal İşleme ve İletişim Uygulamaları Kurultayı, SİU, Eskişehir , 11-13 (2007).

Arslanalp, R., Surav Yılmaz Ş., Tola, A. T., Study of Nonlinear Effects Based on Finite Current Gain of Core Filter Transistor in the Log Domain, 5TH International Symposium on Electrical & Computer Systems EECS/08, Lefke, 39-43, (2008).

Arslanalp, R., Tola, A. T., State Space Representation for Log Domain Filtering Synthesis, 47, (2009).

Deliyannis, T., Sun, Y. and Fidler, J. K., Continous-Time Active Filter Design, CRC Press, ISBN 0-8493-2573-0, 35, USA, (1999).

Drakakis, M., Payne, J. and Toumazou, C., Log-Domain State-Space: A Systematic Transistor-Level Approach for Log-Domain Filtering, IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, 46, (1999).

Drakakis, E. M., Payne, A. J., Toumazou, C., Ng, A. E. J., and Sewell, J. I., High-Order Lowpass and Bandpass Elliptic Log-Domain Ladder Filters, Proc. of IEEE ISCAS, 141-144, (2001).

Drakakis, M. and Burdet A., Operational DC Constraints for a Class-A, Third-Order, Observer Canonical-Form Log-Domain Filter, IEEE Transaction on Circuits and Systems-I: Fundamental Theory and Applications, 50, 1337, (2003).

El-Gamal M. N., Baki R. A., Bar-Dor A., 30-100MHz NPN-Only Variable-Gain Class-AB Instantaneous Companding Filters For 1.2-V Applications, IEEE Journal of Solid-State Circuits, 35, 12, 1853-64, (2000).

Ercan, H., Arslanalp, R., Alçı, M. ve Tola, A. T., Elektronik Ayarlanabilir AB Sınıfı Fark Alan Tip Logaritmik Ortam Osilatörü, IEEE 14. Sinyal İşleme ve İletişim Uygulamaları Kurultayı, SİU, Antalya, 17-19 Nisan (2006).

Eskiyerli, M. H., Payne, A. J. and Toumazou, C., State Space Synthesis of Biquads Based on the MOSFET Square Law, Proceeding Of IEEE ISCAS, Atalanta, 1, 321-324, (1996).

Eskiyerli, M. and Payne, A., "Square Root Domain Filter Design and Performance", Analog Integrated Circuits and Signal Processing, 22, 231-243, (2000).

Frey D.R., Log-Domain Filtering: An Approach to Current-Mode Filtering. IEE Proceedings, 140, 6 406-16,(1993).

Frey D. R., Current Mode Class AB Second Order Filter. Electronics Letters, 30, 3, 205-6, (1994).

Frey D. R., Exponential State Space Filters: A Generic Current Mode Design Strategy. IEEE Trans on Circuits and Systems-I: Fundamental Theory and Applications, 43: 34-42, (1996).

Frey D. R. and Tola A. T., A State-Space Formulation for Externally Linear Class AB Dynamical Circuits. IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, 46, 306-14, (1999).

Frey, D.R, Future Implications of the Log Domain Paradigm, IEE Proc. Circuits Device Syst., Vol. 147, 65-72, (2000).

Frey, D.R., Tsvividis, Y. P., Efthivoulidis, G. and Krishnapura, N., Syllabic-Companing Log Domain Filters, IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, 48, (2001).

Gilbert B., Translinear Circuits: A Proposed Classification. Electronics Letters, 11, 1, 14-16 (1975).

Hsu, H. P., Schaum's Outlines Sinyaller ve Sistemler, Mc Graw Hill, ISBN 975-591-250-9, 365-377 , (2001).

Huelsman, L. P., Active and Passive Analog Filter Design, McGRAW-HILL, ISBN 0-07-030860-8, (1999)

Ibrahim M. A., Kuntman H., A Novel High CMRR High Input Impedance Differential Voltage-Mode KHN-Biquad Employing DO-DDCC's, AEÜ Int J of Electronics and Communications, 58(6):429-433, (2004).

Ibrahim M. A., Minaei S, Kuntman H., A 22.5MHz Current-Mode KHN-Biquad Using Differential Voltage Current Conveyor and Grounded Passive Elements. AEÜ Int J Of Electronics and Communications; 59(5): 311-18, (2005).

Kerwin W, Huelsman L, Newcomb R., State Variable Synthesis For Insensitive Integrated Circuit Transfer Functions, Ieee J Solid-State Circuits, 2, 87-92, (1967).

Keskin A. U., Biölek D, Hancıođlu E, Biölkova V. Current-Mode KHN Filter Employing Current Differencing Transconductance Amplifiers, *AEU Int J Electron Commun*, 60, 443–6, 2006.

Khaled N. S., Soliman A. M., Voltage Mode Kerwin-Huelsman-Newcomb Circuit Using CDBA's, *Frequenz*, 54: 90–93, (2000).

Kircay A, Cam U, Tola A.T., Novel First-Order Differential Class-AB Log-Domain Allpass Filters, *Int. Journal Of Electronics And Communications*, 60,10, 705-12, (2006).

Kumar, J. V. and Rao, R. K., A Low-Voltage Low Power CMOS Companding Filter, *Proceedings of the 16th International Conference on VLSI Design*, 309-314, (2003).

Lathi, B. P., *Linear Systems and Signals*, ISBN: 0195158334, Oxford University Press, USA, (2004).

Mahattanakul J, Toumazou C., Instantaneous Companding Current-Mode Oscillator Based On Class AB Transconductor, *Analog Integrated Circuits and Signal Processing*, 23, 57-64,(2000)

Menekay, S., Tarcan, R. C. ve Kuntman, H., Doğruluđu Artırılmış Kare-Kök Devresi ile Kurulmuş Düşük Gerilime Uygun İkinci Dereceden Alçak Geçiren Süzgeç Tasarımı”, *Elektrik, Elektronik ve Bilgisayar Mühendisliđi Sempozyumu ve Fuarı*, 1-5(2006).

Mohammed, K. and Soliman, A. M., “A Tunable Square Root Domain Oscillator”, *Analog Integrated Circuits and Signal Processing*, 43, 91-95, (2005).

Mulder, J., Vanderwoerd, A. C., Serdijn, W. A., Vanroermund, A. H. M., General Current-Mode Analysis Method for Translinear Filters, *IEEE Transactions on Circuits and Systems I-Fundamental Theory and Applications*, 44, . 193-197, (1997).

Ogata K., *Modern Control Engineering*, Prentice Hall, ISBN: 0132273071, (1997).

Ozoguz S., Simple Log-Domain Chaotic Oscillator. *Electronics Letters*; 37, 23, 1378-79, (2001).

Özođuz, S.; Şengör, N., On the Realization of NPN-Only Log-Domain Chaotic Oscillators, *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, 50, 2, (2003).

Perry, D and Roberts, G. W., Log-Domain Filters Based on LC Ladder Synthesis, *IEEE International Symposium on Circuits and Systems*, 1, 311-314, (1995).

Perry, D and Roberts, G. W., The Design Of Log-Domain Filters Based on the Operational Simulation of LC Ladders, *IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing*, 43, (1996).

Pookaiyaudom S. and Mahattanakul J., A 3.3 Volt High Frequency Capacitorless Electronically Tunable Log-Domain Oscillators, *Proc.ISCAS 95*, 829-832, (1995).

Psychalinos, C. and Vlassis, S., On the Exact Realization of LOG-Domain Elliptic Filters Using the Flow Graph Approach, , IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, 49, 770-774, (2002).

Psychalinos, C., Realization of Log-Domain High-Order Transfer Functions Using First-Order Building Blocks and Complementary Operators, International Journal of Circuit Theory and Applications, 35, 17-32, (2007).

Psychalinos, C., Log-Domain Linear Transformation Filters Revised: Improved Building Blocks and Comparison Results, International Journal of Circuit Theory and Applications, 36, 119-133, (2008).

Punzenberger, M. and Enz, C., A Compact Low-Power BiCMOS Log-Domain Filter, IEEE Journal of Solid-State Circuits, 33, 7, 1123-1129, (1998).

Punzenberger M, Enz C., Log-Domain Filters For Low-Voltage Low-Power Applications. Proceedings of International Workshop Low Power RF Integrated Circ., 1,41-4, (1998).

Python D, Enz C., A Micropower Class AB CMOS Log- Domain Filter For Dect Applications, European Solid-State Circuits Conference, 64-67, (2000).

Roberts, G. W., Leung V. W., Design and Analysis of Integrator-Based Log-Domain Filter Circuits, Kluwer Academic Publishers, ISBN: 0306470543, (2002).

Sedra A. S., Smith KC, Microelectronic Circuits. New York, Ne: Oxford University Pres, (2004).

Seevinck E., Companding Current Mode Integrator: A New Circuit Principle For Continuous-Time Monolithic Filters, Electronics Letters, 26, 2046-2047(1990).

Senani R, Singh V., KHN-Equivalent Biquad Using Current Conveyors, Electronics Letters, 31, 626-28 (1995).

Soliman A. M., Kerwin-Huelsman-Newcomb Circuit Using Current Conveyors, Electronics Letters, 30:2019-2020, (1994).

Surav Yılmaz, Ş., Logaritmik Ortam Filtrelerinin Sistematik Sentezi, Yüksek Lisans Tezi, PAÜ Fen Bilimleri Ens., Denizli (2005a).

Surav Yılmaz, Ş. ve Tola, A. T., Birinci Dereceden Logaritmik Ortam Süzgeç Devrelerinin Tasarımı İçin Bir Bilgisayar Programının Geliştirilmesi, iats05, Konya/Türkiye (2005b).

Surav Yılmaz, Ş., Arslanalp, R., Tola, A. T., Elektronik Ayarlanabilir Logaritmik Ortam Evrensel Süzgeç Devresi, Ulusal Teknik Eğitim, Mühendislik ve Eğitim Bilimleri Genç Araştırmacılar Sempozyumu, Cilt I, 370-373, Kocaeli, (2007).

Surav Yılmaz, Ş., Arslanalp, R., Tola, A. T., Fifth Order Butterworth Low Pass Log Domain Filter Designs by Using LOGOS, 5TH International Symposium on Electrical & Computer Systems EECS/08, Lefke, 45-49, (2008).

Thanachayanont, A., Pookaiyaudom, S. and Toumazou, C., State-Space Synthesis of Log-Domain Oscillators, *Electronics Letters*, 31, 1797-1799, (1995).

Toker A, Ozoguz S, Acar C. Current-Mode KHN-Equivalent Biquad Using CDBAs, *Electronics Letters*, 35,1682-3,(1999).

Tola A. T., Frey D. R., A Study of Different Class AB Log Domain First Order Filters, *Analog Integrated Circuits and Signal Processing*, 22, 163-176, (2000a).

Tola, A.T., A Study of Nonideal Log Domain and Differential Class AB Filters, Phd. Dissertation, Lehigh University, (2000b).

Tola, A. T., Arslanalp, R., Ünal, M. ve Surav Yılmaz, Ş., T Tipi Logaritmik Ortam Filtresinin Bilgisayar Destekli Olarak Tasarlanması ve Laboratuvar Ortamında Gerçeklenmesi, *Eleco04*, 1-5. s, Bursa, (2004).

Tola A., T., Arslanalp R., Surav Yılmaz S., A Design of Differential Type Class AB Tow-Thomas Filter in the Log Domain. *International Conference on Electrical and Electronics Engineering*, Bursa/Turkey, 105-9,(2005a).

Tola, A. T. ve Arslanalp R., LC Basamak Türü Pasif Devre Tabanlı 3. Derece AB Sınıfı Fark Alan Tip Logaritmik Ortam Süzgeci, *Elektrik-Elektronik-Bilgisayar Mühendisliği 11. Ulusal Kongresi ve Fuarı*, İstanbul, (2005b).

Tola, A. T., Surav Yılmaz, Ş. ve Arslanalp, R., İkinci Dereceden Programlanabilir ve Elektronik Ayarlanabilir Evrensel Süzgeç Devresinin Logaritmik Ortamda Tasarımı, *SIU05*, Kayseri (2005c).

Tola, A. T., Arslanalp, R., Surav Yılmaz, Ş. ve Ünal, M., Durum Uzayında Tasarlanan Ayarlanabilir Kesim Frekansına Sahip Logaritmik Ortam Süzgecinin Deneysel Olarak Gerçeklenmesi, *iats05*, Konya/Türkiye (2005d).

Tola, A. T., Arslanalp, R. ve Surav Yılmaz, Ş., Akım Modlu, Düşük Besleme Gerilimli ve Elektronik Olarak Ayarlanabilen AB Sınıfı Fark Alan Tip Logaritmik Ortam KHN Süzgecinin Tasarımı, *SIU05*, Kayseri (2005e).

Tola, A. T., Arslanalp, R. ve Surav Yılmaz, Ş., Akım Modlu, Düşük Besleme Gerilimli ve Elektronik Olarak Ayarlanabilen AB Sınıfı Fark Alan Tip Logaritmik Ortam KHN Süzgecinin Tasarımı, *IEEE 13. Sinyal İşleme ve İletişim Uygulamaları Kurultayı*, SÜ, Kayseri, 16-18 Mayıs (2005f).

Tola A. T., Arslanalp R., Surav Yılmaz S., A Novel Log Domain Notch Filter Based On KHN Topology. *Proceedings of The Conference Applied Electronics*, Pilsen-Czeck Republic, 219-222, (2007a).

Tola A. T., Surav Yılmaz S., Arslanalp R., A Design Of Differential Type Class AB General Notch Filter In The Log Domain. *International Conference on Electrical and Electronics Engineering*, Bursa/Turkey, 40-43, (2007b).

Tola, A. T., Arslanalp R., Ünal M. ve Surav Yılmaz Ş., Birinci Derece A Sınıfı Logaritmik Ortam Süzgecinin Blok Modelleme ile Tasarımı ve Gerçekleştirilmesi, Pamukkale Üniversitesi Mühendislik Fakültesi Mühendislik Bilimleri Dergisi, 3, 2, 151-160, (2007c).

Tola, A. T., Arslanalp, R. and Surav Yılmaz Ş., Current Mode High Frequency KHN Filter Employing Differential Class AB Log Domain Integrator, International Journal of Electronics and Communications, AEÜ, 63, 600-608, (2009).

Tsividis, Y., Externally Linear, Time-Invariant Systems and Their Application to Companding Signal Processors, IEEE Transaction On Circuits And Systems-II: Analog And Digital Signal Processing, 44, (1997).

Tsividis Y. P., Gopinathan V, Toth L., Companding in Signal Processing. Electronics Letters, 26, 17, 1331-32, (1990).

Wu, J., El-Masry, Ei., Log-Domain Synthesis of An N^{th} -Order Filter, International Journal of Electronics, 84, 359-369, (1998).

Yamaçlı, S., Özcan, S., Minimum Sayıda Pasif Eleman Kullanarak Elektronik Olarak Ayarlanabilir KHN Süzgeci Tasarımı, Elektronik – Bilgisayar s. 27-31, Eleco (2004).

Yıldırım, M., Logaritmik Ortam Filtreleri ve Bunlara Uygun Akım Kaynakları, PAÜ Elektrik Elektronik Mühendisliği Lisans Tezi, 2009.

Yu, G. J., Liu, B., Hsu, Y. C. and Huang, C., "Design of Log Domain Low Pass Filters by MOSFET Square Law", Proceedings of the Second IEEE Asia Pacific Conference 9-12, (2000).

Yu, G., Huang, C., Liu, B. and Chen, J., "Design Of Square Root Domain Filters", Analog Integrated Circuits and Signal Processing, 42, 49-59, (2005).

9 Ekler

1. **ULUSLARARASI MAKALE:** Current Mode High-Frequency KHN Filter Employing Differential Class AB Log Domain Integrator
2. **ULUSLARARASI MAKALE:** State Space Representation for Log Domain Filtering Synthesis
3. **ULUSLARARASI BİLDİRİ:** A Novel Log Domain Notch Filter Based on KHN Topology
4. **ULUSLARARASI BİLDİRİ:** A Design of Differential Type Class-AB General Notch Filter in the Log Domain
5. **ULUSLARARASI BİLDİRİ:** High Frequency Log Domain All Pass Filter Based on KHN Topology
6. **ULUSLARARASI BİLDİRİ:** A Study of Nonlinear Effects Based on Finite Current Gain of Core Filter Transistor in the Log Domain
7. **ULUSLARARASI BİLDİRİ:** Fifth Order Butterworth Low Pass Log Domain Filter Designs by Using LOGOS
8. **ULUSAL MAKALE:** ELIN Filtrelerin Genel Sentez Teorisi ve Gerçeklenme Şartları
9. **ULUSAL BİLDİRİ:** Logaritmik Ortam Süzgecinin Durum Uzayı ve Blok Modelleme Yöntemleri ile Sentezi
10. **ULUSAL BİLDİRİ:** Elektronik Olarak Ayarlanabilir Karekök Ortamlı Süzgeç Devresi
11. **ULUSAL BİLDİRİ:** Elektronik Ayarlanabilir Logaritmik Ortam Evrensel Süzgeç Devresi
12. **ULUSAL BİLDİRİ:** İkinci Dereceden Elektronik Ayarlanabilir Logaritmik Ortam Süzgeç Tasarım Programının Visual C# Ortamında Geliştirilmesi

**TÜBİTAK
PROJE ÖZET BİLGİ FORMU**

| |
|--|
| Proje No: 105E088 |
| Proje Başlığı: Logaritmik Ortam Süzgeçlerinin Geliştirilmesi ve LOGOS Sentez Otomasyon Yazılımının Oluşturulması |
| Proje Yürütücüsü ve Araştırmacılar: Yrd. Doç. Dr. Abdullah T. TOLA (Yürütücü), Araş. Gör. Remzi ARSLANALP, Araş. Gör. Şaziye SURAV YILMAZ |
| Projenin Yürütüldüğü Kuruluş ve Adresi: Pamukkale Üniversitesi, Mühendislik Fakültesi, Kınıklı Kampusu, 20070 DENİZLİ |
| Destekleyen Kuruluş(ların) Adı ve Adresi: - |
| Projenin Başlangıç ve Bitiş Tarihleri: 01.06.2006-01.06.2009 |
| Öz (en çok 70 kelime) Bu projede, logaritmik ortam süzgeçlerine ait teorik çalışmalar yapılmış ve bu süzgeçlerin sentezini direkt ve kaskat bağlı olarak otomatik yapabilecek LOGOS isimli bir yazılım geliştirilmiştir. Durum uzayı ve blok sentez yöntemleri geliştirilmiş, yüksek dereceli süzgeç elde edilebilecek bir yöntem önerilmiş, farklı topolojilerde çok sayıda devre tasarlanmıştır. Bu çalışmalar, LOGOS tarafından desteklenmiş ve Pspice'da benzetimleri yapılarak test edilmiştir. Ayrıca, deneysel çalışmalar yapılmış, bu süzgeçlerin ideal olmayan özellikleri hakkında da araştırmalar yapılmıştır. |
| Anahtar Kelimeler: Logaritmik ortam süzgeçleri, ELIN devreler, translineer devreler, akım modlu devreler, sürekli zamanlı filtreler, doğrusal olmayan devreler, işaret işleme genlik uygunlaştırma |
| Fikri Ürün Bildirim Formu Sunuldu mu? Evet <input type="checkbox"/> Gerekli Değil <input checked="" type="checkbox"/> <small>Fikri Ürün Bildirim Formu'nun tesliminden sonra 3 ay içerisinde patent başvurusu yapılmalıdır.</small> |
| Projeden Yapılan Yayınlar: Uluslararası hakemli dergilerde yayımlanan makaleler <ul style="list-style-type: none">• Current Mode High-Frequency KHN Filter Employing Differential Class AB Log Domain Integrator, Int. J. Electron. Commun. (AEÜ) 63 (2009) 600– 608.• State Space Representation for Log Domain Filtering Synthesis, Indian Journal of Pure & Applied Physics, Vol. 47, October 2009, pp. (basım aşamasında). Uluslararası bilimsel toplantılarda sunulan bildiriler <ul style="list-style-type: none">• A Novel Log Domain Notch Filter Based on KHN Topology, Proceedings of The Conference Applied Electronics, Pilsen-Czeck Republic, 219-222, (2007). |

- A Design of Differential Type Class-AB General Notch Filter in the Log Domain, International Conference On Electrical And Electronics Engineering, Bursa/Turkey, 40-43, (2007).
- High Frequency Log Domain All Pass Filter Based on KHN Topology, IEEE 15th International Conference on Electronics, Circuits and Systems ICECS 2008, Malta, 129-132, (2008).
- A Study of Nonlinear Effects Based on Finite Current Gain of Core Filter Transistor in the Log Domain, 5TH International Symposium on Electrical & Computer Systems EECS/08, Lefke, 39-43, (2008).
- Fifth Order Butterworth Low Pass Log Domain Filter Designs by Using LOGOS, 5TH International Symposium on Electrical & Computer Systems EECS/08, Lefke, 45-49, (2008).

Ulusal hakemli dergilerde yayımlanan makaleler

- ELIN Filtrelerin Genel Sentez Teorisi ve Gerçeklenme Şartları, Pamukkale Üniversitesi Mühendislik Fakültesi Mühendislik Bilimleri Dergisi, 13, 47-56 (2007).

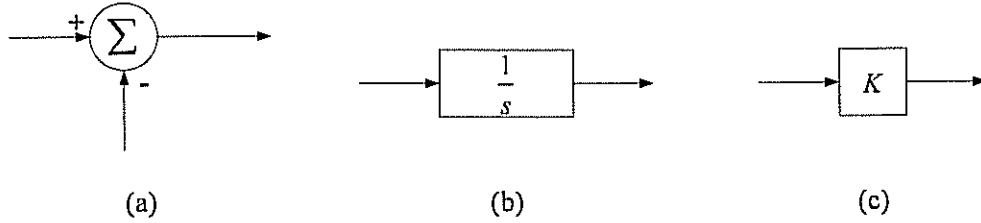
Ulusal bilimsel toplantılarda sunulan bildiriler

- Logaritmik Ortam Süzgecinin Durum Uzayı ve Blok Modelleme Yöntemleri İle Sentezi, Elektrik-Elektronik- Bilgisayar Mühendisliği Sempozyumu ELECO 2006, Cilt II, 1-4, Bursa, (2006).
- Elektronik Olarak Ayarlanabilir Karekök Ortamlı Süzgeç Devresi, IEEE 15. Sinyal İşleme ve İletişim Uygulamaları Kurultayı SIU'07, Eskişehir, (2007).
- Elektronik Ayarlanabilir Logaritmik Ortam Evrensel Süzgeç Devresi, Ulusal Teknik Eğitim, Mühendislik ve Eğitim Bilimleri Genç Araştırmacılar Sempozyumu, Cilt I, 370-373, Kocaeli, (2007).
- İkinci Dereceden Elektronik Ayarlanabilir Logaritmik Ortam Süzgeç Tasarım Programının Visual C# Ortamında Geliştirilmesi, 1. Mühendislik ve Teknoloji Sempozyumu, Cilt I, 198-205, Ankara, (2008).

3 Blok Modelleme Yöntemi

3.1 Giriş

Bir sisteme ait blok diagram, o sistemin giriş ve çıkışları arasındaki fonksiyonu tanımlayan şekilsel gösterimdir. Başka bir söyleyiş ile, bir sistem ele alındığında bu sisteme ilişkin değişkenler arasındaki bağıntıların ifade edilmiş biçimidir. Blok diagram yöntemi ile analiz işlemlerinde üç temel blok vardır. Bu üç temel blok yapı kullanılarak istenilen transfer fonksiyonunun gerçekleştirilebileceği bilinmektedir. Bu bloklar toplama bloğu, integral alma bloğu ve sabit ile çarpma bloğudur. Bu bloklar Şekil 5’de gösterilmiştir.



Şekil 5: Temel blokların gösterimi: a) Toplama bloğu b) İntegral alma bloğu c) Sabit ile çarpma bloğu

Bu temel bloklar doğrusal sistemlerin sentezini yaparken kullanılan modellerdir. Eğer sistem doğrusal olmayan bir ilişkiye sahip ise sistemin sentezinde kullanılan blokların da doğrusal olmayan ilişki içerisinde olması gerekir. Logaritmik ortam süzgeçlerinde işaret doğrusal olmayan bir dönüştürücüden geçtikten sonra işlendiği için sistemin tanımlanmasında doğrusal olmayan bloklardan faydalanılması gerekmektedir.

3.2 Doğrusal Olmayan Blok Modelleme : Logaritmik Ortam Süzgeçlerinin İşlemsel Blokları

Logaritmik ortam süzgeçlerinin girişi ile çıkışı arasındaki ilişki doğrusal bir ilişkidir. Ancak giriş işaretine uygulanan doğrusal olmayan fonksiyon sonucunda işaret doğrusal olmayan ortama aktarılmış olur. İşaret doğrusal olmayan bu ortamda doğrusal olmayan işlem blokları

ile işlendikten sonra girişte uygulanan fonksiyonun tersinin uygulanması ile tekrar doğrusal ortama aktarılmış olur (Arslanalp, 2003).


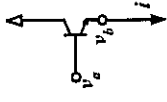
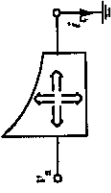
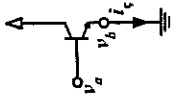

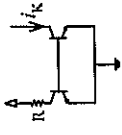

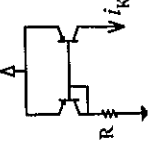
Logaritmik ortam süzgeçlerinin yapısını oluşturan işlem bloklarının daha iyi anlaşılabilmesi için ve tasarımcıların devre sentezi yaparken genel sistemi parçalı ele alarak daha kolay ve hatasız tasarım yapmalarını sağlamak için, logaritmik ortam süzgeçlerinin genel blok yapısı ve her bir işlem bloğunun tablo halinde ayrıntılı incelenmesi bu kısımda yapılmıştır (Tola, 2007c).

Burada, öncelikle transfer fonksiyonundan hareketle durum uzayı yöntemi kullanılarak sistem denklemleri, daha sonra da durum değişkenleri ve giriş işaretleri üstel bir aktarım fonksiyonu ile eşlenerek devre denklemleri elde edilmiştir. Frey tarafından geliştirilen sentez yöntemi gereğince elde edilen devre denklemlerindeki her bir terim bir akıma karşılık gelmektedir. (Frey, 1993), (Frey, 1996). Akım olarak kabul edilen bu terimlerin, bloklar kullanılarak modellenip birleştirilmesi ile genel blok yapı elde edilmiştir. Daha sonra blokların fiziksel karşılıklarından oluşabilecek farklı giriş devre seçeneklerinden temel olarak iki tip gerçek devre mimarisi elde edilmiştir. Bu mimariler kendi içerisinde irdelenmiştir.

Transfer fonksiyonundan durum uzayı denklemlerinin elde edilmesinden sonra yukarıda anlatılan yöntem takip edilerek devre denklemleri elde edilir. Devre denklemlerinin belirlenmesinden sonra Tablo 1'de verilen karşılıklara göre tasarım gerçek elemanlar ile gerçekleştirilebilir hale gelmiştir. Tablo incelendiğinde temel olarak logaritmik akım-gerilim çevirici, üstel gerilim-akım çevirici ve akım kaynağı bloklarının olduğu görülmektedir.

Tablo 1: Durum uzayı-blok modelleme karma yöntemi karşılık tablosu (Tola, 2007c)

| Sınıflandırması | Matematik Denklemleri | Blok şeması | Devresi | İşlevi |
|----------------------------------|--------------------------|---|---------|--------------------------|
| Logaritmik akım-gerilim çevirici | DC akım-gerilim çevirici | | | Yükselten $v_b > v_a$ |
| | AC akım-gerilim çevirici | $ V_a - V_b = V_T \ln \frac{I_r}{I_s}$ | | |
| | | | | Sıkıştırma |

| | | | | | |
|-----------------------------|-----------------------------|-------------------------------------|--|--|-------------------------|
| Üstel Gerilim-akım çevirici | Çekirdek süzgeç transistörü | $i = I_s e^{\frac{v_a - v_b}{V_T}}$ |  |  | Süzülecek akımın eldesi |
| | Çıkış transistörü | $i_c = I_s e^{\frac{v_a}{V_T}}$ |  |  | Genişletme |
| Akım kaynağı | NPN akım kaynağı | i_k |  |  | Akım üretici |
| | PNP akım kaynağı | |  |  | Akım üretici |

3.2.1 Örnek: Birinci Dereceden A Sınıfı Alçak Geçiren Süzgeç

Yukarıda belirtilen tablo kullanılarak birinci dereceden A sınıfı alçak geçiren bir süzgeç tasarlanacaktır. Denklem (3.1)'de ω_o kesim frekansına sahip alçak geçiren bir filtrenin transfer fonksiyonu görülmektedir.

$$H(s) = \frac{Y(s)}{U(s)} = \frac{\omega_o}{s + \omega_o} \quad (3.1)$$

Burada U giriş, Y çıkış bilgisidir. Böyle bir transfer fonksiyonundan durum uzay yöntemi kullanılarak elde edilen sistem denklemleri Denklem (3.2)'de görülmektedir. Bu örnekte $A = -\omega_o$, $B = \omega_o$ ve $P = 1$ alınmıştır.

$$\dot{x}_1 = Ax_1 + Bu \quad (3.2.a)$$

$$y = Px_1 \quad (3.2.b)$$

Durum değişkeninin ve giriş işaretinin üstel bir aktarım fonksiyonu ile ($x = I_s e^{\frac{v_1}{V_i}}$, $u = I_s e^{\frac{v_0}{V_i}}$) bire bir ve örten eşlenmesi sonucunda doğrusal olmayan ortama girilmiş olur. Bu dönüşümden sonra bazı cebirsel işlemler ile Denklem (3.3)'de görülen devre denklemleri elde edilir. Devre denklemlerindeki her bir terimin akım bilgisine karşılık geldiği kabul edilir. Bu bağlamda Denklem (3.3.a)'nın sol tarafındaki terim bir kondansatörün akımını, sağ tarafındaki ilk terim sabit akım kaynağını, ikinci terim ve Denklem (3.3.b) ise baz emetör arasındaki gerilimin değerine bağlı olarak (v_o , v_b , V_{fol}) bir transistörün kollektör akımını verir.

$$C_1 \dot{v}_1 = -I_{f1} + I_s e^{\frac{(v_o + V_{fol} - v_1)}{V_i}} \quad (3.3.a)$$

$$y = I_s e^{\frac{v_1}{V_i}} \quad (3.3.b)$$

Burada,

$$-I_{f1} = V_1 C_1 A$$

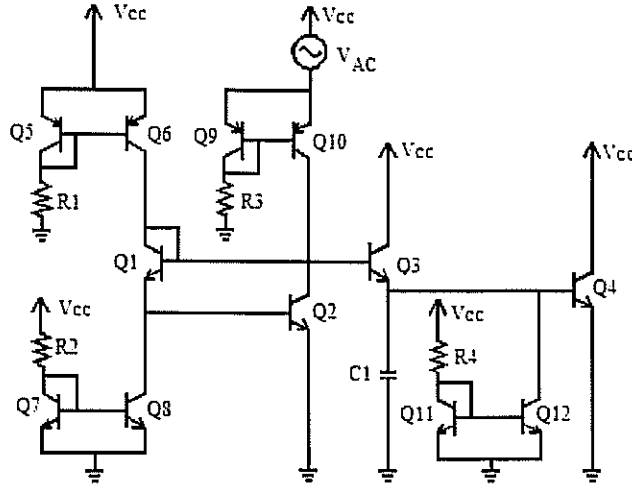
$$I_{f01} = V_1 C_1 B = I_3 e^{\frac{V_{f01}}{V_1}} \quad (3.4)$$

Logaritmik akım-gerilim çevirici bloklarında giriş işareti akım çıkış işareti gerilim, üstel gerilim-akım çeviricide ise giriş işareti gerilim çıkış işareti ise akımdır. Birbirinden ayrılmaz iki büyüklük olan akım ve gerilim devre içerisinde birbirlerinin neden sonuç ilişkisini oluşturmaktadır. Ancak giriş ve çıkış işaretleri ve süzme işlemi akımdır.

Akım gerilim çeviricide giriş akım bilgisi giriş işareti ise; akımın logaritması alınarak doğrusal olmayan ortamda gerilim bilgisi elde edilmiş olur. Bu işlem sayesinde hem doğrusal olmayan ortama girilmiş, hem de işaret dinamik aralığı dB olarak sıkıştırılmış olur (Arslanalp, 2005a). Giriş akım bilgisi DC bir büyüklük ise doğrusal olmayan ortamda (seviye yükselten veya indiren) gerilim öteleme işlevi için kullanılır. Seviye öteleme işlemi translineer çevrimin doğru olarak sağlanabilmesi için gereklidir (Gilbert, 1975).

Gerilim akım çevirici iki farklı blok yapı mevcuttur. Birincisi süzme işleminin gerçekleştirildiği kondansatörün bağlı bulunduğu düğümde akım akıtan transistörü betimleyen çekirdek süzgeç transistördür. Bu transistör sayesinde gerektiği kadar ötelenmiş ve gerilime dönüşmüş giriş işareti tekrar akıma dönüşerek esas işlem olan süzme gerçekleşmektedir. Bu da süzgecin akım modlu bir devre olduğunun en kesin kanıtıdır. Diğer gerilim akım çevirici olan çıkış transistörü ise gerilim bilgisinden tekrar akım elde ederek işareti doğrusal ortama taşımakta aynı zamanda işlenmeden önce sıkıştırılan işaretin dinamik aralığını tekrar özgün değerine kavuşturmaktadır. Böylelikle geniş bir dinamik aralık içerisinde işaret işlenebilmektedir.

Tablo 1'den faydalanarak devre denklemlerinin blok olarak modellenmesi ile Şekil 6'da görülen blok devre yapısı elde edilir. Elde edilen yapı logaritmik ortam süzgeçlerinin çalışma mantığını yansıtan temel yapı olarak kabul edilebilir. Yüksek dereceli, çok girişli-çok çıkışlı ve işaretin işlendiği seviyenin daha fazla ötelendiği devre yapıları bu temel blok yapının genişletilmesi ile kolaylıkla elde edilebilir. Örneğin çok girişli-çok çıkışlı bir devre için girişteki bloğun giriş sayısı kadar, çıkıştaki bloğun çıkış sayısı kadar artırılması, ya da yüksek

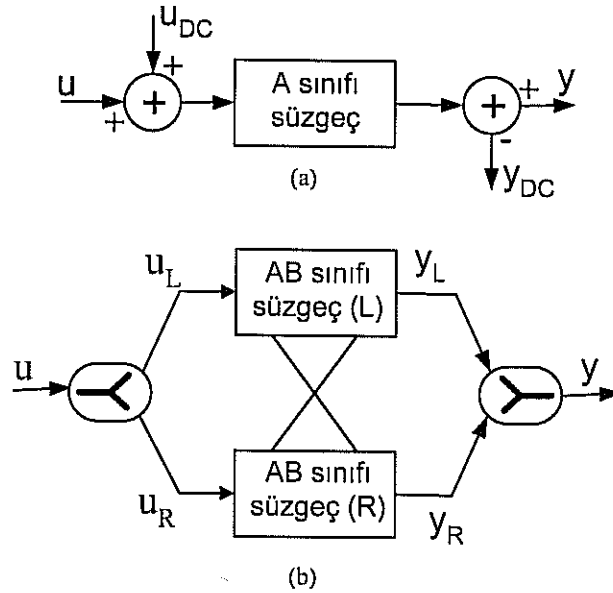


Şekil 8: F mimarisinin kullanıldığı logaritmik ortam süzgeci

3.3 Doğrusal Blok Modelleme

Burada doğrusal blok modeller herhangi bir devre mimarisine bağlı kalmadan istenilen özellikleri sağlayan süzgeç devresinin transfer fonksiyonundan hareketle elde edilen durum uzayı denklemleri kullanılarak tasarlanacaktır. Bu tasarım, logaritmik ortam süzgeçlerinin günümüze kadar durum uzayında yapılan sentez çalışmalarının sistematik olarak geliştirilmesi ile gerçekleştirilmiştir. Bu sayede genelleştirmeye uygun, sistematik bir yapı elde edilmiştir. Tasarlanacak devrede AB sınıfı devre yapısı esas alınacaktır. AB sınıfı fark alan tip devre yapısının seçilmesinin ana amacı sunulan bir teori ile (Frey, 1999) (Tola, 2000b) tüm transfer fonksiyonlarının logaritmik ortam devresi olarak daha düşük gürültü seviyesi ve bozulma oranıyla gerçekleştirilebilmesidir.

A sınıfı devre yapısı ile AB sınıfı devreler arasındaki temel fark blok modelleme ile Şekil 9'da verilmiştir. Şekilde görüldüğü gibi A sınıfı işlemde giriş bir DC işaret ile ötelenmektedir. Ancak AB sınıfı işlemde giriş işareti dengeli olarak ikiye ayrılmakta, her kısım için işaret ayrı ayrı fakat birbiri ile çapraz ilişkiler kurarak haberleşen bir yapı ile işlenmektedir. Yapılan araştırmalarda AB sınıfı logaritmik ortam devrelerinin yüksek doğrusallık, düşük gürültü, düşük güç tüketimi gibi üstünlükleri olduğu görülmüştür (Tola, 2000a), (Punzerberger, 1998).



Şekil 9: (a) A sınıfı devrelerin blok modellemesi (b) AB sınıfı devrelerin blok modellemesi

AB sınıfı devre yapısının gerçekleştirilebilmesi için öncelikle giriş işareti sürekli pozitif bölgede kalan ve birbiri ile toplandığında tekrar orijinal giriş işaretini elde edebildiğimiz akım ayırıcı devreden geçmesi gerekmektedir. Daha sonra ayrılan her bir giriş işareti L ve R tarafı için tasarlanmış ve integral alıcı, toplama, sabit katsayı ile ölçekleme devrelerinden oluşan süzgeç devresinde işlenir ve tekrar girişte uygulanan ayırma işleminin tersi uygulanarak çıkış işareti elde edilir.

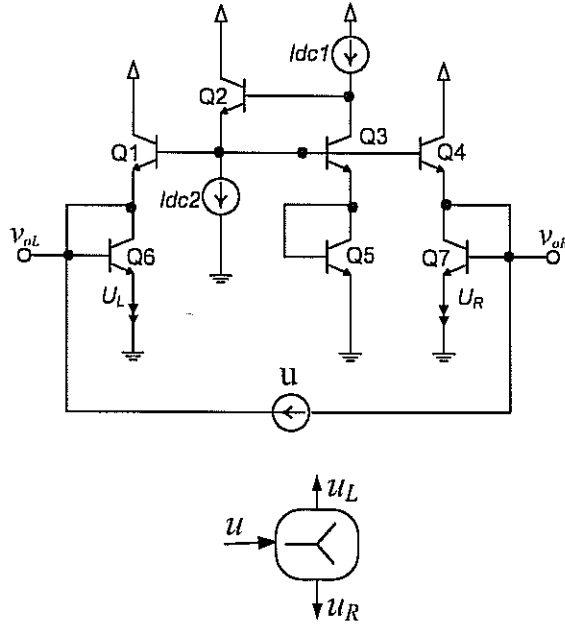
3.3.1 Akım Ayırıcı Devre

Blok modelleme kullanılarak gerçekleştirilen süzgeç yapıları L ve R taraflarından oluşturulduğu için özel olarak tasarlanmış akım ayırıcı devre, her iki tarafın giriş işaretini oluşturur. Oluşturulan giriş işaretlerinin sürekli pozitif bölgede kalması esastır. İşaret bir biri ile simetrik, dengeli iki alt devrede işlenmektedir. L ve R tarafı için oluşturulan giriş işareti, u_L ve u_R olarak adlandırılır. Akım ayırıcı devrenin akımları arasındaki ilişkiler Denklem (3.5)-(3.7)'de verilmiştir. Akım ayırıcı devre yapısı Şekil 10'da görülmektedir (Tola, 2000b).

$$u = u_L - u_R \quad (3.5)$$

$$u_L u_R = I_f^2 \quad (3.6)$$

$$I_{dc1} = I_{dc2} = I_f \quad (3.7)$$



Şekil 10: Akım ayırıcı devre ve blok şeması

3.3.2 AB Sınıfı Logaritmik Ortam İntegratör ve Çarpma Devresi

Blok modellemenin temel elemanlarından olan integral alma bloğu ve çarpma bloğu devrenin genel performansını doğrudan etkileyen en önemli parametrelerdendir. Toplama işlemi ise akım modlu çalışmanın bir getirisi olarak doğrudan gerçekleştirilebilmektedir. Bu bloklar genel durum uzayı sentez yöntemini kullanarak AB sınıfı olarak sentezlenecektir. Denklem (3.8)'de bir integral bloğuna ait transfer fonksiyonu görülmektedir.

$$H(s) = \frac{Y(s)}{U(s)} = \frac{k}{s} \quad (3.8)$$

Burada k pozitif sabit bir sayıdır ve ölçekleme katsayısı olarak adlandırılır. Bu transfer fonksiyonuna ait durum uzayı gösterimleri Denklem (3.9)'da verilmiştir.

$$\dot{x}_1 = k u \quad (3.9.a)$$

$$y = x_1 \quad (3.9.b)$$

Burada, u giriş, y çıkış fonksiyonu, x ise durum değişkenidir.

Durum ve çıkış denklemleri Denklem (3.10)'de verilen aktarım fonksiyonları ile doğrusal olmayan ortama taşınırlar.

$$x = I_S e^{\frac{v}{V_T}} \quad (3.10.a)$$

$$u = I_S e^{\frac{v_u}{V_T}} \quad (3.10.b)$$

Doğrusal olmayan durum denklemlerinin logaritmik ortam devresi olarak gerçekleştirilmesi için AB sınıfı fark alan devre yapısına dönüştürülmesi gerekir. Bunun için uygulanan fark alma işlemi Denklem (3.11.a) ve Denklem (3.11.b)'de görülmektedir. Daha sonra bazı cebir işlemleri yapılarak L tarafı için Denklem (3.11.c)'de ve Denklem (3.11.d)'de görülen devre denklemleri elde edilir. L tarafı ile R tarafı tamamen birbirinin aynısı olduğundan dolayı iç sistemler kendi aralarında dengelidir (Tola, 2000a), (Seevinck, 1995).

$$x = x_L - x_R \quad (3.11.a)$$

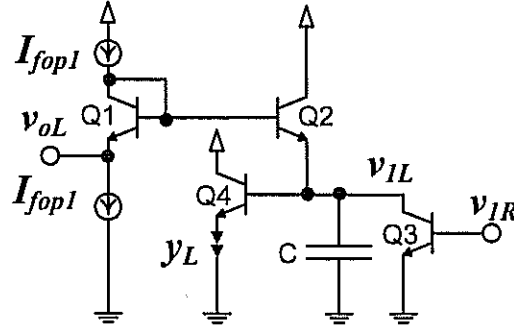
$$u = u_L - u_R \quad (3.11.b)$$

$$C\dot{y}_L = k C V_T e^{\frac{v_{out}-v_L}{V_T}} - I_S e^{\frac{v_R}{V_T}} \quad (3.11.c)$$

$$y_L = I_S e^{\frac{v_L}{V_T}} \quad (3.11.d)$$

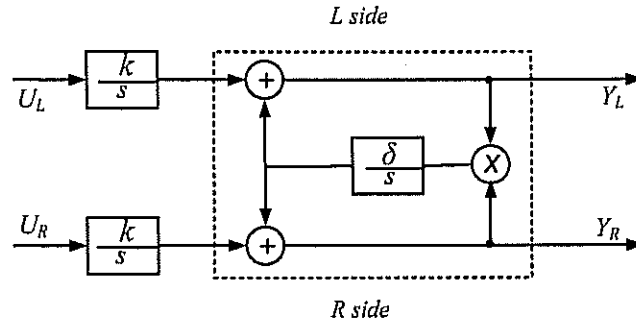
Denklem (3.11.c)'deki eşitliğin sağ yanındaki son terim, devrenin gerçekleştirilmesi için ilave edilmesi zorunlu olan ve sistem denklemlerine etkisi olmayan fakat devrenin sol tarafı ile sağ

tarafı arasındaki dengenin sağlanmasında olumlu katkıları olan ve *geçici giriş* olarak adlandırılan bir elemandır. Devre denklemlerinin tasarımı Şekil 11'de verilmiştir.



Şekil 11 : Sadece L tarafı için logaritmik ortam integral alıcı devre

L ve R tarafını içine alan integral alıcı devre ele alındığında her iki tarafın birbirleri arasında çapraz ilişki içinde olduğu görülmektedir. Bu ilişki, durum değişkenlerinin sürekli pozitifte kalmaları için gereklidir. Bu durum Şekil 12'de gösterilmiştir. Kolaylık açısından bu durum bundan sonraki blok yapılarında gösterilmeyecektir.

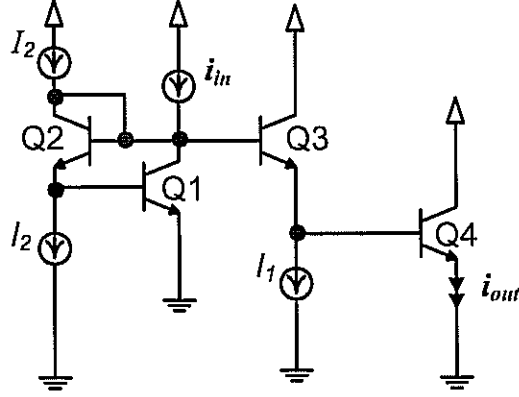


Şekil 12: İntegral alıcı devre yapısı

Bir diğer önemli işlemsel blok ise çarpıcı devredir. Bu devrenin tasarımı translineer prensibine dayanmaktadır. Logaritmik ortam devresi akım modlu bir devre olduğu için denklemleri akım üzerinden belirlemek gerekmektedir. Sabit katsayı ile ölçeklendirme devresi için denklem aşağıda verilmiştir.

$$i_{out} = \frac{I_2}{I_1} i_{in} \quad (3.12)$$

Sabit katsayı ile ölçeklendirme devresinin translineer prensibini kullanarak elde edilen devre yapısı Şekil 13’de verilmiştir.



Şekil 13: Sabit katsayı ile ölçeklendirme devre

3.3.3 Doğrusal Blok Modelleme Kullanarak İkinci Dereceden Logaritmik Ortam Süzgeci Tasarımı

Doğrusal blok modellemenin temel elemanlarının logaritmik ortam süzgecine uygun olarak gerçekleştirilmesinden sonra, bu bloklar kullanılarak devre tasarımı yapılabilir. Devre tasarımı esnasında takip edilecek işlem basamakları aşağıda verildiği gibidir.

- İntegral alıcı, toplama ve sabit katsayı ile ölçeklendirme bloklarını içeren blok mimarinin oluşturulması
- Elde edilen blok mimarinin AB sınıfı çalışma mantığına uygun hale getirilmesi
- L ve R tarafı için blokların devre karşılıkları ile yer değiştirmesi

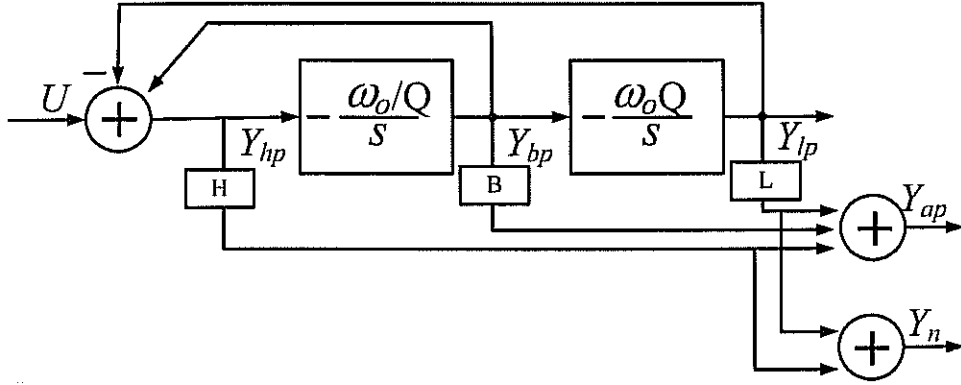
3.3.3.1 AB Sınıfı Logaritmik Ortam KHN Süzgecinin Tasarımı

KHN süzgeci üç temel bloktan oluşan, düşük duyarlılığa ve yüksek kararlılığa sahip temel süzgeç yapılarından biridir (Kerwin, 1967) . Literatürde KHN blok şemasını esas almış çeşitli aktif elemanlar ile gerçekleştirilmiş birçok devre yapısı bulunmaktadır (Sedra, 2004), (Senani, 1995), (Soliman 1994), (Keskin, 2006), (Khaled, 2000), (Altuntaş, 2002),

(Ibrahim, 2004), (Ibrahim, 2005), (Tola, 2005e), (Tola, 2005f), (Toker, 1999), (Tola, 2007a). Ancak bunların çok azı akım modlu ve elektronik olarak ayarlanabilmektedir (Yamaçlı, 2004). Kimi işaret işleme uygulamalarında süzgecin karakteristiği, genliği, köşe frekansı gibi temel unsurların dinamik olarak işarete göre ayarlanması ve kendinden uyarlamalı olması istenilmektedir. Bu da süzgeç yapısının elektronik olarak ayarlanabilmesini zorunlu kılmaktadır.

Bu tasarımda, ikinci dereceden çift integratörlü KHN blok yapısı esas alınarak, AB sınıfı fark alan tip logaritmik ortam çalışma mantığı ile elektronik olarak ayarlanabilen akım modlu, düşük gerilimli süzgeç devresi gerçekleştirilmiştir. KHN yapısında bulunan blokların her birinin logaritmik ortamdaki sentezi, durum uzayı sentez yöntemi kullanılarak yapılmıştır. Kısaca bu çalışmada, KHN yapısında bulunan blokların durum uzayı yöntemiyle tasarlanması ile karma bir sentez yöntemi kullanılmıştır.

KHN, iki integratör ve bir toplama bloklarından oluşan, yüksek geçiren (*hp*), bant geçiren (*bp*) ve alçak geçiren (*lp*) süzgeç özelliklerini aynı devre üstünde gösteren temel bir yapıdır. Bilinen KHN blok yapısı ve bu yapı kullanılarak elde edilen ilave çıkışların gösterildiği blok mimari Şekil 14'de verilmiştir.



Şekil 14: KHN blok mimarisi

Şekil 14'den de görüldüğü gibi yüksek geçiren süzgeç çıkışı Denklem (3.13)'deki gibi ifade edilebilir.

$$Y_{hp} = U - \frac{\omega_o}{Qs} Y_{hp} - \frac{\omega_o^2}{s^2} Y_{hp} \quad (3.13)$$

Daha sonra bazı matematiksel işlemlerden sonra diğer süzgeç çıkışları aşağıdaki denklemlerde gösterildiği gibi elde edilebilir.

$$Y_{hp} = \frac{s^2}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2} U \quad (3.14)$$

$$Y_{hp} = -\frac{\omega_o}{Qs} Y_{hp} = -\frac{\frac{\omega_o}{Q}s}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2} U \quad (3.15)$$

$$Y_{lp} = -\frac{\omega_o Q}{s} Y_{hp} = \frac{\omega_o^2}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2} U \quad (3.16)$$

$$Y_{n,lpn,hpn} = \frac{s^2 + \omega_n^2}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2} U \quad (3.17)$$

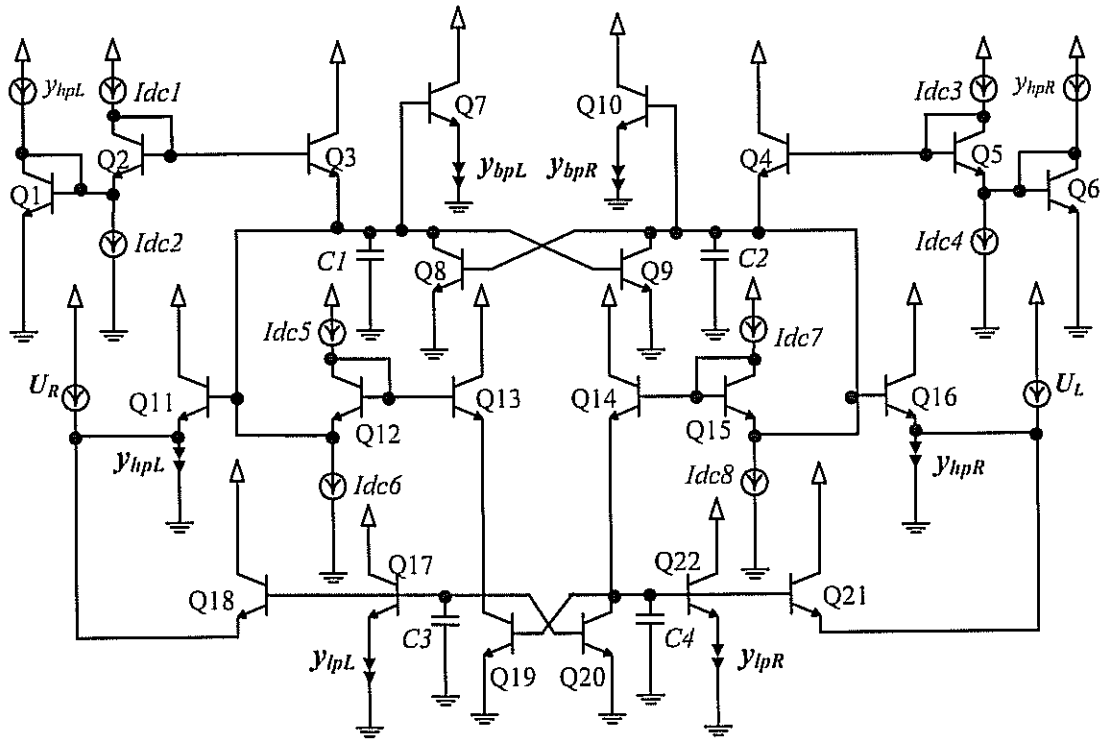
$$\omega_n = \omega_o \Rightarrow Y_n$$

$$\omega_n < \omega_o \Rightarrow Y_{lpn}$$

$$\omega_n > \omega_o \Rightarrow Y_{hpn}$$

$$Y_{ap} = \frac{s^2 - \frac{\omega_o}{Q}s + \omega_o^2}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2} U \quad (3.18)$$

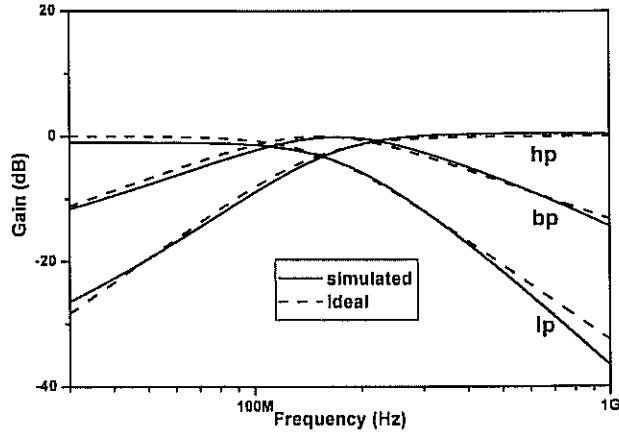
KHN blok yapısı, AB sınıfı fark alan tip devre mimarisi esasları ile logaritmik ortam süzgeci olarak tasarlanmıştır. Elde edilen blok yapısı Şekil 15'de görülmektedir. Şekilde bloklar arasında doğrusal olmayan akım ilişkisinin olmasına karşın, giriş çıkış akımları arasında yüksek doğrusallık sağlanmaktadır. U giriş işareti öncelikle ayırıcı (splitter) ile dengeli olarak ikiye ayrılmakta daha sonra her bir ayrılmış işaret toplama bloğuna girmektedir (Frey, 1994).



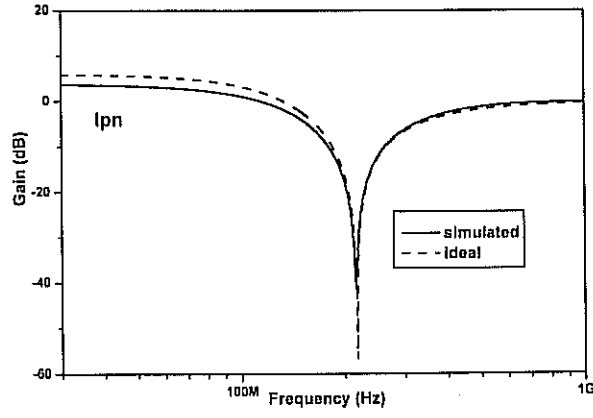
Şekil 16: AB sınıfı logaritmik ortam KHN süzgeç devresi

3.3.3.2 AB Sınıfı Logaritmik Ortam KHN Süzgecinin Benzetim Sonuçları

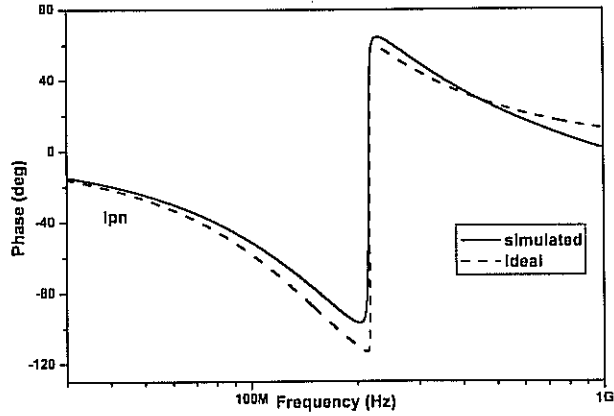
Yapılan teorik analizden sonra elde edilen devrenin performansının denemek için devrenin PSpice programında ideal ve gerçek transistorler (NE 600 serisi) kullanılarak benzetimi yapılmıştır. Besleme gerilimi olarak 3V seçilmiştir. Kullanılan kondansatörlerin değerleri birbirine eşit ve $C1=C2=C3=C4=20$ pF olarak seçilmiştir. Akım kaynakları kesim frekansı $f_o=149$ MHz olacak şekilde yaklaşık $500\mu A$ olarak seçilmiştir. Benzetim sonunda elde edilen kesim frekansı $f_o=153$ MHz dir. Bu telafi edilebilir bir farktır. Tüm süzgeç çıkışları için elde edilen frekans ortamı sonuçları Şekil 17-19'da verilmiştir.



Şekil 17: Temel süzgeçlere ait frekans ortamı sonuçları

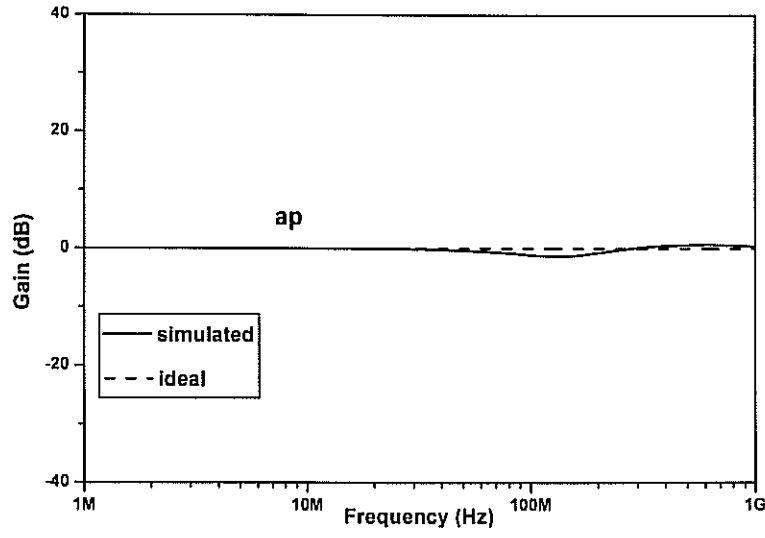


(a)

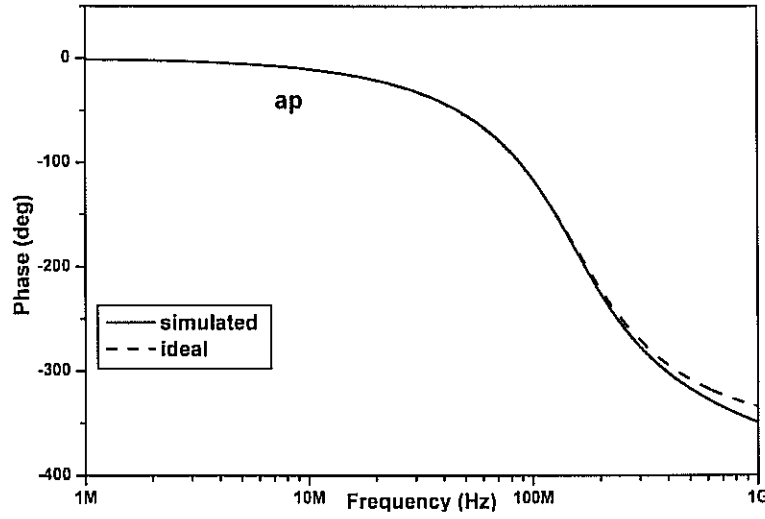


(b)

Şekil 18: Çentik süzgece ait frekans ortamı sonuçları (a) kazanç (b) faz



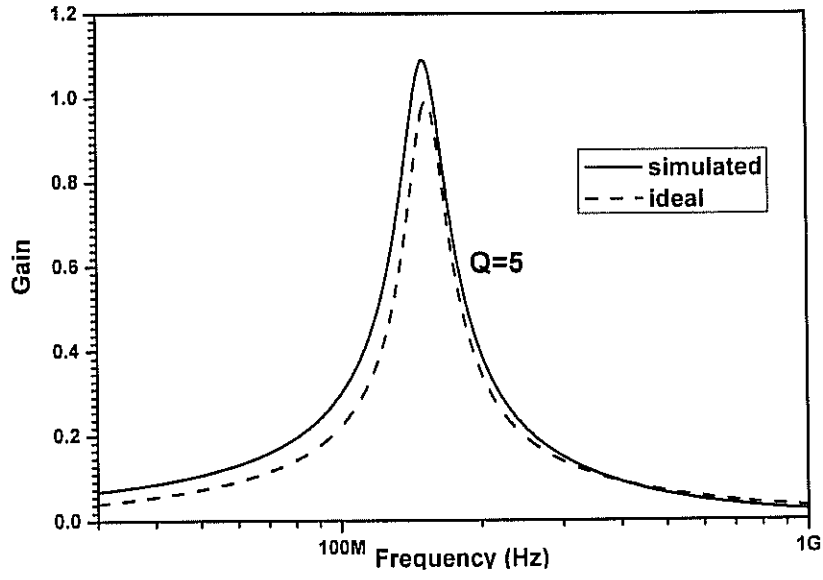
(a)



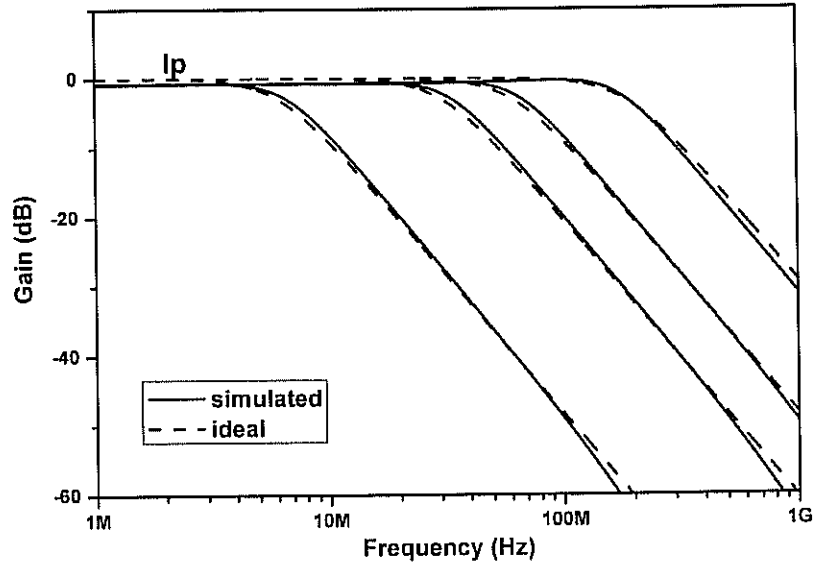
(b)

Şekil 19: Tüm geçiren süzgece ait frekans ortamı sonuçları (a) kazanç (b) faz

Tasarlanan devrenin f_o kesim frekansı ve Q kalite faktörü elektronik olarak ayarlanabilmektedir. Bu özellik tasarımı yapılan devrenin geniş bir kullanım alanına sahip olacağı anlamına gelmektedir. Şekil 20’de band geçiren süzgeç için kalite faktörünün $Q=5$ olarak seçilmesi ile ideal ve benzetim sonuçları görülmektedir. Şekil 21’de ise kesim frekansının akım kaynaklarının değiştirilmesi ayarlandığı benzetimin sonuçları görülmektedir.

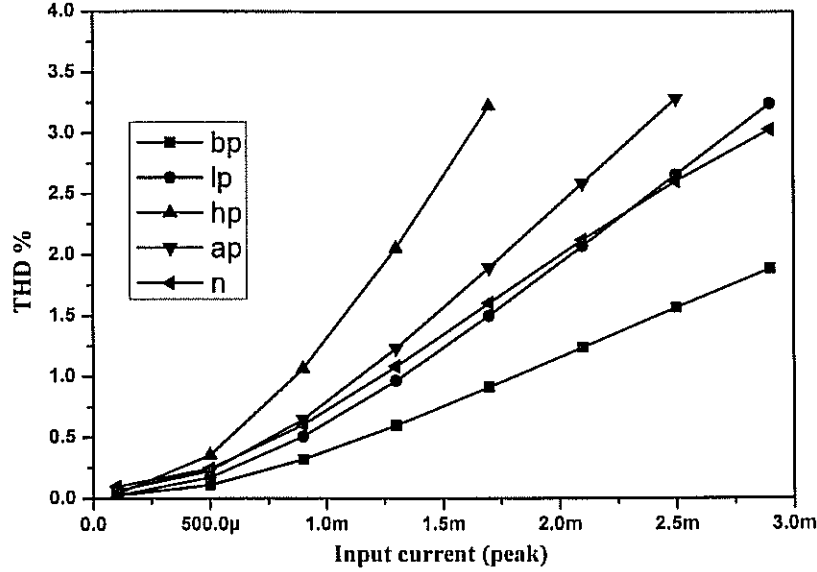


Şekil 20: Band geçiren süzgeç için kalite faktörü



Şekil 21: Alçak geçiren süzgeç için farklı kesim frekansları

Tasarlanan devrenin farklı girişlerde nasıl bozulma ve gürültü sonuçları ürettiği de araştırılmıştır. Elde edilen benzetim sonuçları THD için Şekil 22'de gürültü için Tablo 2'de verilmiştir.



Şekil 22: %THD değerleri

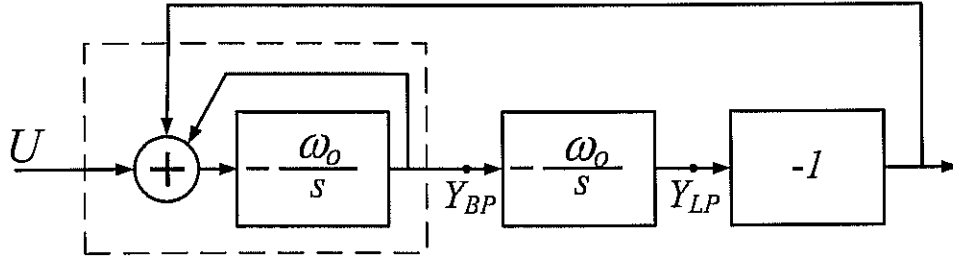
Tablo 2: Tüm süzgeçler için gürültü değerleri

| Süzgeç yaklaşımı | Gürültü pA/sqrt (Hz) |
|------------------|----------------------|
| <i>lp</i> | 219.97 |
| <i>hp</i> | 272.07 |
| <i>bp</i> | 200.33 |
| <i>ap</i> | 363.47 |
| <i>n</i> | 240.72 |

Projenin bu kısmında akım modlu, elektronik olarak ayarlanabilen, düşük gerilimli AB sınıfı fark alan tip logaritmik ortam KHN süzgeci tasarlanmıştır. Bu çalışma ile konu üzerindeki önemli bir eksiklik giderilmiştir. Tasarlanan devrenin besleme geriliminin düşük olması, güç tüketiminin düşük olması, bozulma oranının düşük olması, doğrusallığının yüksek olması gibi özelliklere sahip olması nedeniyle benzer devrelere göre önemli bir üstünlük sağlamaktadır.

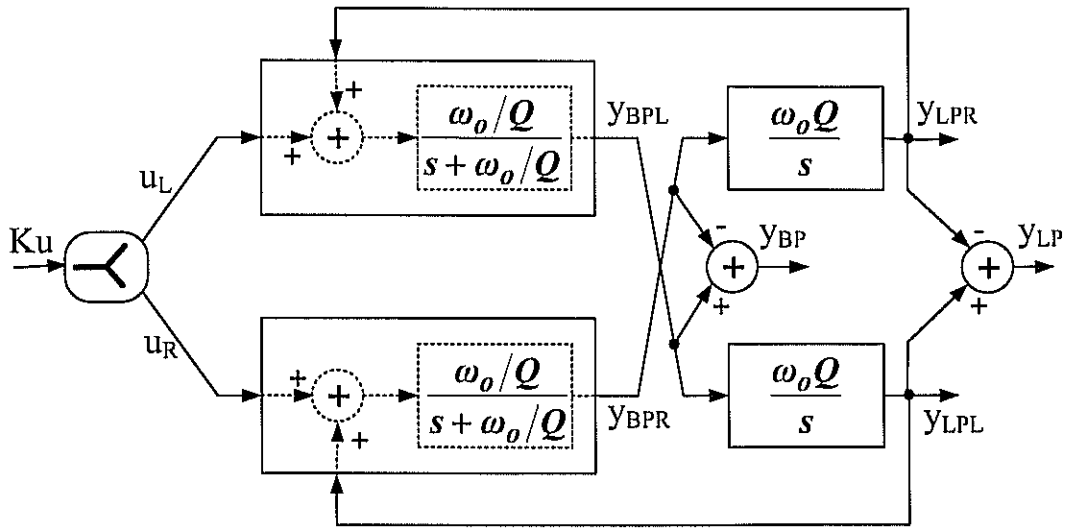
3.3.3.3 AB Sınıfı Logaritmik Ortam Tow-Thomas Süzgecinin Tasarımı

Tow-Thomas süzgeç yapısı iki integratörlü kapalı çevrimli süzgeç ailesinin bir üyesidir. (Sedra, 2004). Devre mimarisinin KHN süzgecinden farkı integrator bloğu ile toplama bloğunun birleştirilerek tek bloğa indirgenmesidir. Buna karşılık olarak yüksek geçiren süzgeç çıkışından feragat edilmiştir. Tasarlanan devrenin akım modlu olması ve elektronik olarak ayarlanabilir olması diğer eşdeğer devrelere olan üstünlükleri arasında sayılabilir. Temel Tow-Thomas blok mimarisi Şekil 23’de gösterilmiştir.

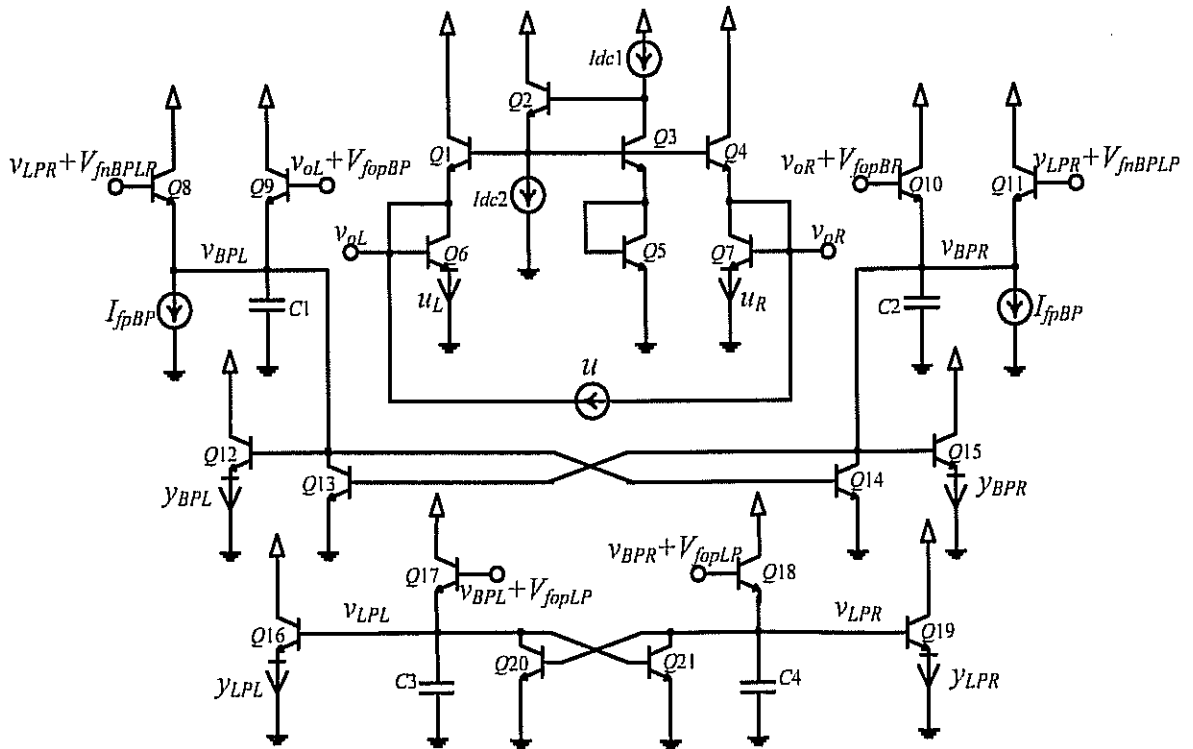


Şekil 23: Temel Tow-Thomas blok mimarisi

Temel devre mimarisinde görüldüğü gibi toplama bloğu ile birleştirilmiş bir integrator bloğu, kayıpsız integrator bloğu ve bir tersleme bloğu kullanılmıştır. AB sınıfı çalışma prensibinin uygulanması ile Şekil 24’de görülen ikinci dereceden logaritmik ortam süzgeç blok yapısı elde edilir. Şekilde görüldüğü gibi tersleme bloğuna gerek kalmadan istenilen işarete sahip sinyal elde edilmiştir. Elde edilen blok yapının tasarım aşaması KHN süzgecinde ayrıntılı anlatıldığı gibidir. Bloklar öncelikle durum uzayı sentez yöntemi kullanarak tasarlanmış daha sonra bu blokların devre karşılıkları birleştirilerek genel devre yapısı oluşturulmuş olmaktadır. Elde edilen genel devre yapısı Şekil 25’de görülmektedir.



Şekil 24: Tasarlanan Tow-Thomas süzgeci blok yapısı

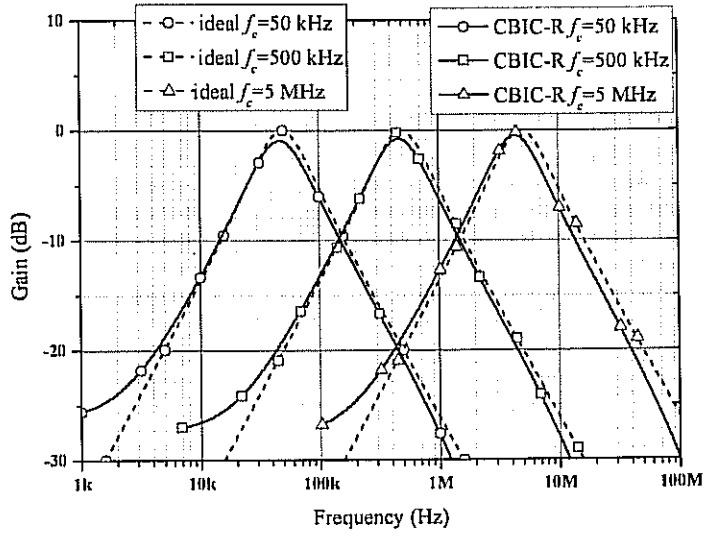


Şekil 25: Tasarlanan AB sınıfı logaritmik ortam Tow-Thomas süzgeç devresi

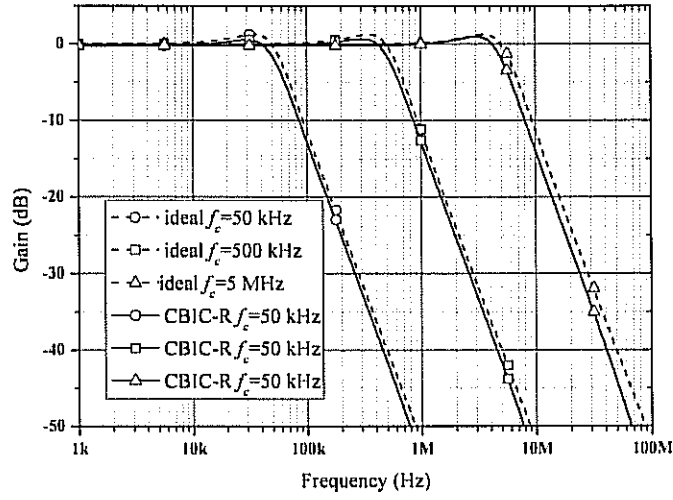
3.3.3.4 AB Sınıfı Logaritmik Ortam Tow-Thomas Süzgecinin Benzetim

Sonuçları

Tasarlanan logaritmik ortam Tow-Thomas süzgeci BJTler, akım kaynakları ve topraklanmış kondansatörlerden oluşmaktadır. Besleme gerilimi 3V olarak belirlenmiştir. Kullanılan kapasitörlerin gerilimleri birbirine eşit ve $C1=C2=C3=C4=125 \text{ pF}$ 'dir. Teorik sentezi desteklemek için tasarlanan devrenin PSpice programında benzetimi yapılmıştır. Farklı frekans değerleri için elde edilen band geçiren ve alçak geçiren frekans ortamı sonuçları sırasıyla Şekil 26 ve Şekil 27'de verilmiştir.

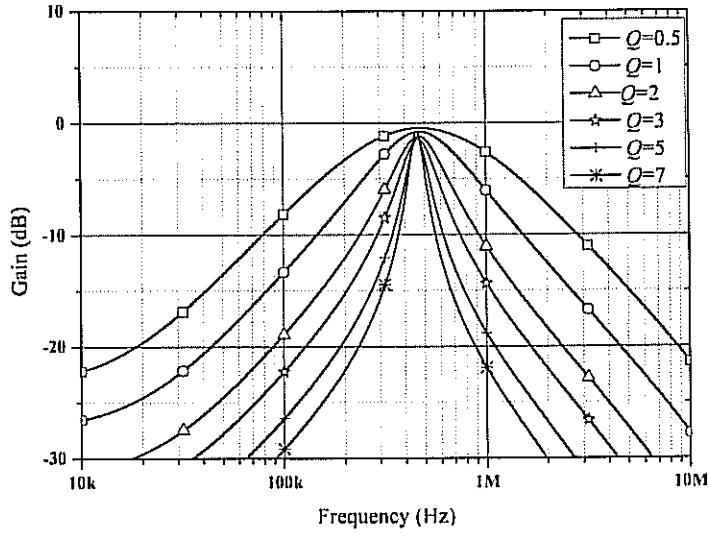


Şekil 26: Farklı frekans değerleri için band geçiren süzgeç



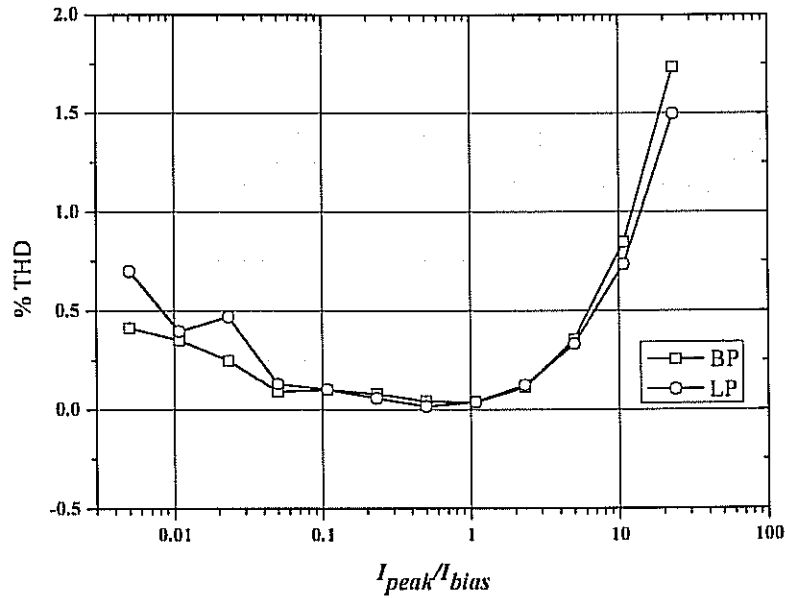
Şekil 27: Farklı frekans değerleri için alçak geçiren süzgeç.

Tasarlanan devrenin elektronik ayarlanabilir olması önemli üstünlüklerinden bir tanesidir. Sadece akım kaynaklarının değerlerinin değiştirilmesi ile kalite faktörünün değişimi band geçiren süzgeç için Şekil 28’de verilmiştir.



Şekil 28: Farklı kalite faktörleri için band geçiren süzgeç yapısı

Tasarlanan devrenin farklı giriş işaretlerine göre ölçülmüş toplam bozulma oranları (THD) Şekil 29’da gösterilmiştir.



Şekil 29: % THD değerleri

3.4 Blok Yapıları Kullanarak n . Derece Logaritmik Ortam Süzgeci Tasarımı

n . dereceden bir sisteme ait genel transfer fonksiyonu Denklem (3.19)'da görülmektedir. Transfer fonksiyonunda a_i ve b_i katsayıları reel sayılar olup $n \geq m$ olmak zorundadır.

$$H(s) = \frac{N_m(s)}{D_n(s)} = \frac{b_m s^m + b_{m-1} s^{m-1} + \dots + b_1 s + b_0}{s^n + a_{n-1} s^{n-1} + \dots + a_1 s + a_0} \quad (3.19)$$

Payda polinomu n adet köke sahiptir. Bunlara transfer fonksiyonunun kutupları denilir. Tüm köklerin s düzleminin sol yarısında olması gerekir. Transfer fonksiyonunun derecesinin çift olduğunu varsayalım. Payda polinomu Denklem (3.20)'de gösterildiği gibidir. Eğer n tek sayı ise D_n polinomuna birinci dereceden terim ilave olur.

$$D_n(s) = s^n + a_{n-1} s^{n-1} + \dots + a_1 s + a_0 = \prod_{i=1}^{n/2} \left(s^2 + s \frac{\omega_{oi}}{Q_i} + \omega_{oi} \right) \quad (3.20)$$

Aynı varsayım ile $N_m(s)$ polinomunu çarpanlarına ayırılım. Pay polinomu Denklem (3.20)'de gösterildiği gibi ifade edilebilir.

$$N_m(s) = b_m s^m + b_{m-1} s^{m-1} + \dots + b_1 s + b_0 = \prod_{j=1}^{m/2} (k_{2j} s^2 + k_{1j} s + k_{0j}) . \quad (3.21)$$

m tek sayı ise $N_m(s)$ çarpanları arasında k_2 nin sıfır olduğu bir terim yer alır. $N_m(s)$ çarpanlarının köklerine transfer fonksiyonunun sıfırları denilir.

n . derece transfer fonksiyonundan blok yapıları kullanarak geliştirilen n . derece logaritmik ortam süzgeci tasarımında iki yöntem kullanılmaktadır:

1. Kaskat bağlama
2. Toplama

3.4.1 Kaskat Bağlama

Kaskat tasarımda transfer fonksiyonu daha düşük dereceli terimlere ayrılır. Bu düşük dereceli terimler zincir kuralı ile birbirine bağlanır. Her bloğun transfer fonksiyonu çarpılır.

$$H(s) = \frac{I_{out}}{I_{in}} = \frac{I_1}{I_{in}} \frac{I_2}{I_1} \frac{I_3}{I_2} \dots \frac{I_{out}}{I_{\frac{n}{2}-1}} = H_1 H_2 \dots H_{\frac{n}{2}} = \prod_{i=1}^{\frac{n}{2}} H_i \quad (3.22)$$

Kaskat süzgeç tasarımı yapmak için birinci ve ikinci dereceden bloklara ihtiyaç duymaktayız. Bu blokların transfer fonksiyonları sırasıyla Denklem (3.23)'de ve Denklem (3.24)'de verilmiştir.

$$H^{(1)}(s) = \frac{as + b}{s + \sigma} \quad (3.23)$$

$$H^{(2)}(s) = \frac{k_2 s^2 + k_1 s + k_0}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} \quad (3.24)$$

Bu denklemde

$k_1=0$ ve $k_0=0$ ise yüksek geçiren süzgeç,

$k_1=0$ ve $k_2=0$ ise alçak geçiren süzgeç,

$k_2=0$ ve $k_0=0$ ise band geçiren süzgeç,

$k_1=0$ ise çentik süzgeç,

sıfırları $\pm j\sqrt{\frac{k_0}{k_2}}$ ise tüm geçiren süzgeçtir.

3.4.2 Toplama

Akım modlu devrelerin toplanması kolaydır. Aynı kutuplara ve farklı sıfırlara sahip transfer fonksiyonlarının toplanması ile farklı karakteristikteki devre cevapları elde edilebilir.

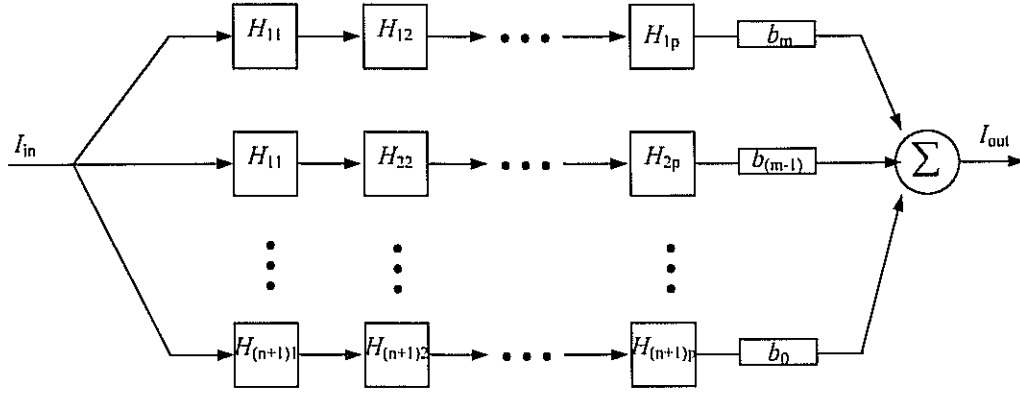
$$\sum_{i=1}^k H_i(s) = H_T(s) = \frac{I_{out1}}{I_{in}} + \frac{I_{out2}}{I_{in}} + \dots + \frac{I_{outk}}{I_{in}} = \frac{I_{outT}}{I_{in}} \quad (3.25)$$

Burada $I_{in1} = I_{in2} = \dots = I_{in}$ olarak kabul edilmiştir.

3.4.3 n. Derece Devrenin Sentezi

Tasarımı yapılması istenilen transfer fonksiyonunun n. derece olduğunu varsayalım. Transfer fonksiyonu pay ve payda polinomlarından oluşmaktadır. Blok modelleme yöntemini kullanarak n. derece bir sistemin tasarımı yapılırken öncelikle payda polinomunun oluşturulması hedeflenmiştir. Payda polinomu birinci ve ikinci dereceden çarpanlarına ayrılır. Eğer transfer fonksiyonunun derecesi çift ise transfer fonksiyonunun derecesinin yarı sayısı kadar ikinci dereceden çarpan elde edilir. Eğer transfer fonksiyonunun derecesi tek ise derecesinin bir eksiğinin yarı sayısı kadar ikinci dereceden çarpan, bir tane de birinci dereceden çarpan elde edilir. Daha sonra tüm çarpanların payda polinomunu oluşturduğu alt transfer fonksiyonları elde edilir. Bu alt transfer fonksiyonlarının pay polinomları bir terimden oluşur ve bu terimlerin çarpımı genel transfer fonksiyonundaki s'in kuvvetlerini içeren terimleri oluşturur. Payda polinomları aynı ve pay polinomları her bir s'in kuvvetini içeren

terimi kapsayan transfer fonksiyonlarının toplanması ile genel istenilen transfer fonksiyonu elde edilir. Bu yöntem blok devre olarak Şekil 30'da gösterilmiştir.



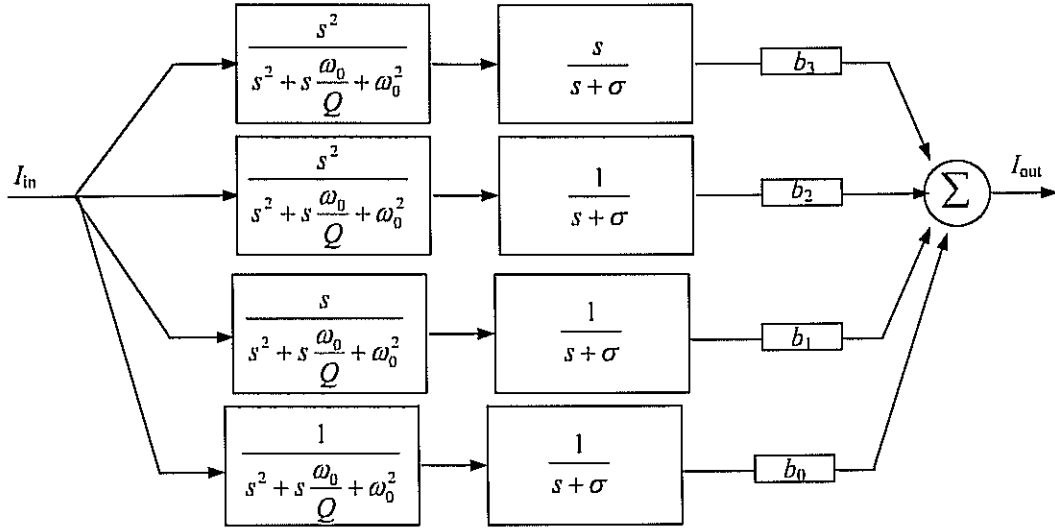
Şekil 30: n. derece sisteme ait genel blok yapı

Örnek olarak Denklem (3.26)'da görülen transfer fonksiyonunu ele alalım. Bu transfer fonksiyonunu Denklem (3.27)'deki gibi ifade etmek mümkündür.

$$H(s) = \frac{b_3 s^3 + b_2 s^2 + b_1 s + b_0}{s^3 + a_2 s^2 + a_1 s + a_0} \quad (3.26)$$

$$H(s) = \frac{s^2}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} \frac{s}{s + \sigma} b_3 + \frac{s^2}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} \frac{1}{s + \sigma} b_2 + \frac{s}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} \frac{1}{s + \sigma} b_1 + \frac{1}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} \frac{1}{s + \sigma} b_0 \quad (3.27)$$

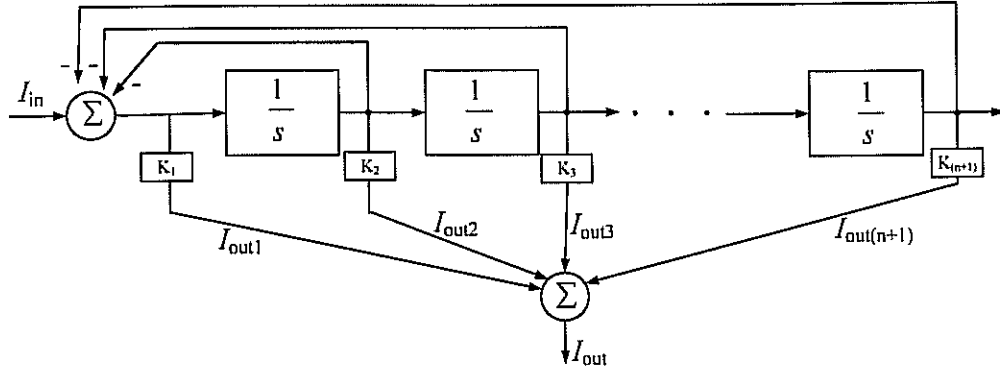
Örnek transfer fonksiyonuna ait blok şema Şekil 31'de verilmiştir.



Şekil 31: 3. derece transfer fonksiyonunun gerçekleştirilmesi

3.5 İntegrator bloklarını kullanarak n . Derece Logaritmik Ortam Süzgeci Tasarımı

İntegrator bloklarını kullanarak n . derece süzgeç tasarımında, süzgecin transfer fonksiyonunun derecesi sayısı kadar integrator bloğu, her bloğun çıkışından alınan geri beslemenin toplandığı toplama bloğu ve aynı noktadan elde edilen çıkışların uygun katsayılar ile çarpılarak çıkış akımının oluşturulduğu toplama bloğu kullanılmıştır. İntegrator bloklarından elde edilen çıkışların ölçeklenmesinde kullanılan çarpma blokları ile istenilen karakteristiğe sahip süzgeç fonksiyonu elde edilebilmektedir. Tasviri yapılan n . derece genelleştirilmiş logaritmik ortam süzgeç blok modellemesi Şekil 32'de görülmektedir.



Şekil 32: n . derece genelleştirilmiş logaritmik ortam süzgeç blok modellemesi

Şekil 32'de verilen n . derece genelleştirilmiş logaritmik ortam süzgeç blok modellemesi düşük duyarlılığa ve yüksek kararlılığa sahip KHN süzgeç mimarisinin n . derece süzgeç yapısına genelleştirilmiş halidir. Şekilde görülen çıkış akımlarının ifadeleri aşağıdaki denklemlerde verilmiştir.

$$I_{out1} = I_{in} + \sum_{i=1}^{n+1} I_{outi} \quad (3.28)$$

$$I_{outi} = I_{out(i-1)} \frac{1}{s} \quad (3.29)$$

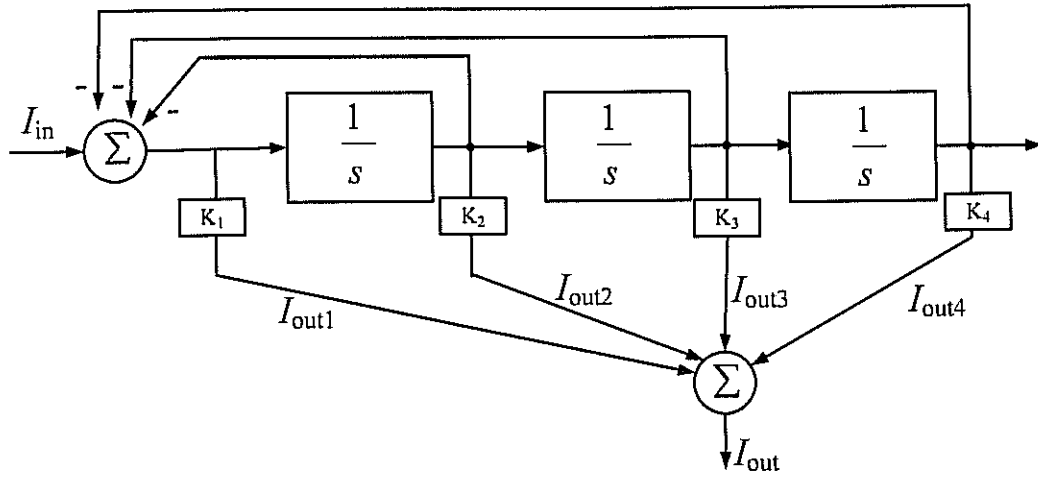
$$\frac{I_{out1}}{I_{in}} = \frac{s^n}{\sum_{i=0}^n s^i} \quad (3.30)$$

Örnek olarak Denklem (3.26)'da görülen transfer fonksiyonunu tekrar ele alalım. Bu transfer fonksiyonunu Denklem (3.31)'deki ve Denklem (3.32)'deki gibi ifade etmek mümkündür.

$$\begin{aligned}
H(s) &= \frac{b_3s^3 + b_2s^2 + b_1s + b_0}{s^3 + a_2s^2 + a_1s + a_0} \\
&= \frac{b_3s^3}{s^3 + a_2s^2 + a_1s + a_0} + \frac{b_2s^2}{s^3 + a_2s^2 + a_1s + a_0} \\
&\quad + \frac{b_1s}{s^3 + a_2s^2 + a_1s + a_0} + \frac{b_0}{s^3 + a_2s^2 + a_1s + a_0}
\end{aligned} \tag{3.31}$$

$$\begin{aligned}
H(s) &= \frac{I_{out}}{I_{in}} = K_1I_{out1} + K_2I_{out1} \frac{1}{s} + K_3I_{out1} \frac{1}{s^2} + K_4I_{out1} \frac{1}{s^3} \\
&= K_1I_{out1} + K_2I_{out2} + K_3I_{out3} \frac{1}{s} + K_4I_{out4} \frac{1}{s}
\end{aligned} \tag{3.32}$$

Örnek devrenin blok modellemesi Şekil 33'de görülmektedir.



Şekil 33: Örnek transfer fonksiyonunun blok modellemesi

3.6 Bölüm Sonu Değerlendirmesi

Bu bölümde durum uzayı sentezinin yanısıra tasarımda kullanılan blok modelleme ile sentez hakkındaki çalışmalarımız özetlenmiştir (Tola, 2009). Blok modelleme hem doğrusal hem de doğrusal olmayan ortamlarda tasarlanmıştır. KHN ve Tow-Thomas devrelerine ait logaritmik ortam süzgeçleri tasarlanmıştır. Blok modelleme ile sentez sayesinde alt blokların yine durum uzayında gerçekleştirilebildiği ancak blok diyagram tabanlı farklı sentez yöntemleri geliştirilmiş

olmaktadır. Bu şekilde hem durum uzayı ile senteze farklı alternatifler geliştirilmiş olmakta, hem de aynı transfer fonksiyonunun farklı topolojilerle sentezi yapılmış olmaktadır. Bu bölümde özetlenen çalışmalar projenin ilgili hedeflerinin tamamen gerçekleştirildiğini göstermektedir. Bu bölümle alakalı bir tanesi indeksli makale olmak üzere toplam 4 adet yayın çıkarılmış, yapılan çalışmalar bilim dünyasına sunulmuştur .

4 Alternatif Devre Elemanlarının Kullanılması

4.1 Giriş

Logaritmik ortam süzgeçlerinin, daha genel ifade ile ELIN (Externally Linear Internally Nonlinear) devrelerin sentezinin diğer devre tasarım yöntemlerinden ayıran en önemli fark durum değişkenlerine ve giriş işaretine uygulanan aktarım fonksiyonudur. Aktarım fonksiyonunun doğrusal olmaması ile işaret doğrusal olmayan ortama girmiş olur. Temelde aktarım fonksiyonu olarak üstel ya da polinomdan oluşan ilişkiler kullanılabilir. Doğrusal olmayan bir polinomun doğrusal ortam ile doğrusal olmayan ortam arasında aktarım işlevini yerine getiren fonksiyon olarak belirlenmesi ile temel elemanı FET'ler olan devre yapıları, üstel fonksiyonun kullanılması ile de BJT elemanlarından oluşan devre yapıları elde edilir. Üstel fonksiyonun farklı seçeneklerinde ya tek olarak transistörün kullanıldığı ya da BJT elemanlarından oluşan birim hücre devrelerinin kullanıldığı (E+, E-, sinh, tanh gibi) devreler elde edilir (Frey, 1996).

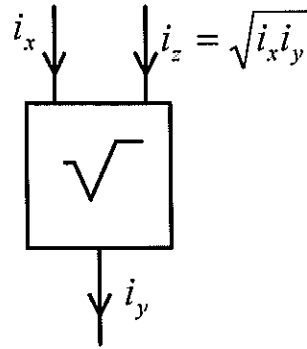
4.2 Karekök Ortam Devreleri

Akım modlu devrelerin son nesil uygulamalarından olan karekök ortamlı devreler, yüksek frekans, düşük güç, düşük besleme gerilimi ve elektronik olarak ayarlanabilmesi sebebiyle bilim dünyasının ilgisini üzerinde toplamıştır. Karekök ortam devrelerinde kullanılan CMOS VLSI teknolojisinin günümüz tümleşik devre üretimine olan uyumu konunun gelişimine ayrı bir ivme vermiştir (Eskiyerli, 1996), (Eskiyerli, 2000), (Kumar, 2003), (Yu, 2000), (Mohammed, 2005), (Yu, 2005), (Menekay, 2006).

Karekök ortam devrelerinde MOSFET'in doyma bölgesindeki doğrusal olmayan I-V uç denklemi kullanıldığından dolayı düğümlerdeki salınım yapan gerilim genlik değeri azalır ve geniş dinamik çalışma aralığı sağlanmış olur (Kumar, 2003). İç düğümler arasında doğrusal olmayan ilişkinin olmasına rağmen tasarlanan devrelerde giriş çıkış arasındaki doğrusallık korunur.

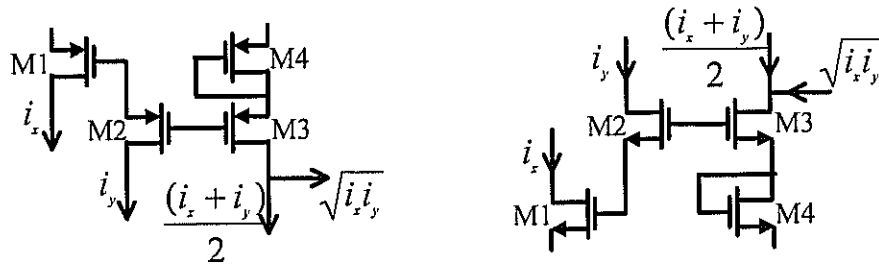
Karekök ortam devreleri translineer devreler ailesinin alt kollarından biridir (Eskiyerli, 2000), (Kumar, 2003), (Yu, 2000). MOSFET'lerden oluşan translineer çevrimin olabilmesinin şartı tüm elemanların doyma bölgesinde kalmasıdır. Kullanılan MOSFET elemanının doyma bölgesindeki basit karesel uç denklemi Denklem (4.1)'de verilmiştir. Denklemde β , transistor geçiş iletkenliği, V_{th} transistorun eşik gerilim değerini belirtmektedir.

$$i_D = \beta(v_{GS} - V_{th})^2 \quad (4.1)$$



Şekil 34: Karekök devresinin blok yapısı

Karekök devresinin genel blok yapısı Şekil 34'de görüldüğü gibidir. Geometrik ortalama devresi olarak da adlandırılan yapı giriş akımlarının çarpımlarının karekökünü almaktadır. Karekök devresinin NMOS ve PMOS transistorlar ile basit içyapısı Şekil 35'de verilmiştir (Eskiyerli, 1996), (Eskiyerli, 2000), (Kumar, 2003), (Yu, 2000).



Şekil 35: (a) PMOS (b) NMOS transistorlar ile yapılmış basit karekök devreleri

Şekildeki karekök devrelerinde akım çekilen transistörler (M1 ve M2) ile aynı akımın geçtiği seri transistörlerin (M3 ve M4) geçiş iletkenliği parametrelerinin arasındaki oran 1:2 seçilirse ve M3 transistörünün üzerinden akan akımdan i_x ve i_y nin aritmetik ortalaması ayrılırsa; i_x ve i_y 'nin geometrik ortalaması elde edilir.

4.2.1 Durum Uzayı Sentez Yöntemi Kullanılarak İkinci Derece Karekök Ortam Süzgecinin Tasarımı

Günümüzde karekök ortamlı devrelerin süzgeç, osilatör gibi uygulamaları mevcuttur. Bu uygulamalarda temel olarak durum uzayı sentez yöntemi esas alınmıştır. Transfer fonksiyonundan elde edilen durum uzayı denklemlerinin gerçekleştirilebilmesi için DC dengelerin sağlanmış olması gereklidir. Literatürde yapılan çalışmalarda genelde DC dengelerin sağlandığı durum uzayı denklemleri seçilmiştir (Eskiyerli, 1996), (Eskiyerli, 2000), (Kumar, 2003), (Yu, 2000), (Mohammed, 2005), (Yu, 2005), (Menekay, 2006). Bir başka ifade ile yapılan çalışmalarda gerçekleştirilebilir durum uzayı denklemleri seçilmiştir. DC dengeleri iyi ayarlanmış bir sistem denkleminde elde edilen devrenin bozulma ve gürültü değerlerinin daha iyi olacağı bilinmektedir. Bu sebepten gerçekleştirilebilen sistemlerin de DC dengelerinin daha iyi ayarlanması ile yüksek başarılı devreler elde etmek mümkündür.

Burada ikinci derece süzgeç, durum uzayı sentez yöntemi kullanılarak karekök alan bloklar yardımıyla tasarlanacaktır. Denklem (4.2)'de tasarlanan iki fonksiyonlu süzgecin durum uzayı denklemleri görülmektedir.

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} -\frac{\omega_o}{Q} & -\omega_o \\ \omega_o & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} k1 \\ k2 \end{bmatrix} u + \begin{bmatrix} g1 \\ g2 \end{bmatrix} u2 \quad (4.2.a)$$

$$y = \begin{bmatrix} 1 & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \quad (4.2.b)$$

Denklemden y çıkış, u giriş, $u2$ DC şartları sağlamak için ilave edilmiş girişi belirtir. $k1$, $k2$ ve $g1$, $g2$ katsayıları, Denklem (4.3) ve Denklem (4.4)'de görüldüğü gibi, süzgecin alçak geçiren ya da band geçiren olmasına göre değişen katsayılardır.

$$k1 = 0, k2 = -\omega_o \Rightarrow H(s) = \frac{\omega_o^2}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2} (u2 = 0) \quad (4.3)$$

$$k1 = \omega_o, k2 = 0 \Rightarrow H(s) = \frac{\omega_o s}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2} (u2 = 0)$$

$$AG \Rightarrow g1 = (1 + \frac{1}{Q})\omega_o, g2 = 0 \quad (4.4)$$

$$BG \Rightarrow g1 = \frac{\omega_o}{Q}, g2 = -\omega_o$$

Denklem (4.2)'deki durum değişkenlerinin ve giriş işaretinin gerilimle eşlenmesi ve denklemin her iki tarafının (Kondansatörün sığası olarak kabul edilen) C sabit katsayısı ile çarpılıp Denklem (4.5)'de görülen kabullerin yapılması ile her denklem bir düğüme ait akım eşitliğine dönüşür. 1 ve 2 numaralı düğümlere ait eşitlikler Denklem (4.6)'da verilmiştir. İlk iki denklemin sol tarafındaki terimler bir ucu topraklanmış kondansatörün akımını ifade eder.

$$v_1 = \sqrt{\frac{i_1}{\beta}} + V_{th}, v_2 = \sqrt{\frac{i_2}{\beta}} + V_{th}, u = \sqrt{\frac{i_u}{\beta}} + V_{th} \quad (4.5)$$

$$u2 = \sqrt{\frac{I_{u2}}{\beta}} + V_{th}, C\omega_o = \sqrt{\beta I_f}, Q = 1$$

$$C\dot{v}_1 = -\sqrt{I_f i_1} - \sqrt{I_f i_2} + b\sqrt{I_f i_u} + d\sqrt{I_f I_{u2}} \quad (4.6)$$

$$C\dot{v}_2 = +\sqrt{I_f i_1} - a\sqrt{I_f i_u} + c\sqrt{I_f I_{u2}}$$

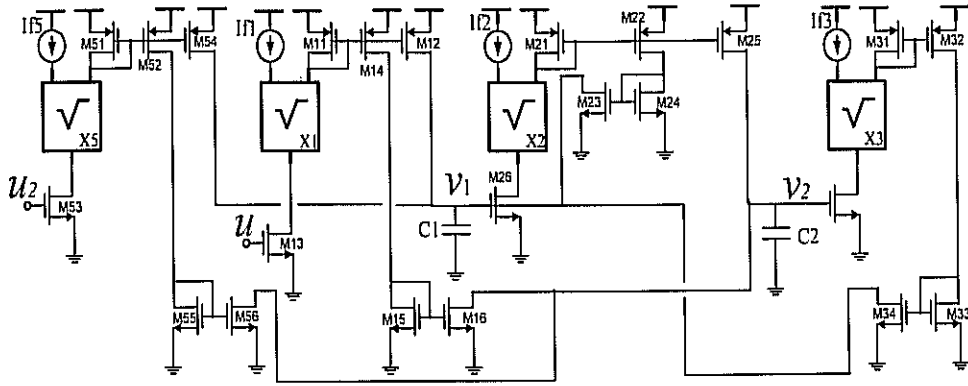
$$y = v_1$$

Bu denklemde a ve b değerlerinin aşağıdaki gibi seçilmesi ile AG veya BG süzgeç devreleri elde edilir.

$$AG \Rightarrow a = 1, b = 0, c = 0, d = 2 \quad (4.7)$$

$$BG \Rightarrow a = 0, b = 1, c = -1, d = 1$$

Denklem (4.6)'da elde edilen eşitlikler karekök alan bloklar, akım kaynakları, akım aynaları ve iki tane kondansatör ile Şekil 36'da görüldüğü gibi gerçekleşir. Denklem (4.6)'da verilen devre denklemlerine uygun olarak alçak geçiren süzgeç için M12 ve M52, M55, M56 transistorları, band geçiren süzgeç için ise M14, M15 ve M16 transistorları yalıtıma alınır. Bu işlem örneğin mikroişlemci destekli bir elektronik düzenek ile sağlanabilir.

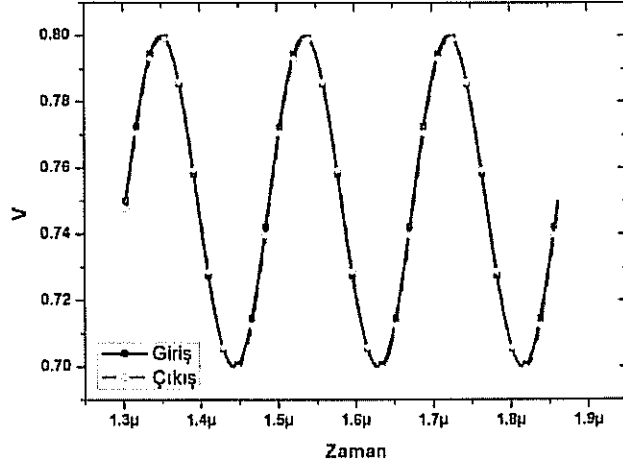


Şekil 36: Elektronik olarak ayarlanabilen çok fonksiyonlu karekök ortam süzgeç devresi

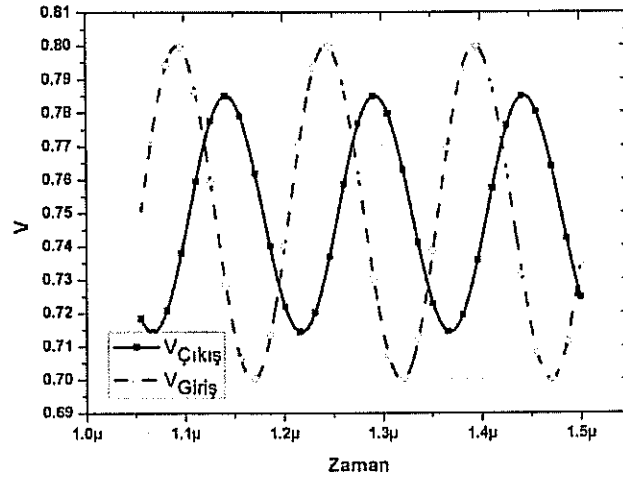
Devrenin girişine 750mV DC değere sahip 10mV ile 200mV arasında farklı genlikli değerler, ilave girişine 750mV DC değer uygulanmıştır. Kondansatörlerin değeri birbirine eşit 5pF olarak belirlenmiştir. Elektronik olarak ayarlamaya imkân tanıyan I_f DC akım kaynaklarının değerleri 1 μ A ile 100 μ A arasında değişen değerler seçilmiştir. Farklı değerler ile zaman ortamı ve frekans ortamı analizleri yapılarak tasarlanan devrenin başarımı geniş yelpazede araştırılmıştır.

Elde edilen süzgeç devresinin benzetimlerinde TSMC 0.35 μ m LEVEL 3 transistor parametreleri kullanılmıştır. Tasarlanan süzgeç devresinin öncelikle zaman ortamında analizleri yapılmıştır. Bu benzetimlerde DC I_f akımı 50 μ A olarak seçilmiştir. Girişe 750 mV öteleme değerine sahip 50mV tepe değerli sinüs işareti uygulanmıştır. Giriş işaretinin frekansları alçak geçiren süzgeç için 6.6334MHz, band geçiren süzgeç için ise de 5.3703 MHz olarak seçilmiştir. Giriş işareti ve çıkış işareti birlikte band geçiren süzgeç için Şekil 37'de, alçak geçiren süzgeç için Şekil 38'de sunulmuştur. Benzetimler band geçiren süzgeç için merkez frekansında, alçak geçiren süzgeç için de -3 dB zayıflamanın olduğu

frekans deęerinde yapılmıřtır. Bu sebepten dolayı band geiren süzge grafięinde giriř iřareti ile ıkıř iřareti aynı fazda ve aynı genliktedir. Alak geiren süzge grafięinde ise genlikte zayıflama ve fazda kayma vardır.

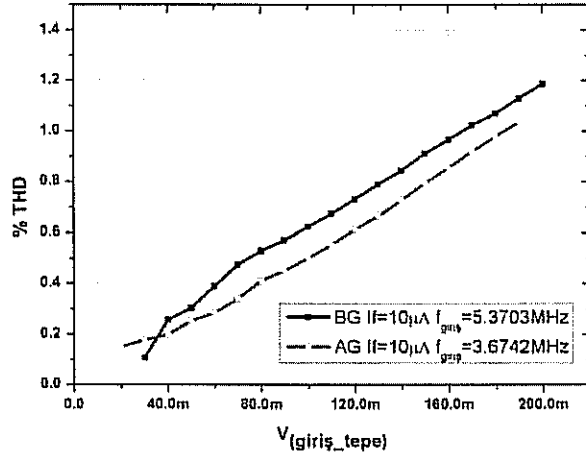


řekil 37: 5.3703 MHz'de band geiren süzgecin giriř-ıkıř iřareti



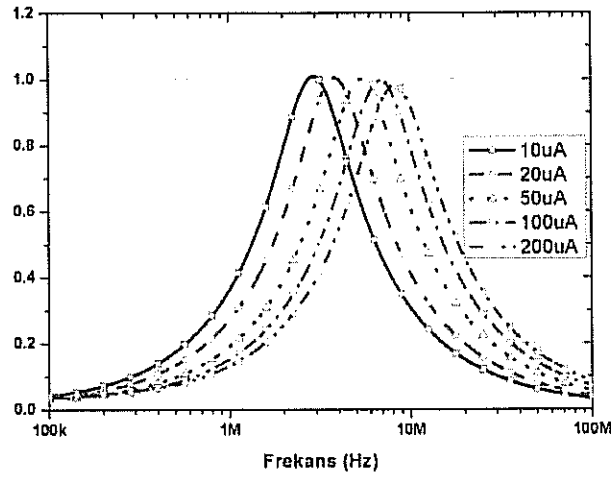
řekil 38: 6.6334MHz'de alak geiren süzgecin giriř-ıkıř iřareti

Zaman ortamı sonuçlarının elde edilmesinden sonra ıkıř iřaretinde oluřan % THD bozulma oranları arařtırılmıřtır. Devrenin giriřine 750mV DC deęerinin üzerine 10mV ile 200mV arasında deęiřen farklı genlik tepe deęerlerinde sinüs iřareti uygulanmıřtır. Alak geiren ve band geiren devreler iin elde edilen % THD bozulma deęerleri grafik olarak řekil 39'da verilmiřtir.

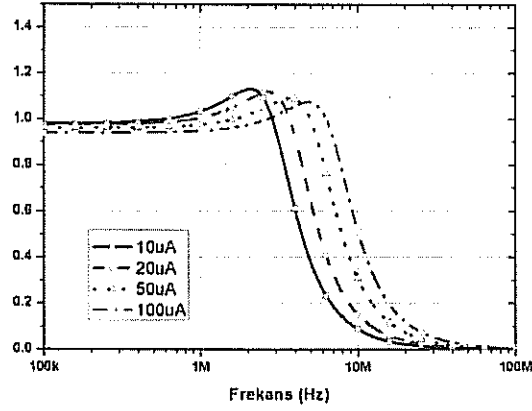


Şekil 39:Alçak geçiren ve band geçiren süzgeçler için farklı giriş tepe değerlerine karşılık % THD değerleri

Denklem (4.5)'de görüldüğü gibi süzgeç devresi elektronik olarak ayarlanabilmektedir. Bu sayede I_f değerini değiştirerek süzgecin kritik frekans değerleri ayarlanabilmektedir. Şekil 40'da band geçiren süzgecin I_f değeri 10 μ A ile 200 μ A arasında değiştirilmesi ile, Şekil 41'de ise alçak geçiren süzgecin 10 μ A ile 100 μ A arasında değiştirilmesi ile elde edilen farklı frekanslardaki giriş çıkış genlik oranları görülmektedir.

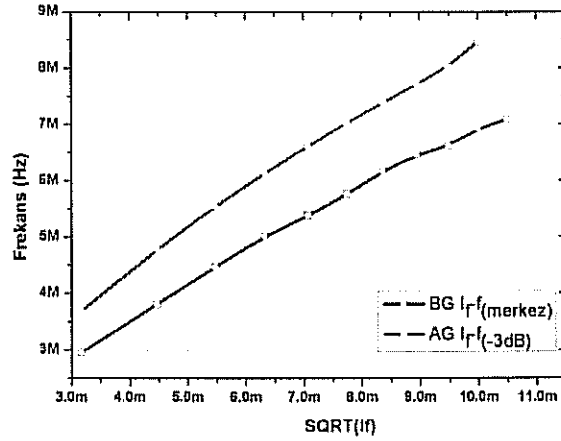


Şekil 40: Band geçiren süzgecin farklı I_f değerlerindeki frekans cevapları



Şekil 41: Alçak geçiren süzgecin farklı I_f değerlerindeki frekans cevapları

Şekil 42’de alçak geçiren ve band geçiren süzgeçler için $\sqrt{I_f}$ – frekans değişimi grafik olarak sunulmuştur. Band geçiren süzgeç için merkez frekans, alçak geçiren süzgeç için ise -3dB zayıflamanın olduğu frekans değeri dikkate alınmıştır.



Şekil 42: Alçak geçiren ve band geçiren süzgecin farklı I_f değerlerindeki frekans değerleri

Süzgeç devresi $I_f=10 \mu A$ akımında band geçiren süzgeç için $153nV / \sqrt{Hz}$, alçak geçiren süzgeç için $86nV / \sqrt{Hz}$ seviyelerinde gürültü ürettiği tespit edilmiştir.

4.3 Bölüm Sonu Değerlendirmesi

Bu bölümde BJT dışındaki elemanlarla ELIN süzgeçlerin tasarımı konusunda yapılan bir çalışmadan örnek sunulmuştur. Projenin öncelikli hedeflerinden birisi olmamakla beraber, alternatif elemanlarla ELIN devreler tasarlayacak bir teori geliştirmek ve tasarım yapmak, ayrıca bu çalışmaları LOGOS yazılımına zaman içerisinde eklemeyi hedeflemiştik. Geliştirilen teori, aktarım fonksiyonun farklı seçimine dolayısı ile BJT dışındaki elemanlarla tasarıma da uygundur. Bu teori yardımıyla aktarım fonksiyonu polinomsal seçilerek, karekök devrelere bir giriş yapılmış, MOSFET'ler kullanılarak ELIN süzgeç tasarlanmıştır (Arslanalp, 2007).

Kabul etmek gerekir ki, bu çalışma karekök devrelerin daha genelleştirilmiş ve yüksek dereceden farklı süzgeç tiplerine yönelik tasarımları için bize bir fikir vermiş, tasarımda karşılaşılan sorunların çözülebilmesi için daha fazla ve detaylı çalışma yapma zorunluluğunun olduğu görülmüştür. Projenin öncelikli hedeflerine yönelik çalışıldığı için bu konu daha fazla irdelenememiştir.

Bu konu hakkında yapılan çalışmalardan bir adet ulusal bildiri yayını elde edilmiştir.

5 İdeal Olmayan Özellikler

5.1 Giriş

BJT elemanın doğal üstel akım gerilim ilişkisi logaritmik ortam süzgeçlerinin temel yapısını oluşturmaktadır. Logaritmik ortam süzgeç devreleri BJT elemanın büyük işaret modeli kullanılarak tasarlandığı için devre içerisindeki akım gerilim ilişkisi doğrusal olmayan üstel denklemler ile ifade edilmektedir. Doğrusallaşma için ilave devre elemanına ihtiyaç duyulmayan bu tasarım yönteminde teorik olarak devre dinamik giriş aralığı yüksek olmaktadır.

Üstel akım gerilim ilişkisinin bir sonucu olarak akım değerinin değişimi gerilim ve sıcaklık değerinin değişimine aşırı duyarlıdır. BJT elemanın baz emiter gerilimindeki ve/veya ortam sıcaklığındaki değişim akım değerini değiştirmekte dolayısıyla çıkış işaretinde bozulmalar gözlemlenmektedir.

BJT elemanın bir diğer önemli eksik olarak kabul edilen özelliği ise baz akımının sıfırdan farklı olmasıdır. BJT elemanın büyük işaret eşdeğer modelinden de anlaşılacağı gibi, BJT elemanı aslında gerilim kontrollü doğrusal olmayan akım kaynağı olarak kullanılmaktadır. Ancak gerilim kontrolünün yapıldığı uçlar arasındaki empedansın sonsuzdan farklı olması bu uçlar arasında bir akım akışı olduğu anlamına gelmektedir. Bunun sonucu olarak da kollektör akımı ile emiter akımı arasında baz akımı kadar bir fark oluşmaktadır. Başka bir ifade ile ileri yön akım kazancının (β) sonlu olması bir hatanın oluşmasına yol açmaktadır.

İleri yön akım kazancının teoride varsayıldığı gibi sonsuz olmamasının yanısıra, emiter direncinin sıfır olmaması, akım-gerilim ilişkisinin tam üstel olmaması, transistörlerin varsayıldığı gibi eş olmaması, örneğin eşdeğer sızıntı akımına sahip olmamaları gibi ideal olmayan özellikleri bulunmaktadır. Bütün bu ideal olmayan karakteristikler, süzgeç performansını gürültü ve/veya bozulma olarak etkilemektedir. Yapılan benzetimlerde, aslında bu ideal olmayan özelliklerin belli koşullar altında, örneğin belirli frekans aralıklarında, kabul edilebilir sınırlar içerisinde ideal beklenen sonuçlara yakın olduğu gözlemlenmiştir. İdeal

olmayan özelliklerin etkileri modellenerek, bu etkinin devreye harici bir giriş gibi etki yaptığı varsayımı ile geliştirilen teori esas alınarak (Tola, 2000a) ideal olmayan özellikler araştırılmıştır.

İdeal olmayan özelliklerin etkilerinin araştırılmasının varması gereken sonucu, bu etkilerin azaltılmasına yönelik neler yapılabileceğinin araştırılmasıdır. Bu konuda bir sonraki kısımda Darlington transistörler kullanılarak baz akımının sıfır olmaması durumu kompanze edilmeye çalışılmıştır.

Logaritmik ortam süzgeçlerinde ideal kabul edilen bir başka eleman ise akım kaynağıdır. Araştırmalarımızda ve benzetimlerimizde, literatürdeki yayınlarda görüleceği gibi hemen hemen tüm araştırmacıların benimsediği gibi, ideal akım kaynakları kullanılmıştır. Tabii ki, bu akım kaynaklarının entegre üretim sırasında transistör ve diğer elemanlar kullanılarak tasarlanması gerekmektedir. Bu konuda da proje çalışmaları içerisinde değişik girişimlerimiz olmuş olup, proje ekibinin gözetiminde Pamukkale Üniversitesi Elektrik-Elektronik Mühendisliği Lisans tezi kapsamında bir öğrenciye akım kaynaklarının tasarımı hakkında çalışmalar yaptırılmıştır. Bu çalışmaların kısa bir özeti de bu bölümde sunulmuştur.

5.2 Darlington Bağlama Yöntemi ile İleri Yön Akım Kazancının Artırılması

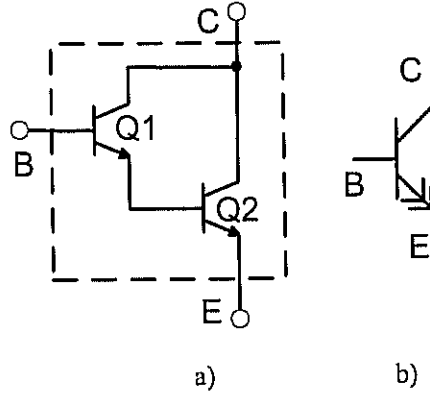
Logaritmik ortam süzgeçleri tasarlanırken kolaylık sağlanması için transistörlerin ileri yön akım kazançları sonsuz kabul edilmekte, diğer bir ifade ile transistörlerin baz akımları sıfır kabul edilmektedir. Bu kabulün süzgeçlerin genel karakteristiklerini çok etkilemediği ancak iletim bandı kayıpları gibi idealden bazı uzaklaşmaların olduğu tespit edilmiştir.

Logaritmik ortam süzgeçlerinde sentez yapılırken ileri yön akım kazancı β 'nin sonsuz kabul edilmesinden kaynaklanan ideal karakteristikten uzaklaşmaları azaltacak Darlington bağlantılı birim hücre önerilmiştir.

β 'nin olası değerinin birkaç yüz civarında değiştiği bilinmektedir. Bu büyüklüğü tasarım esnasında sonsuz olarak kabul etmenin nasıl bir etki oluşturacağını tahmin etmek çok kolay

değildir. Ancak yapılan çalışmalarda bu kabulün devrenin çalışmasına çok fazla etkisinin olmadığı, sadece iletim bandı kazancında bir miktar düşmeye sebep olduğu bulunmuştur. Burada, β 'nın sonlu değerinden kaynaklanan sorun yüksek β 'lı, Darlington yapı esaslı birim hücre yapısının kullanılması ile aşılmaya çalışılacaktır.

Şekil 43'de Darlington elemanın bağlantısı ve sembolü görülmektedir. Tek BJT'de baz akımı β ile ters orantılı iken Darlington yapıda β^2 ile ters orantılıdır.



Şekil 43: a)Yüksek β 'lı Darlington bağlantı b) Sembolü

5.2.1 Örnek: Darlington Bağlama Yöntemi Kullanılarak 3. Derece Eliptik Yaklaşımına Sahip Logaritmik Ortam Süzgecinin Tasarımı

Örnek olarak önerilen hücre 3. derece eliptik yaklaşımına sahip logaritmik ortam süzgecinde uygulanmış, sonuçlar tek BJT'nin kullanıldığı devreler ile karşılaştırılmıştır. Her iki devre için zaman ortamı ve frekans ortamı benzetimleri yapılmış, devrelerin gürültü ve toplam bozulma oranlarının belirlenmesi ile birbirine göre olan üstünlük ve eksiklikleri belirlenmiştir. Tasarlanan süzgece ait transfer fonksiyonu ve bu fonksiyonun AB sınıfı gerçeklemeye uygun L tarafı için durum uzayı karşılığı sırasıyla Denklem (5.1)'de ve Denklem (5.2)'de görülmektedir. Daha sonra bazı matematik işlemleri ile devre denklemleri elde edilir. L tarafı için devre denklemleri Denklem (5.3)'de verilmiştir.

$$H(s) = \frac{k(s^2 + a)}{(s + b)(s^2 + cs + d)} \quad a, b, c, d, k > 0 \quad (5.1)$$

$$\begin{aligned} \begin{bmatrix} \dot{x}_{1L} \\ \dot{x}_{2L} \\ \dot{x}_{3L} \end{bmatrix} &= \begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 1 \\ 0 & 0 & -m \end{bmatrix} \begin{bmatrix} x_{1L} \\ x_{2L} \\ x_{3L} \end{bmatrix} + \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ p & n & 0 \end{bmatrix} \begin{bmatrix} x_{1R} \\ x_{2R} \\ x_{3R} \end{bmatrix} + \begin{bmatrix} k \\ 0 \\ t \end{bmatrix} u_L \\ &+ \begin{bmatrix} 0 \\ mk \\ 0 \end{bmatrix} u_R - \begin{bmatrix} f_1 & 0 & 0 \\ 0 & f_2 & 0 \\ 0 & 0 & f_3 \end{bmatrix} \begin{bmatrix} x_{1L} x_{1R} \\ x_{2L} x_{2R} \\ x_{3L} x_{3R} \end{bmatrix} \end{aligned} \quad (5.2.a)$$

$$y_L = x_{1L} \quad (5.2.b)$$

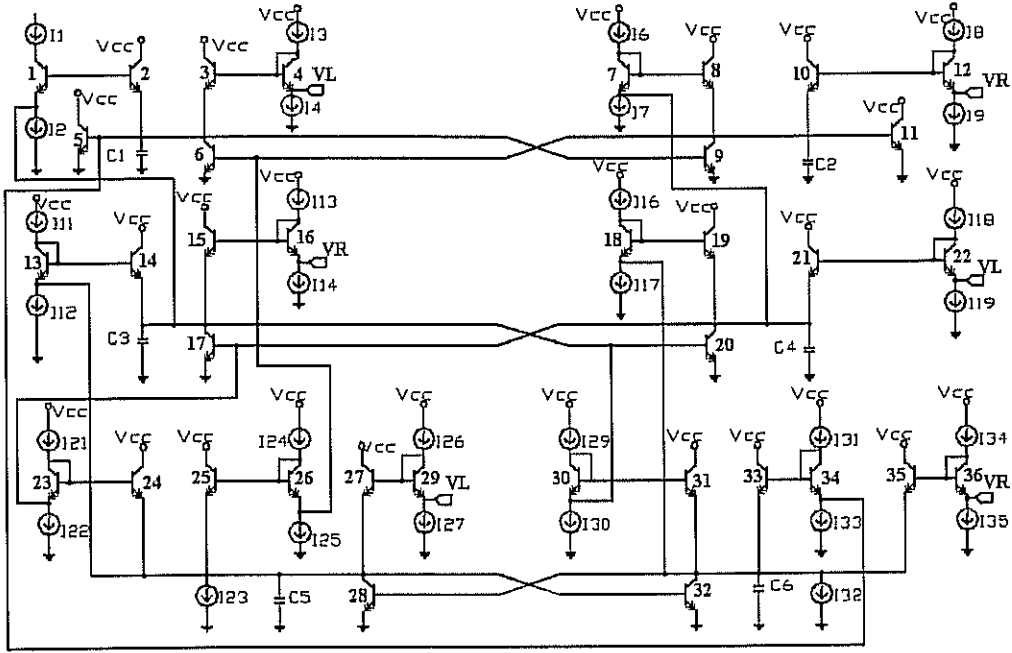
$$C_1 \dot{v}_{1L} = I_g e^{\frac{(v_{2L} + V_{fp12} - v_{1L})}{2V_i}} + I_g e^{\frac{(v_{oL} + V_{fp1} - v_{1L})}{2V_i}} - I_g e^{\frac{v_{1R}}{2V_i}} \quad (5.3.a)$$

$$C_2 \dot{v}_{2L} = I_g e^{\frac{(v_{3L} + V_{fp21} - v_{2L})}{2V_i}} + I_g e^{\frac{(v_{1R} + V_{fp2} - v_{2L})}{2V_i}} - I_g e^{\frac{v_{2R}}{2V_i}} \quad (5.3.b)$$

$$C_3 \dot{v}_{3L} = -I_{fp33} + I_g e^{\frac{(v_{1R} + V_{fp31} - v_{3L})}{2V_i}} + I_g e^{\frac{(v_{2R} + V_{fp32} - v_{3L})}{2V_i}} + I_g e^{\frac{(v_{oL} + V_{fp3} - v_{3L})}{2V_i}} - I_g e^{\frac{v_{3R}}{2V_i}} \quad (5.3.c)$$

$$y_L = I_g e^{\frac{v_{1L}}{2V_i}} \quad (5.3.d)$$

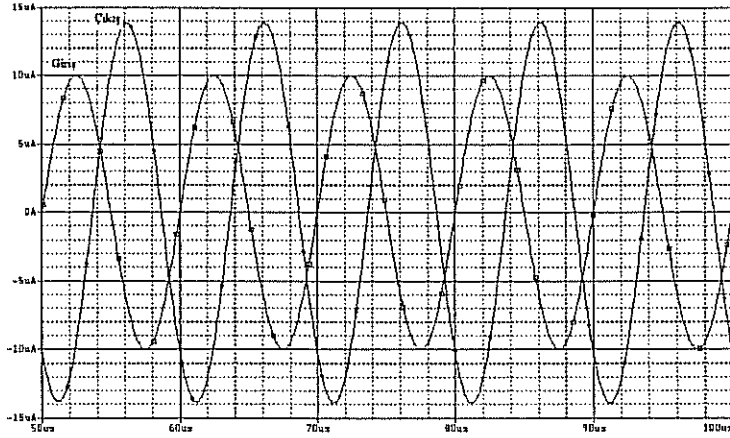
Devre Denklemi (5.3.a), (5.3.b) ve (5.3.c)'de sol tarafındaki ifadeler C sığalı bir ucu topraklanmış kondansatörün akımını, sağ tarafındaki üstel çarpanı olmayan sabit ifadeler akım kaynaklarını, diğer e tabanlı üstel ifadeler ise I_g sızıntı akımına ve belirtilen B-E arası gerilime sahip olan Darlington hücrenin akımını vermektedir. Denklem (5.3.d)'de de durum değişkenlerine bağlı çıkış işaretinin ifadesi görülmektedir. Şekil 43'de görülen Darlington birim hücre kullanılarak devre denklemlerinin tasarımı yapılır. Tasarlanan devre Şekil 44'de görülmektedir.



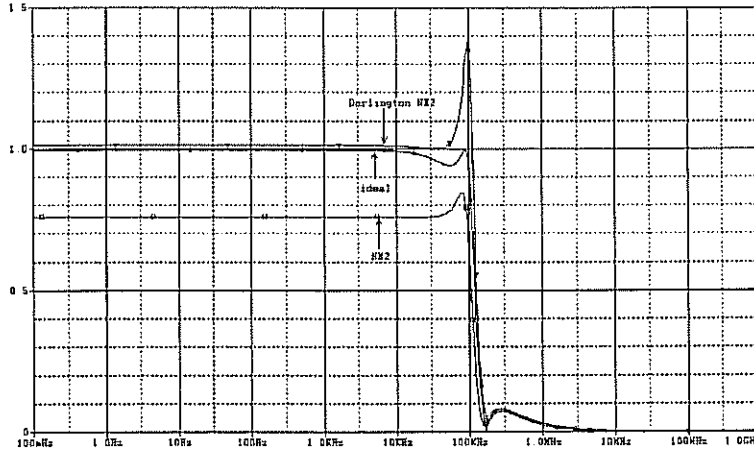
Şekil 44: Üçüncü dereceden logaritmik ortam eliptik süzgeç devresi

Tasarlanan devre PSpice benzetim programında analiz edilmiştir. Öncelikle tasarlanan yüksek β 'lı blok yapılardan oluşan logaritmik ortam süzgecin zaman ortamındaki sonuçları incelenmiştir. İletim bandı köşe frekansındaki, (teorik olarak 100 kHz olan), giriş kaynağı ile sürülen devrenin zaman ortamındaki giriş-çıkış işaretleri Şekil 45'de görülmektedir. Dikkat edileceği gibi çıkış işareti giriş işaretinden daha büyüktür. Bunun sebebi eliptik süzgecin bu frekansındaki kazancının yüksek olmasındandır. Bu durum ayrıntılı olarak frekans ortamı incelemesinde görülmektedir.

En fazla hatanın olması beklenen frekansta zaman ortamı verilerinin genlik artmasının dışında tatmin edici olmasından sonra 10 dekatlık gibi geniş bir frekans aralığında devrenin nasıl bir cevap vereceği araştırılmıştır. Kontrol verisi olarak birim elemanı ideal transistör (varsayılan transistör ancak $BF=10000$) ve birim elemanı CBIC-R transistörü olan devre yapıları kullanılmıştır. Birinci kontrol verisi tasarlanan içerisinde CBIC-R transistörlerinin kullanıldığı Darlington yapılı devrenin ideal çıkış ile karşılaştırmasında, ikinci kontrol verisi ise yüksek β 'lı hücrenin ne gibi olumlu ve olumsuz farklılık getirdiğinin anlaşılmasında kullanılmıştır. Elde edilen frekans ortamı yanıtının grafiği Şekil 46'da görülmektedir.



Şekil 45: 100 kHz giriş için giriş-çıkış grafiği



Şekil 46: Frekans ortamı yanıtı

Çıkış işaretinin toplam harmonik bozulmasının tespiti için analiz yapılmış, bunun için girişteki akım ayırıcı devrenin DC kutuplama akımının 1, 2, 4 ve 8 katı büyüklüğünde girişe sinusoidal işaret uygulanmış ve çıkış THD'si Tablo 3'de verildiği gibi tespit edilmiştir.

Yapılan analizler sonucunda 10 mA genlikli sinüs işaretinin giriş işareti olarak uygulandığı devrenin gürültü grafiğinin alçak geçiren eliptik süzgeç karakteristiğinde olduğu görülmüştür. İletim bandı gürültü miktarının CBIC-R transistörünün kullanıldığı devrede $128.919 \text{ pA}/\sqrt{\text{Hz}}$, Darlington hücrenin kullanıldığı devrede ise $137.142 \text{ pA}/\sqrt{\text{Hz}}$ olduğu tespit edilmiştir.

Tablo 3: Çıkış akımı % THD oranları

| Giriş Akımı | % THD | |
|-------------|-------|------------|
| | BJT | Darlington |
| 5 μ A | 0.074 | 0.085 |
| 10 μ A | 0.104 | 0.106 |
| 20 μ A | 0.170 | 0.139 |
| 40 μ A | 1.140 | 0.238 |

5.3 İdeal Olmayan Karakteristikler

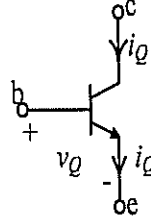
Tüm elektronik devrelerin tasarımında olduğu gibi logaritmik ortam süzgeçlerinde de arzu edilmeyen bozulma oranları ve bozulma nedenleri en önemli sorunların başında yer almaktadır. Bir çok araştırmacı farklı yöntemler kullanarak bu sorunun nedenlerini araştırmışlar ve çözüm yöntemleri geliştirmeye çalışmışlardır.

5.3.1 Sonlu İleri Yön Akım Kazancının Modellenmesi

BJT transistörün ideal olmayan etkilerinden bir tanesi olan ileri yön akım kazancının sonsuz olmaması ideal çıkış karakteristiğinden önemli uzaklaşmalara sebep olduğu yapılan çalışmalarda gösterilmiştir. Bu projenin hedefleri arasında olan ideal olmayan etkilerin incelenmesi kapsamında ileri yön akım kazancının sonsuz olmaması etkisi teorik olarak incelenmiş ve bu etki geliştirilen bir model ile modellenmiştir.

Daha önceki bölümlerde de görüldüğü gibi logaritmik ortam süzgeçleri temelde doğrusal olmayan bloklardan oluşmaktadır. Bu bloklardan genel çalışma performansına en fazla etki edeni üstel gerilim akım çeviricilerden çekirdek filtre transistördür.

Logaritmik ortam süzgeçlerinin tasarımıda BJT elemanın ileri yön akım kazancının sonsuz olduğu kabul edilir. Bunun anlamı baz akımının sıfır olduğudur. İdeal bir transistor Şekil 47'deki gibi gösterilir ve takip eden denklemlerdeki gibi tanımlanır.



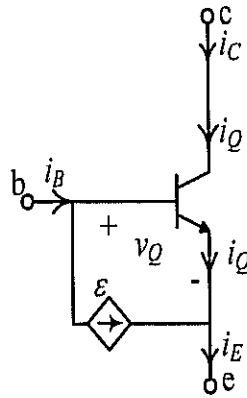
Şekil 47: İdeal NPN transistor

$$i_B = 0 \quad (5.4.a)$$

$$i_C = i_E = i_Q = I_S e^{\frac{v_Q}{V_T}} \quad (5.4.b)$$

$$v_{BE} = v_Q \quad (5.4.c)$$

Şimdi ise BJT elemanın sonlu ileri yön akım kazancının olduğunu düşünelim ve bunu ideal BJT elemanı ve bağımlı akım kaynakları ile modelleyelim. İdeal olmayan BJT elemanının baz akımı emiter akımı ile kollektör akımı arasında bir farkın oluşmasına sebep olacaktır. Bu fark akımı Şekil 48'deki gibi ifade edilmiştir.



Şekil 48: İleri yön akım kazancı sonlu BJT elemanının modeli

$$i_E = i_C + i_B = \left(1 + \frac{1}{\beta}\right) I_S e^{\frac{v_{BE}}{V_T}} \quad (5.5.a)$$

$$i_E = I_S e^{\frac{v_Q}{V_T}} + \frac{1}{\beta} I_S e^{\frac{v_Q}{V_T}} \quad (5.5.b)$$

$$i_E = i_Q + \varepsilon \quad (5.5.c)$$

Burada $\varepsilon = \frac{1}{\beta} i_Q$ dir.

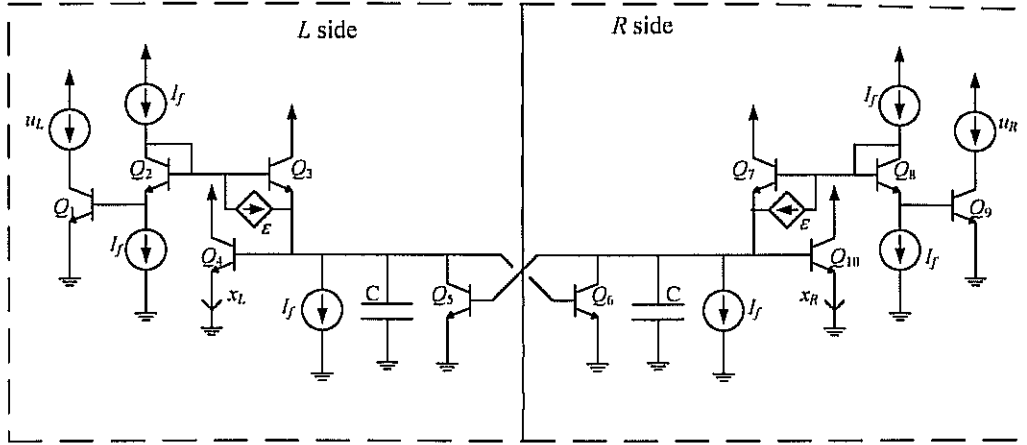
5.3.2 Örnek: Geliştirilen Modelin Birinci Dereceden AB Sınıfı Alçak Geçiren Süzgeç Devresine Uygulanması

Birinci derece alçak geçiren süzgece ait transfer fonksiyonu Denklem (5.6)'da, bu transfer fonksiyonuna ait durum uzayı gösterimleri Denklem (5.7)'de verilmiştir.

$$H(s) = \frac{Y}{U} = \frac{\omega_0}{s + \omega_0} \quad (5.6)$$

$$\begin{aligned} \dot{x}_L &= -\omega_0 x_L + \omega_0 u_L - f x_L x_R \\ y_L &= x_L \end{aligned} \quad (5.7)$$

Bu durum uzayı denkleminin önceki bölümlerde anlatılan sentez yöntemleri kullanılarak sentezi ve ardından elde edilen süzgeç devresinde çekirdek süzgeç transistörü yerine geliştirilen modelin yerleştirilmesi ile elde edilen devre Şekil 49'da verilmiştir.



Şekil 49: Birinci derece alçak geçiren süzgeç devresinde Q_3 and Q_7 transistorlerinin baz akımlarının sonlu olması durumunun modellenmesi

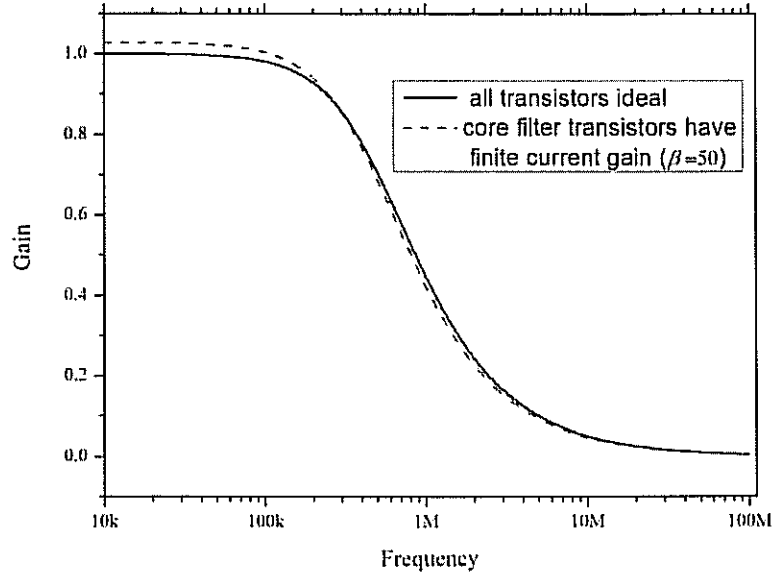
Elde edilen devrenin durum uzayı denklemlerinin tekrar elde edilmesi ile ve orjinal denklemlerden farkının belirlenmesi ile Q_3 and Q_7 transistorlerinin baz akımlarının sonlu olması durumunun etkileri matematik olarak gösterilmiş olur. Elde edilen durum uzayı denklemleri aşağıda verilmiştir.

$$\dot{x} = -\omega_0 x + \omega_0 u + \omega_0 u_d \quad (5.8)$$

$$u_d = \left(\frac{1}{\beta} - \frac{I_f}{x_L \beta} \right) u_L + \left(\frac{I_f}{x_L^2 \beta^2} - \frac{1}{x_L \beta} \right) u_L^2 \quad (5.9)$$

Görüldüğü gibi u_d terimi orjinal durum uzayı gösteriminde yer almamaktadır. Bu terim, iki çekirdek süzgeç transistorunun ileri yön akım kazancının sonlu olmasından kaynaklanan bozucu etki olarak denkleme ilave olmuştur.

Yapılan teorik çalışmaya ilave olarak bozucu etki olarak bulunan bu terimin süzgecin genel performansına ne kadar etkide bulunacağı araştırılmıştır. Bu bağlamda tüm transistorlerin ideal olduğu durum ile sadece çekirdek süzgeçlerin sonlu ileri yön akım kazancına sahip olduğu iki durumun benzetimleri yapılarak karşılaştırılmıştır. Elde edilen frekans ortamı sonucu Şekil 50'de verilmiştir.



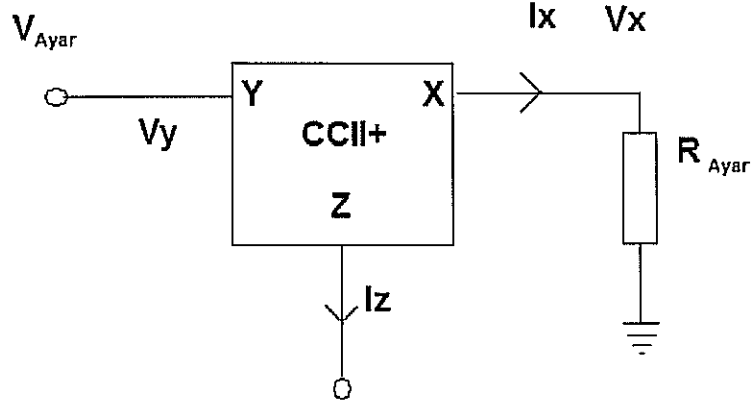
Şekil 50: Frekans ortamında her iki durumun karşılaştırılması

5.4 Deneysel Çalışmalar

Logaritmik ortam süzgeçlerinde yapılan teorik çalışmaların yanı sıra deneysel çalışmalar da yapılarak elde edilen teorik ve benzetim sonuçlarının doğruluğu sağlanmıştır (Tola, 2004), (Tola, 2005d), (Tola, 2007c), (Yıldırım, 2009).

Logaritmik ortam süzgeçlerinde girişin ve çıkışın akım olması, DC akım kaynakları ile kesim frekansının kontrol edilmesi sebebiyle logaritmik ortam süzgeçleri akım modlu devreler olarak kabul edilmektedir. Logaritmik ortam süzgeçlerinin gerçekleştirilmesindeki önemli sorunlardan bir tanesi de elimizde doğrudan bulunmayan akım kaynaklarının gerçekleştirilmesidir. Bu sorunun çözümü olarak akım kaynakları ikinci nesil akım taşıyıcı elemanları kullanılarak modellenmiştir. Bilindiği gibi ideal bir akım kaynağı uçlarındaki gerilimden bağımsız olarak ayarlanan akımı akıtılabilmektedir. İdeal akım kaynakları hangi ucunun düğüme bağlı bulunduğuna göre akım çeken ve akım basan olarak ikiye ayrılmaktadır. İkinci nesil akım taşıyıcının uç denklemleri kullanılarak her iki akım kaynağının elde edilmesi mümkündür. Ayrıca akım taşıyıcının gerilim ile kontrol edilmesi ile

ayarlanabilir akımın elde edilebiliyor olması ayrıca tasarıma fayda sağlamaktadır. Şekil 51’de akım kaynağı olarak kullanılan ikinci nesil taşıyıcı modellenmiştir.



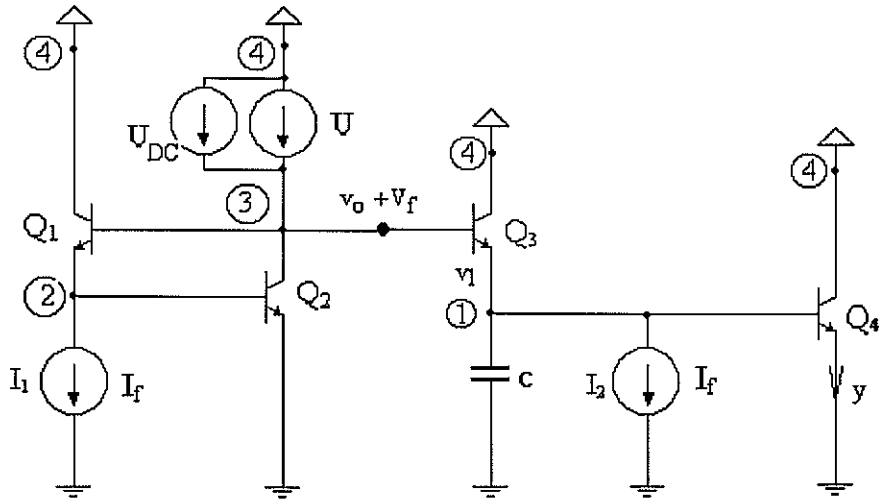
Şekil 51: Akım kaynağının CCII+ ile modellenmiş hali

Burada CCII+ ile akım kaynağı tasarımında Z ucu çıkışındaki akım ile X ucu çıkışındaki akımın birbirinin aynı olması özelliğinden faydalanarak bir akım kaynağı tasarlanmıştır. Ayrıca X ucu gerilimi ile Y ucu geriliminin de aynı olması ile akımın değerini gerilim değişimi ile ayarlayabilmekteyiz.

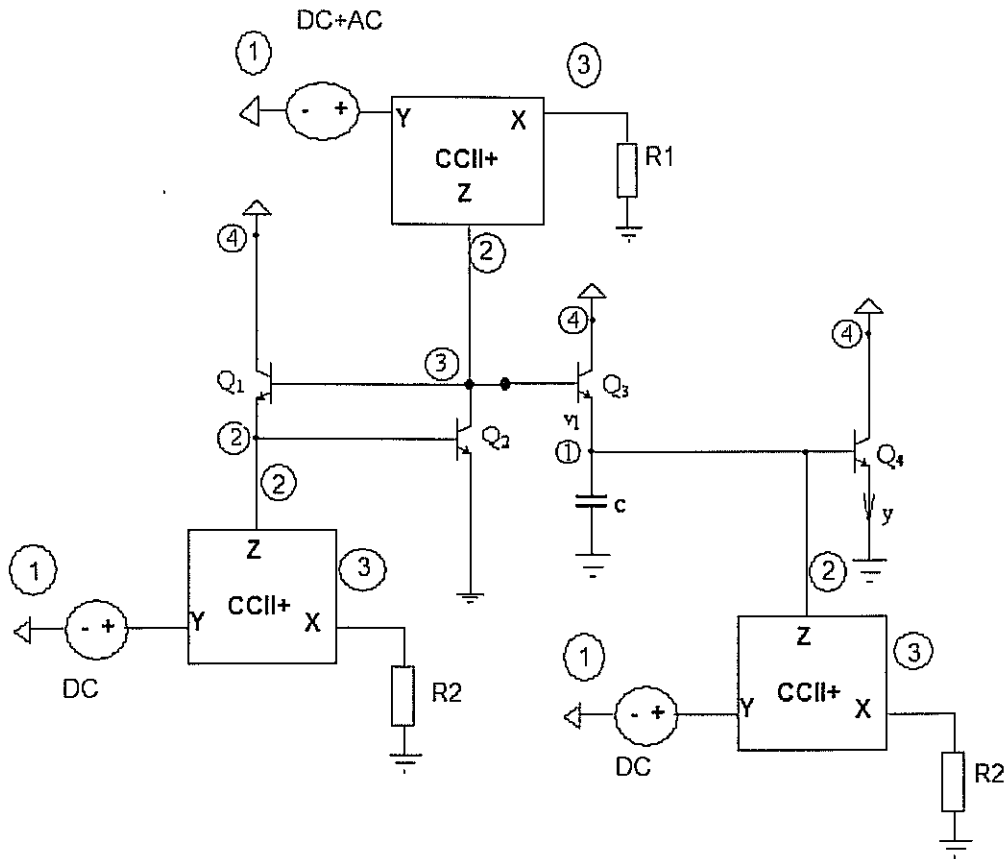
5.4.1 Örnek: Akım Kaynağı Modelin Birinci Dereceden A Sınıfı Alçak Geçiren Süzgeç Devresine Uygulanması

Transfer fonksiyonu Denklem (5.10)’da verilen birinci dereceden A sınıfı alçak geçiren süzgeç devresini ele alalım. Yukarıdaki bölümlerde anlatılan sentez yöntemleri ile bu transfer fonksiyonunun gerçekleşmesi ile Şekil 52’de görülen A sınıfı logaritmik ortam süzgeç devresi elde edilir. Akım kaynaklarının Şekil 51’de görülen devre ile modellenmesi ile Şekil 53’de görülen laboratuvar ortamında gerçekleştirilebilir logaritmik ortam süzgeç devresi elde edilmiş olur. Bu devrenin board üzerine kurulmuş hali Şekil 54’de verilmiştir.

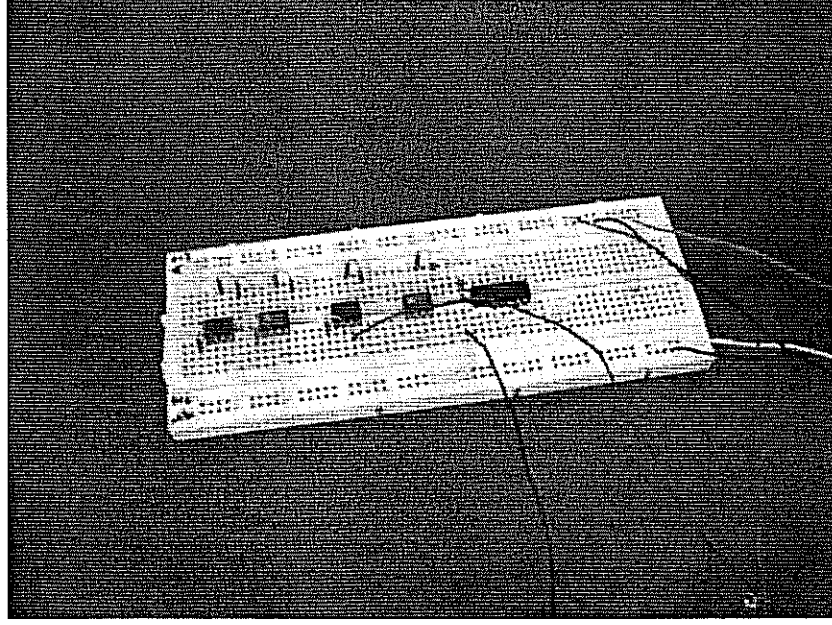
$$H(s) = \frac{\omega_o}{s + \omega_o} \quad (5.10)$$



Şekil 52: Birinci dereceden alçak geçiren logaritmik ortam süzgeç devresi



Şekil 53. Devrenin laboratuvar çalışmalarına uygunlaştırılmış hali



Şekil 54: Board üzerine kurulan logaritmik ortam süzgeç devresinden bir görüntü

Board üzerine kurulan devrenin laboratuvarında çalıştırılması sonucu, değişik frekanslarda çıkış akımı gözlemlenmiştir. Bu akımın tepe değeri, DC bileşenden çıkarılarak AC bileşeni bulunmuştur. Elde edilen sonuçlar, Tablo 4'de PSpice'dan elde edilen sonuçlar ile karşılaştırılmıştır.


Tablo 4: Değişik frekanslardaki çıkış / giriş oranı

| Çıkış akımın giriş akımına oranı | | |
|----------------------------------|------------------------------|--|
| Frekans (Hz) | PSpice'dan elde edilen sonuç | Laboratuar uygulamasından alınan sonuç |
| 1K | 42.57m | 29.25m |
| 5K | 42.57m | 29.25m |
| 10K | 42.57m | 29.25m |
| 20K | 40m | 29.19m |
| 50K | 37.5m | 28.9m |
| 100K | 34m | 27.967m |
| 200K | 30.98m | 25m |
| 400K | 22.5m | 18.48m |
| 500K | 17.09m | 15.97m |
| 600K | 14.23m | 13.955m |
| 700K | 11.2m | 12.320m |
| 800K | 9.85m | 11m |
| 900K | 8.65m | 9.910m |
| 1M | 7.478m | 9.05m |

5.5 Bölüm Sonu Değerlendirmeler

Bu bölümde transistorlerin ideal olmayan özellikleri hakkında çalışılmıştır. Öncelikle ileri yön akım kazancının etkilerini azaltmak amacıyla Darlington yapısı kullanılarak bir tasarım gerçekleştirilmiştir. Transistorlerin ideal olmayan karakteristiklerinin ideal transistorler ve bağımlı kaynaklar ile modellenebileceği gösterilmiştir. Son olarak devrede kullanılan akım kaynaklarının gerçek elemanlar ile sentezinin yapılabilmesine ilişkin çalışılmış ve bu konuda geliştirilen akım kaynağı laboratuvar ortamında test edilmiştir.

Projenin diğer konularına ağırlık verildiğinden dolayı bu konudaki çalışmalar hedeflendiği kadarıyla yapılamamış bununla birlikte yapılan çalışmalardan bir adet uluslararası bildiri (Arslanalp, 2008) yayımlanmıştır. İdeal olmayan karakteristiklerin etkileri hakkında bir adet yüksek lisans tez çalışması sürdürülmektedir. Bu çalışmanın projenin bu konudaki eksik kalan kısmını tamamlayacağı inancını taşımaktayız.

|  AEU | |
|--|--|
| International Journal of Electronics and Communications | |
| Contents | |
| Laudatio Laudatio 'Zem Geburtstag' Ralf Lehnert G. Felber 523 | A bandwidth-efficient method for cancellation of ISI in OFDM systems A. Kumar, R. Pandey 569 |
| Laudatio Professor Werner Rosenkranz on the occasion of his 60th birthday B. Schnauss, H. Haunstein 544 | Convergence analysis of a continuous-time nonlinear LMS-type algorithm using stochastic calculus T.K. Rawat, H. Parthasarathy 576 |
| Papers Dedicated to Professor Rosenkranz Electrical and optical equalization strategies in direct detected high-speed transmission systems H. Dolin, C. Xia 526 | Uplink-downlink duality with regard to constraints imposed in practice C. Siegl, R.F.H. Fischer 584 |
| Equivalent baseband channels of systems using envelope detection H. Paul, K.-D. Kamezayer 533 | Simplified soft value extraction for M-PPM- modulated signals in FSO systems T. Javvimb, J. Jeyarajan, S. Sheshu Natarajam, G. Kandy 595 |
| An algorithm for global optimization of optical communication systems L.D. Coebo, G. Gaeta, H. Hanil 541 | Current mode high-frequency KHN filter employing differential class AB log domain integrator A.T. Tula, R. Arslanovic, S. Suray Yilmaz 609 |
| Regular Papers Optimal power allocation for the proposed asymmetric turbo code for 3G systems K. Ramasamy, B. Balaramallitha, M.D. Sakthi 551 | Half-symbol-rate-carrier PSK modulation for bandwidth-efficient high-speed data communications H. Yoo, J. Chen, Y.-h. Lee, J. Liu 609 |
| A new method to compute the spreading resistance by Tikhonov regularization H. Idemen, A. Akkumru 562 | Current-mode multiphase sinusoidal oscillator using CDTA-based allpass sections Y. Tangirala, W. Tanjajoen, T. Paktalanon 610 |
| • www.elsevier.com | |
| ISSN 1434-8411 Int. J. Electron. Commun. (AEU) 63(2009)2 - pp. 523-622 | 7/2009 Volume 63 |

This article appeared in a journal published by Elsevier. The attached copy is furnished to the author for internal non-commercial research and education use, including for instruction at the authors institution and sharing with colleagues.

Other uses, including reproduction and distribution, or selling or licensing copies, or posting to personal, institutional or third party websites are prohibited.

In most cases authors are permitted to post their version of the article (e.g. in Word or Tex form) to their personal website or institutional repository. Authors requiring further information regarding Elsevier's archiving and manuscript policies are encouraged to visit:

<http://www.elsevier.com/copyright>



Current mode high-frequency KHN filter employing differential class AB log domain integrator

Abdullah T. Tola^{a,*}, Remzi Arslanalp^a, Saziye Surav Yilmaz^b

^aDepartment of Electrical–Electronics Engineering, Faculty of Engineering, Pamukkale University, 20070 Kinikli, Denizli, Turkey

^bDepartment of Electronics and Computers Education, Faculty of Technical Education, Pamukkale University, 20070 Kinikli, Denizli, Turkey

Received 25 February 2008; accepted 30 April 2008

Abstract

In this study, a current mode log domain differential Class AB biquad filter based on Kerwin–Huelsman–Newcomb (KHN) structure has been synthesized by using the state-space method and by adopting translinear circuits. The proposed circuit can produce second-order low pass, band pass, high pass, all pass, and notch filter characteristics. The circuit is synthesized for high-frequency applications, i.e. around 100 MHz. The natural frequency and Q quality factor of the filter can be tuned electronically by varying the currents of current sources. Moreover, by varying currents of selected current sources, one can change the characteristics of the notch filter to generate general, low pass, and high pass notch filters. The designed circuit is simulated in both time domain and frequency domain in PSpice by using both idealized and NE 600 series type real transistors that are suitable for high-frequency operations. The frequency as well as time domain responses are found to be as expected. In addition to these simulations, THD and noise analysis are carried out. The details of obtained results are given. © 2008 Elsevier GmbH. All rights reserved.

Keywords: KHN filters; Log domain filters; Current mode filters

1. Introduction

Kerwin–Huelsman–Newcomb (KHN) filters are well-known biquad powerful circuit structures that offer several advantages such as low passive–active sensitivity performance and good stability behavior [1,2]. A KHN circuit, which consists of two lossless integrators in overall feedback loops and a summer block, can function as three fundamental filters, namely low pass, high pass and band pass filters. Furthermore, by using additional summer blocks, all pass and notch filter characteristics can also be obtained [2].

Many biquad filters based on KHN structure have been proposed in the literature. Those works use traditional vol-

tage mode synthesis methods and new generation current mode synthesis methods [3–11]. Current mode circuits have overcome drawbacks of limited operation of bandwidth, which derived from voltage mode operations. They employ active devices such as current conveyors and operational transconductance amplifiers and offer a wider dynamic range compared to voltage mode circuits [5–11].

In the last decades, another current mode signal processing method is proposed by Frey [12,13]. The method is named as Log domain filtering and has become very popular due to the fact that it offers high linearity in non-linear operation. Moreover, log domain circuits, and more generally externally linear internally nonlinear (ELIN) circuits [14], are suitable for low-voltage applications and low power dissipation. Essentially, this class of circuits, based on the principles of translinear circuits, runs in nonlinear

* Corresponding author.

E-mail address: attola@pau.edu.tr (A.T. Tola).

operation, while keeping the transfer function to be linear [15]. This new idea of circuitry has been used in both filter and oscillator designs [16–19].

Log domain filters use the idea of the companding signal processing [20,21]. The input current is first compressed using a logarithmic function while it is forced to drive a BJT transistor since the emitter-base voltage of the device is logarithm of the current. The output circuitry has an expanding block, which means that the output voltage is applied to a BJT's base-emitter junction in order to obtain a current of exponential of the voltage. Since the output function is a reverse function of the input function; the overall transfer function remains linear without using any element to linearize it. Therefore, there is no need for an additional component in order to operate the circuit in the linear region.

Class AB circuits are combinations of Class A and Class B operations. These types of circuits have low noise, low distortion, and high linearity. They also reduce power consumption compared to Class A circuits [22–25]. Although Class AB circuits are used for amplification operations, they were not used for filters until the late 90s [19,22,23]. The general theory of Class AB filters in the log domain was developed by Frey and Tola [23]. Then, various Class AB filters have been designed [23,24,26–30].

It is well known that technologic devices especially communication's equipments such as global system for mobiles (GSM) cellular telephone require low-power consumption, high linearity, and very small sizing. Log domain filtering provides an important alternative technique to satisfy these requirements. In this paper, a Class AB differential log domain filter based on KHN architecture is synthesized by using the state-space synthesis method. Our goal is to offer a biquad circuit that has advantages of both log domain and KHN structures. These advantages include electronic tunability, having a wide dynamic range, low-power consumption, and good stability.

The paper is organized as follows. The principle of differential Class AB log domain filters is presented in Section 2. Section 3 describes basic blocks used in this study, whereas Section 4 explains how KHN filters can be realized as differential Class AB log domain circuits. The simulations and performance analysis of this circuit are presented in Section 5. In this section, we perform PSpice simulations in order to verify the theoretical results. Finally, some conclusions are given in Section 6.

2. Principle of state-space synthesis of differential Class AB log domain filters

Since the state-space synthesis method provides very general solutions for realizing a filter function, it is a very powerful and efficient approach in the synthesis of log domain filters [12,19]. The key aspect of using the state-space method

for log domain filters is that this approach is very suitable for nonlinear systems.

The state-space representation of a system consists of a set of first-order differential equations and an output equation. This representation has only one transfer function, while more than one state-space representations can be obtained from one circuit or one transfer function of a network. Each representation produces a different circuitry by using a specific method. On the other hand, using the same equations, several circuits can be realized by using different techniques or different elements. This explains the power of the state-space method clearly in one way.

In the time domain, an m th order network system can be represented in the state space by the following equations:

$$\dot{\bar{x}} = \bar{A} \bar{x} + \bar{B} u \quad (1)$$

$$y = \bar{P}^T \bar{x} + D u \quad (2)$$

where u and y are the input and output variables, respectively, and \bar{x} is the state variable vector and given as

$$\bar{x} = (x_1, x_2, \dots, x_m)^T \quad (3)$$

In these equations, and from now on, single line over a variable depicts that the variable is a vector, whereas double line depicts that the variable is a matrix. The coefficients A , B , P and D consist of scalar terms. A single input–single output case is chosen for the sake of clarity; however, it can be easily extended to multiple input and multiple output cases by modifying the variables' dimensions.

In the state-space representation shown in Eqs. (1) and (2) to realize a log domain circuit, all state-space variables and input signal must be strictly positive all the time as discussed in detail in [12,23]. Otherwise, realization of the circuit may not be possible for all circumstance. In order to overcome this problem to realize a log domain circuit, a theorem is reported in [23] by Frey and Tola. The state-space formulation for differential Class AB filter was introduced systematically in this paper. According to this, the circuit operates in Class AB and guaranties that employing all devices run in the active region for all time.

The system relates a global linear state-space description to a pair of possibly coupled, and possibly nonlinear, state-space systems describing the two halves of a Class AB system. These two halves may, under certain circumstances, be realized using log domain filters and cross-coupling circuitry resulting in a Class AB externally linear filter. This is shown in Eqs. (4) and (5) taken from [23].

$$\dot{\bar{x}} = \bar{x}_L - \bar{x}_R \quad (4)$$

$$u = u_L - u_R \quad (5)$$

Then distinguished L and R sides' state-space variables and input signals substitute for general state space representation of Eqs. (1) and (2) as follows:

$$\begin{aligned} \dot{\bar{x}}_L &= \bar{A}_p \bar{x}_L + \bar{A}_n \bar{x}_R + \bar{B}_p u_L + \bar{B}_n u_R - \bar{P}^T \bar{x}_{LR} \\ \dot{\bar{x}}_R &= \bar{A}_p \bar{x}_R + \bar{A}_n \bar{x}_L + \bar{B}_p u_R + \bar{B}_n u_L - \bar{P}^T \bar{x}_{LR} \end{aligned} \quad (6)$$

$$y_L = \bar{P}^T \bar{x}_L + Du_L$$

$$y_R = \bar{P}^T \bar{x}_R + Du_R \quad (7)$$

where

$$\bar{A} = \bar{A}_p - \bar{A}_n \quad (8)$$

$$\bar{B} = \bar{B}_p - \bar{B}_n \quad (9)$$

$$\bar{\bar{P}} = \begin{pmatrix} \delta_1 & 0 & \cdots & 0 \\ 0 & \delta_2 & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & \delta_m \end{pmatrix} \quad (10)$$

$$x_{LR} = [x_{1L} x_{1R}, x_{2L} x_{2R}, \dots, x_{mL} x_{mR}]^T \quad (11)$$

The $\bar{\bar{P}}$ is a diagonal matrix and consists of function of $\delta_i(\bar{x}_L, \bar{x}_R, u_L, u_R)$'s as shown above. This function matrix is named as dummy input. It is an ineffective term when the original signal is obtained; however, these terms are very useful for realization of the theorem [23].

The second step of synthesis in the log domain is mapping state-space variables and input signal with nonlinear functions. The operation of this transformation must be one-to-one and onto mapping given as follows:

$$\bar{x}_L = \bar{f}(v_L) = [I_s e^{v_{1L}/V_t}, I_s e^{v_{2L}/V_t}, \dots, I_s e^{v_{mL}/V_t}]^T$$

$$\bar{x}_R = \bar{f}(v_R) = [I_s e^{v_{1R}/V_t}, I_s e^{v_{2R}/V_t}, \dots, I_s e^{v_{mR}/V_t}]^T \quad (12)$$

$$u_L = g(v_{oL}) = I_s e^{v_{oL}/V_t}$$

$$u_R = g(v_{oR}) = I_s e^{v_{oR}/V_t} \quad (13)$$

Let us now consider i th row of the system of state-space equations to be rid of matrix complication. Scaling factor $C_i/df(v_i)/dv_i$ is multiplied through the i th row, where C_i is constant term. Then it is arranged to be nodal equations by making some manipulations and after substituting transformation function explicitly in Eqs. (12) and (13). Generalized m th order differential Class AB log domain nodal equations can be obtained for L and R sides. It is given in Eqs. (14) and (15) for only L side. This side is considered only due to resemblance equation. The nodal equations can be realized by capacitors, transistors, and current sources in the log domain.

$$C_i \dot{v}_{iL} = \mp I_{fpi} + \sum_{j=1, j \neq i}^m I_s e^{(v_{jL} + V_{fpij} - v_{iL})/V_t}$$

$$+ \sum_{j=1}^m I_s e^{(v_{jR} + V_{fpij} - v_{iL})/V_t}$$

$$+ I_s e^{(v_{oL} + V_{fopi} - v_{iL})/V_t} + I_s e^{(v_{oR} + V_{fomi} - v_{iL})/V_t}$$

$$- \delta_i I_{fi} I_s e^{v_{iR}/V_t} \quad (14)$$

$$y_L = I_s e^{v_{iL}/V_t} \quad (15)$$

where

$$I_{fpii} = V_t C_i A_{pii}, \quad A_{pii} \geq 0 \quad (16)$$

$$-I_{fpii} = V_t C_i A_{pii}, \quad A_{pii} < 0$$

$$I_{fpij} = V_t C_i A_{pij} = I_s e^{V_{fpij}/V_t}, \quad i \neq j, A_{pij} \geq 0 \quad (17)$$

$$I_{fni} = V_t C_i A_{ni} = I_s e^{V_{fni}/V_t}, \quad A_{ni} \geq 0$$

$$I_{fopi} = V_t C_i B_{pi} = I_s e^{V_{fopi}/V_t}, \quad B_{pi} > 0 \quad (18)$$

$$I_{fomi} = V_t C_i B_{ni} = I_s e^{V_{fomi}/V_t}, \quad B_{ni} > 0$$

$$I_{fi} = V_t C_i = I_s e^{V_{fi}/V_t} \quad (19)$$

3. Differential Class AB log domain integrator and multiplier

In order to design the proposed Class AB log domain circuit, realization of integrator and multiplier block designs is necessary. These blocks will be synthesized by following the general state-space method of Class AB log domain circuits explained in Section 2. First of all, a log domain integrator synthesis is an essential step of the designed KHN circuit. Let us consider the following transfer function to establish an integrator:

$$H(s) = \frac{Y(s)}{U(s)} = \frac{k}{s} \quad (20)$$

where k is a positive constant and denotes the numerator term that is scaling factor of integrator. According to the general method explained the Section 2, a state-space representation of this transfer function must be defined to start the design. Eqs. (21) and (22) are such a description:

$$\dot{x}_1 = kx_1 \quad (21)$$

$$y = x_1 \quad (22)$$

Since the integrator is first order, A , B , P , and D are now scalar terms rather than a matrix or a vector. Moreover, the state-space equations of an integrator do not consist of A and D that are the coefficient of state variable and the coefficient of input for the output equation, respectively. If we would synthesize second or higher order multiple integrators, A matrix should have been used. B vector also becomes scalar coefficient. The differential equation, therefore, consists of only input term multiplied by B constant. Since these equations cannot satisfy the theorem, a Class AB description given by Eqs. (4)–(11) are mandatory. Therefore, a dummy input should also be included.

Following the method summarized in Section 2, we can obtain the nodal equations for the circuit. The necessary variables of Eqs. (14)–(19) are set as follows:

$$B_{p1} = k \quad (23)$$

$$B_{n1} = 0 \quad (24)$$

$$I_{fopi} = V_t C_1 B_{p1} = I_s e^{V_{fopi}/V_t} \quad (25)$$

$$\delta_1 = \frac{1}{I_{f1}} \quad (26)$$

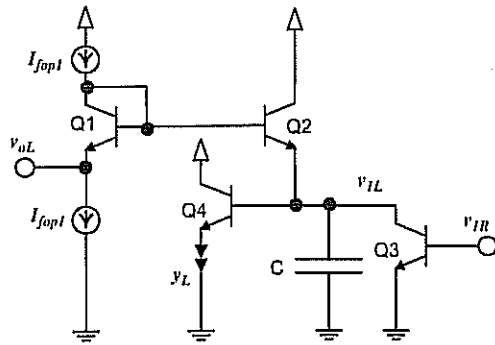


Fig. 1. Log domain integrator for L side.

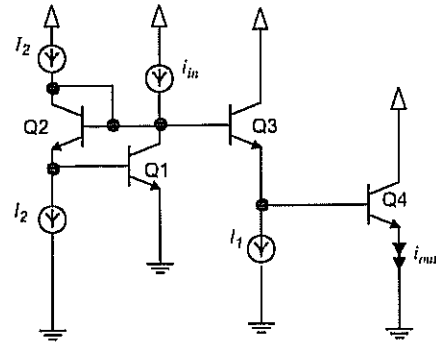


Fig. 3. The integrator block schema for differential Class AB log domain.

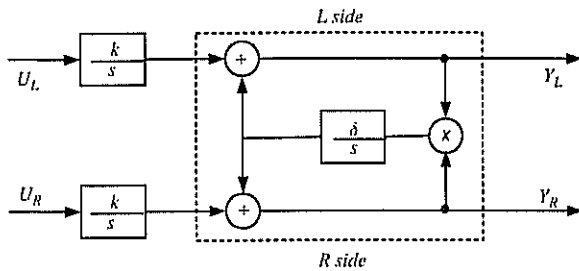


Fig. 2. The integrator block schema for differential Class AB log domain.

It should be noted that the function of dummy input δ_1 could be chosen differently. Alternative selections of this function produce different architectures [24]. Therefore, Eqs. (14) and (15) become Eqs. (27)–(30) for differential Class AB log domain integrator's nodal equation for L and R sides.

$$C \dot{v}_{1L} = I_s e^{(v_{oL} + V_{fop1} - v_{1L})/V_t} - I_s e^{v_{1R}/V_t} \quad (27)$$

$$y_L = I_s e^{v_{1L}/V_t} \quad (28)$$

$$C \dot{v}_{1R} = I_s e^{(v_{oR} + V_{fop1} - v_{1R})/V_t} - I_s e^{v_{1L}/V_t} \quad (29)$$

$$y_R = I_s e^{v_{1R}/V_t} \quad (30)$$

Differential Class AB log domain integrator obtained from Eqs. (27)–(30) are synthesized by pursuing state space log domain synthesis method [12,19,23]. The integrator corresponding to Eqs. (27) and (28) for L side is shown in Fig. 1. The integrator for R side can be depicted similarly.

If k of Eq. (20) is negative, only the input for L and R sides are cross-changed. This clearly gives a negative integrator. This flexibility is another advantage of using Class AB log domain synthesis method.

The whole integrator consists of two sides, namely L and R as mentioned above. The differential Class AB integrator is in cross-coupling between two sides as written in Eqs. (27)–(30) and as shown in Fig. 1. The differential integrator's block diagram is depicted in Fig. 2. However, the integrator structure will be depicted without area of insulated

with broken line for the sake of clarity from now on. As explained in Section 2, coupling effects between two sides can be easily determined. Essentially, these relationships come from dummy input; so there is no effect on the final output signal. But they are essential to realize the circuit in the log domain.

Another essential step is synthesizing a multiplier. Design of this circuit is based on the translinear principle. Since the Log domain circuits use the current mode signal processing, the multiplier circuit has to amplify/attenuate the input current. Let us consider the following equation for the multiplier block:

$$i_{out} = \frac{I_2}{I_1} i_{in} \quad (31)$$

The multiplier circuit can be realized by using translinear principle in the log domain as shown in Fig. 3.

4. Proposed KHN circuit in the log Domain

A KHN structure consists of two integrator blocks and a summer block as shown in Fig. 4. Each integrator block of KHN reduces one zero from the transfer function. For example, in order to obtain a low pass filter response from the band pass response, we use one integrator block. At the output of the summer block in which feedback of both integrator output and input signals are entered, the high pass filter characteristic is obtained. As shown in Eq. (33), the high pass transfer function has a second-order numerator. The other fundamental filter responses of band pass (bp) and low pass (lp) can be obtained by integrating high pass (hp) output once and twice, respectively.

Moreover, additional filter responses of notch (n), high pass notch (hpn), low pass notch (lpn), and all pass (ap) can be obtained by weighted sum of the fundamental outputs. After some modification and adding the multiplier/summer blocks for additional responses, the block diagram of the KHN structure is obtained as depicted in Fig. 5. This block diagram leads us the designed log domain filter. Multiplier

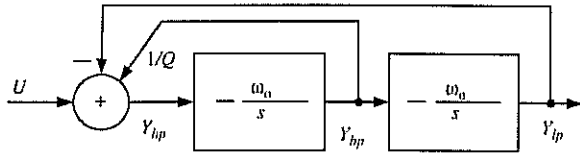


Fig. 4. Fundamental KHN structure.

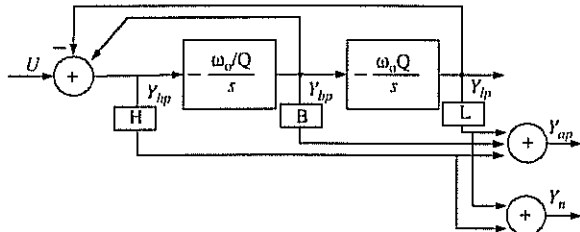


Fig. 5. Basic log domain KHN biquad filter block diagram.

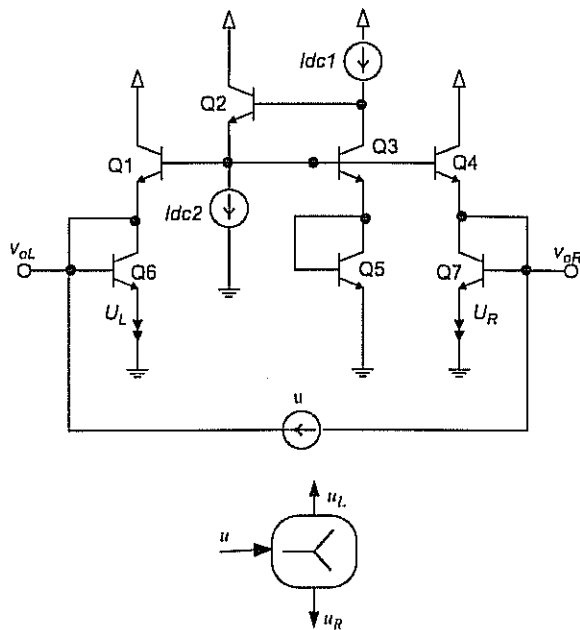


Fig. 6. Current splitter used in the proposed filter [24] and its block schema.

blocks of H, B, and L define the type of notch filter and also balances all pass filters.

Since the output of each integrator is obtained by integrating the high pass response once and twice, the following equation can be written from Fig. 5:

$$Y_{hp} = U - \frac{\omega_o}{Qs} Y_{hp} - \frac{\omega_o^2}{s^2} Y_{hp} \quad (32)$$

After some manipulations, transfer functions of all filter responses can be obtained from Fig. 5 and Eq. (32) as fol-

lows. The high pass, band pass, low pass, notch, and all pass responses are given in Eqs. (33)–(37)

$$Y_{hp} = \frac{s^2}{s^2 + (\omega_o/Q)s + \omega_o^2} U \quad (33)$$

$$Y_{bp} = -\frac{\omega_o}{Qs} Y_{hp} = -\frac{\omega_o/Qs}{s^2 + (\omega_o/Q)s + \omega_o^2} U \quad (34)$$

$$Y_{lp} = -\frac{\omega_o Q}{s} Y_{bp} = \frac{\omega_o^2}{s^2 + (\omega_o/Q)s + \omega_o^2} U \quad (35)$$

$$Y_{n,lpn,hpn} = \frac{s^2 + \omega_n^2}{s^2 + (\omega_o/Q)s + \omega_o^2} U \quad (36)$$

$$\omega_n = \omega_o \implies Y_n$$

$$\omega_n < \omega_o \implies Y_{lpn}$$

$$\omega_n > \omega_o \implies Y_{hpn}$$

$$Y_{ap} = \frac{s^2 - (\omega_o/Q)s + \omega_o^2}{s^2 + (\omega_o/Q)s + \omega_o^2} U \quad (37)$$

From Fig. 5, it is obvious that negative integrators are needed. It means that the coefficients of B's are negative in the state-space representation of integrators. Since according to the realization theorem proposed in [23] coefficients of B's must be positive, integrator blocks of Fig. 5 cannot be designed directly in the log domain. Differential Class AB operation is a reasonable solution to realize this circuit that obeys the theorem. This is the reason why we chose this kind of operation in this work.

In Fig. 5, there are three types of blocks, namely multiplier, summer, and integrator blocks. Since log domain filtering is a current mode operation, adding signals is not a hard task. Only integrators and multiplier blocks that work in differential Class AB operations are needed to be designed. These two blocks are discussed in Section 3 and circuits are given in Figs. 1 and 3 for the integrator and the multiplier, respectively.

The differential Class AB synthesis procedure does not only realize the required filter but also it offers efficient approach to balance the good linearity, low noise, and low-power consumption requirements [22–25]. According to this procedure, the proposed KHN circuits are designed as a counterpart in log domain. In this structure, any integrator block may be cross-coupling to other blocks, since the designed circuit has to obey to the realization theorem. Therefore, we process the signal in two parts that are named as L and R sides. Both sides have same architecture blocks. To enter input signal to any side, the original input signal u must be processed by a special circuit, which is often referred as current splitter [24]. The function of this circuit is to derive a pair of currents, u_L and u_R , as given in Eq. (5), whose difference is equal to the input and whose respective values are strictly positive for all possible inputs. The current splitter used in the proposed circuit is given in Fig. 6. Outputs of both sides are also differentiated in the summer block to obtain the output of the filter response.

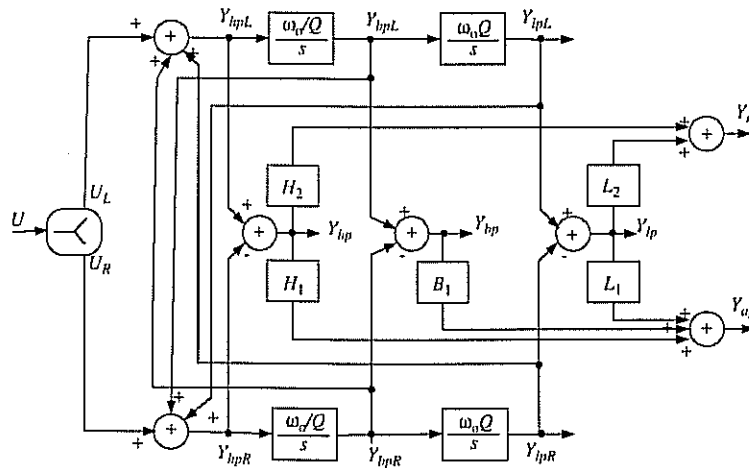


Fig. 7. General block schema of log domain KHN biquad filter.

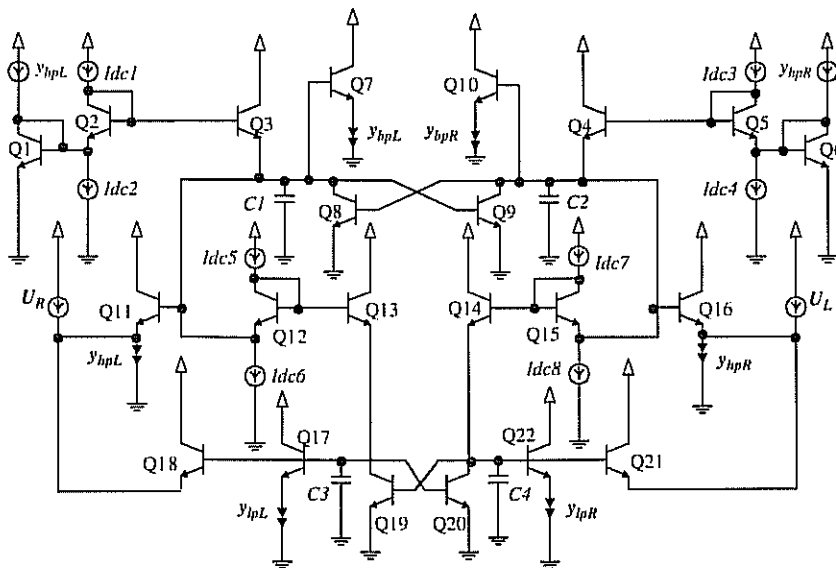


Fig. 8. Circuit of log domain KHN biquad filter.

All blocks of KHN structure are designed by using state-space synthesis method discussed in Sections 2 and 3. All signals in each block are processed in nonlinear domain while the relationship between output and input signals are remained to be linear. Based on KHN structure of Fig. 5, block diagram of the proposed differential Class AB log domain filter is depicted in Fig. 7. Following the method discussed in Sections 2 and 3, internal structure of blocks are designed in the log domain by using state-space synthesis method and translinear principles. Explicit circuit schema of KHN system is given in Fig. 8.

5. Simulation results

In order to verify the results of theoretical works, first of all, the designed log domain filter based on KHN topology is simulated in PSpice by using ideal transistors that is default BJT model with $BF = 10000$. The circuit supply voltage is selected to be 3 V. The values of capacitances of integrators are chosen to be $C1 = C2 = C3 = C4 = 20$ pF. The values of current sources are set to be around $500 \mu A$. This yields a pole frequency of $f_o = 149$ MHz for PSpice simulations whereas calculated value of this parameter is $f_o = 153$ MHz. Therefore, simulation results are in agreement with

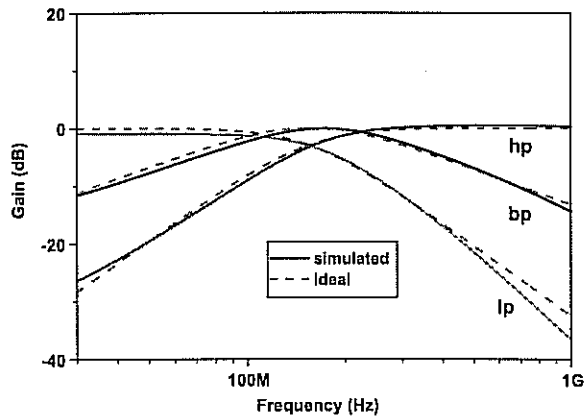


Fig. 9. Fundamental filter's gain responses.

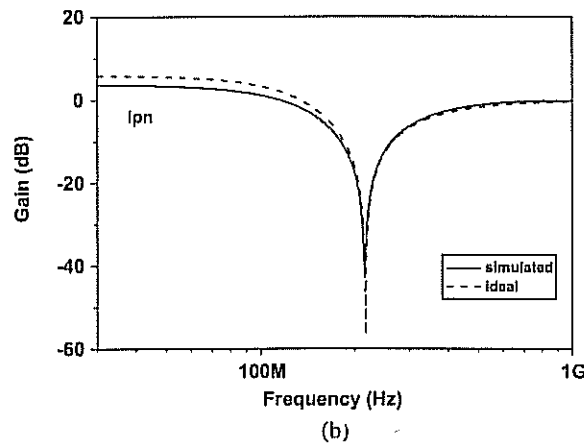
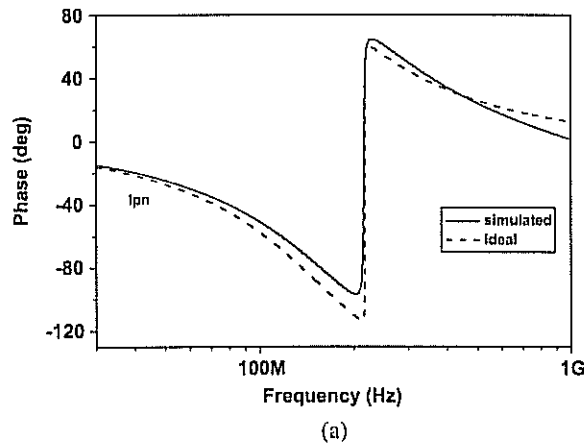
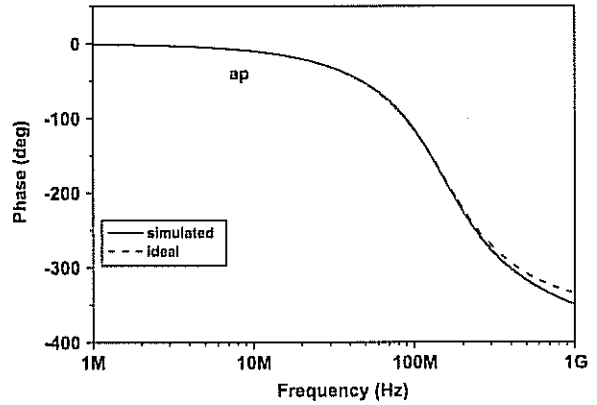


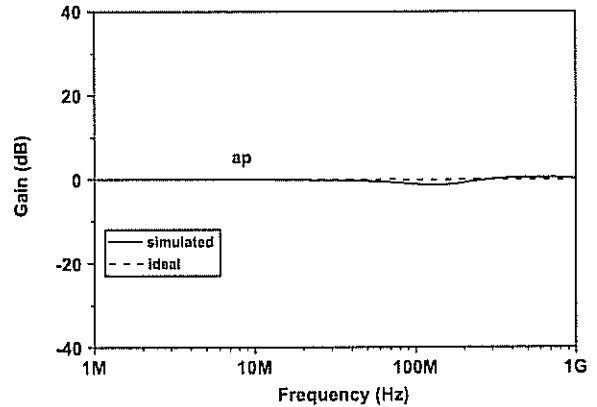
Fig. 10. The gain (a) and phase (b) responses of low pass notch.

theoretical design. Basically by adjusting the values of current sources, this small difference can be tolerated.

Since the obtained results are as expected, the series of simulations are performed by using NE 600 series type reel



(a)



(b)

Fig. 11. The gain (a) and phase (b) responses of all pass.

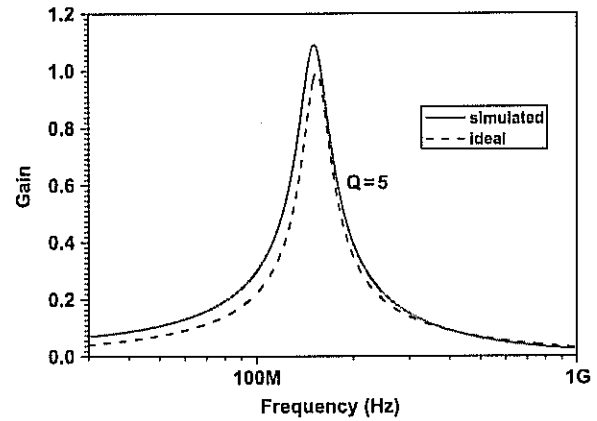


Fig. 12. Tunable Q for band pass filter.

transistor model which has $f_T = 20$ GHz. First simulation is performed for AC response of the circuit in which pole frequency is set to $f_o = 149$ MHz and the quality factor is set to $Q = 0.707$. The frequency responses of all possible

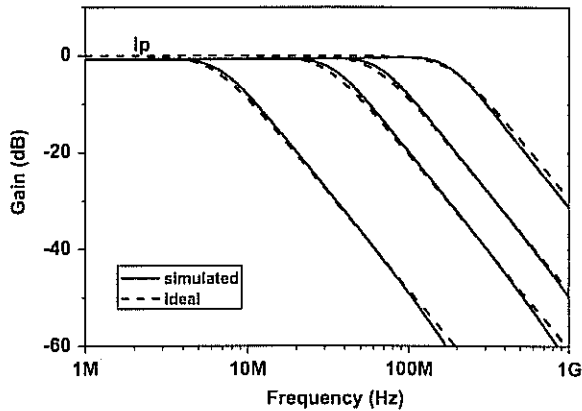


Fig. 13. Tunable f_o for low pass filter.

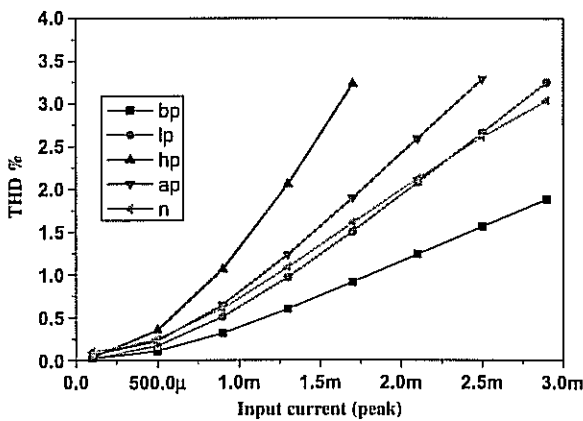


Fig. 14. THD values.

filter characteristics are obtained. The gain characteristics of fundamental filter responses (lp, bp and hp) and the gain, phase characteristics of additional responses (lpn, ap) are given in Figs. 9–11, respectively. As seen from the figures, the simulated and ideal results are in accordance with each other.

It should be noted that f_o and Q are orthogonally adjustable only by varying the values of the current sources of the circuit. It means that this advantage gives us wide area of usage without modification on circuit architecture. In Fig. 12 the Q quality factor is electronically set to 5. In Fig. 13 it is shown that the center frequency f_o is swept approximately two decades by only adjusting the values of current sources.

On account of signal processing in differential class AB circuit, input signal can be bigger than biasing current value. A sinusoidal signal applied to the proposed circuit as input scaled a few times of DC current sources' value. The output signal's THD was measured for each case and all filter response. The THD values are in increment behavior while input peak value is growing. Results of these simulations are given in Fig. 14.

Table 1. Noise values of all filters

| Filter approximation | Noise $\mu\text{A}/\sqrt{\text{Hz}}$ |
|----------------------|--------------------------------------|
| lp | 219.97 |
| hp | 272.07 |
| bp | 200.33 |
| ap | 363.47 |
| n | 240.72 |

Finally, noise analysis is performed for all filter approximations. The measured noises' values are presented in Table 1.

6. Conclusion

In this paper, a Class AB Differential log domain filter based on KHN structure to produce low pass, high pass, band pass, all pass, notch, low pass notch, and high pass notch is designed for the first time. Three blocks, namely integrator, splitter, and multiplying blocks, have been used to realize the proposed circuit. Each block is synthesized by using the state-space method and by adopting dynamic translinear circuits. Characteristic parameters, such as the quality factor, Q , and the pole frequency, f_o , of the designed filter can be changed electronically by adjusting the values of DC current sources only. The filter can be switched between modes like low pass, high pass, and regular notch filters, by simply tuning the values of some current sources. The designed filter circuit is simulated in PSpice by using both idealized and real modeled transistors. Parallel simulations evidence that designed circuit is verified and the simulation results agree quite well with the theoretical analysis. In addition to this, both time domain and frequency domain results show that the designed filter takes advantages of both the Class AB differential log domain circuit and KHN structure. These advantages include electronic tunability and good stability.

Acknowledgment

This work is based on work supported by The Scientific Technological Research Council of Turkey, TUBITAK, under Grant no. 105E088.

References

- [1] Kerwin W, Huelsman L, Newcomb R. State variable synthesis for insensitive integrated circuit transfer functions. *IEEE J Solid-State Circuits* 1967;2:87–92.
- [2] Sedra AS, Smith KC. *Microelectronic circuits*. New York: Oxford University Press; 2004.
- [3] Khaled NS, Soliman AM. Voltage mode Kerwin–Huelsman–Newcomb circuit using CDBAs. *Frequenz* 2000;54: 90–3.
- [4] Ibrahim MA, Kuntman H. A novel high CMRR high input impedance differential voltage-mode KHN-biquad employing DO-DDCCs. *AEU Int J Electron Commun* 2004;58:429–33.

- [5] Sedra AS, Smith KC. A second generation current conveyor and its applications. *IEEE Trans Circuits Theory* 1970;17: 132–4.
- [6] Soliman AM. Kerwin–Huelsman–Newcomb circuit using current conveyors. *Electron Lett* 1994;30:2019–20.
- [7] Senani R, Singh VK. KHN-equivalent biquad using current conveyors. *Electron Lett* 1995;31:626–8.
- [8] Toker A, Ozoguz S, Acar C. Current-mode KHN-equivalent biquad using CDBAs. *Electron Lett* 1999;35:1682–3.
- [9] Altuntas E, Toker A. Realization of voltage and current mode KHN biquads using CCCIs. *AEU Int J Electron Commun* 2002;56:45–9.
- [10] Ibrahim MA, Minaei S, Kuntman H. A 22.5 MHz current-mode KHN-biquad using differential voltage current conveyor and grounded passive element. *AEU Int J Electron Commun* 2005;59:311–8.
- [11] Keskin AU, Biolk D, Hancioglu E, Biolkova V. Current-mode KHN filter employing current differencing transconductance amplifiers. *AEU Int J Electron Commun* 2006;60:443–6.
- [12] Frey DR. Log-domain filtering: an approach to current-mode filtering. *IEE Proceedings* 1993;140:406–16.
- [13] Frey DR. An adaptive analog notch filter using log filtering. *IEEE Proc ISCAS* 1996;1:297–300.
- [14] Tsvividis Y. Externally linear time-invariant systems and their application to companding signal processors. *IEEE Trans Circuits Syst-II: Analog Digital Signal Process* 1997;44: 65–85.
- [15] Gilbert B. Translinear circuits: a proposed classification. *Electron Lett* 1975;11:14–6.
- [16] Punzerbeger M, Enz C. Log-domain filters for low-voltage low-power applications. In: *Proceedings of international workshop low power RF integrated circuits*, vol. 1, 1998. p. 41–44.
- [17] Ozoguz S. Simple log-domain chaotic oscillator. *Electron Lett* 2001;37:1378–9.
- [18] Mahattanakul J, Toumazou C. Instantaneous companding current-mode oscillator based on class AB transconductor. *Analog Integrated Circuits Signal Process* 2000;23:57–64.
- [19] Frey DR. Exponential state space filters: a generic current mode design strategy. *IEEE Trans Circuits Syst-I: Fundam Theory Appl* 1996;43:34–42.
- [20] Tsvividis YP, Gopinathan V, Toth L. Companding in signal processing. *Electron Lett* 1990;26:1331–2.
- [21] Seevinck E. Companding current mode integrator: a new circuit principle for continuous-time monolithic filters. *Electron Lett* 1990;26:2046–7.
- [22] Frey DR. Current mode class AB second order filter. *Electron Lett* 1994;30:205–6.
- [23] Frey DR, Tola AT. A state-space formulation for externally linear class AB dynamical circuits. *IEEE Trans Circuits Syst-II: Analog Digital Signal Process* 1999;46:306–14.
- [24] Tola AT, Frey DR. A study of different class AB log domain first order filters. *Analog Integrated Circuits Signal Process* 2000;22:163–76.
- [25] Python D, Enz C. A micropower class AB CMOS log-domain filter for DECT applications. *European Solid-State Circuits Conference*, 2000. p. 64–7.
- [26] Tola AT, Arslanalp R, Surav Yilmaz S. A design of differential type class AB Tow-Thomas filter in the log

domain. *International conference on electrical and electronics engineering*, Bursa, Turkey, 2005. p. 105–9.

- [27] Kircay A, Cam U, Tola AT. Novel first-order differential class-AB log-domain allpass filters. *AEU Int J Electron Commun* 2006;60:705–12.
- [28] Tola AT, Arslanalp R, Surav Yilmaz S. A novel log domain notch filter based on KHN topology. In: *Proceedings of the conference on applied electronics*, Pilsen, Czech Republic, 2007. p. 219–22.
- [29] Tola AT, Surav Yilmaz S, Arslanalp R. A design of differential type class AB general notch filter in the log domain. In: *International conference on electrical and electronics engineering*, Bursa, Turkey, 2007. p. 40–3.
- [30] El-Gamal MN, Baki RA, Bar-Dor A. 30–100 MHz NPN-only variable-gain class-AB instantaneous companding filters for 1.2-V applications. *IEEE J Solid-State Circuits* 2000;35: 1853–64.



Abdullah T. Tola was born in Ankara, Turkey, in 1967. He received the B.S. and M.S. degrees in Electrical and Electronics Engineering from Dokuz Eylul University, Izmir, Turkey and Ph.D. degree in Electrical Engineering from Lehigh University, PA, USA in 1989, 1993, and 2000, respectively. From 1990 to 1993, he has worked as a Research Assistant at Pamukkale University, Denizli, Turkey. Between

1994 and 2000, he has worked as a Research Assistant at Lehigh University, PA, USA, where he involved in research on Log domain filtering. After he received the Ph.D. degree, he has returned back to Pamukkale University where he has been working as an Assistant Professor since 2000. His main research interests include log domain filtering, differential type Class AB filters, electronic circuit design, nonlinear circuit and system theory, analog filters, and database systems.



Remzi Arslanalp was born in Manisa, Turkey, in 1977. He received the B.S. and M.S. degrees in Electrical and Electronics Engineering from Pamukkale University, Denizli, Turkey in 1999 and 2003, respectively. He has been working as a Research Assistant at Pamukkale University since 2000. His main research interests include log domain filtering, circuit design, and nonlinear circuit and system theory.



Saziye Surav Yilmaz was born in Izmir, Turkey, in 1981. She received the B.Sc. and M.S. degrees in Electrical and Electronics Engineering from Pamukkale University, Denizli, Turkey in 2001 and 2005, respectively. She has been working as a Research Assistant at Pamukkale University, Denizli, Turkey. Her main research interests include Log domain filtering, circuit design, and nonlinear circuit and system theory.

State space representation for log domain filtering synthesis

Remzi Arslanalp¹ & Abdullah T Tola²

Pamukkale University, Faculty of Engineering, Department of Electrical and Electronics Engineering, 20070,
Kinikli, Denizli, Turkey

E-mail: ¹rarslanalp@pau.edu.tr; ²attola@pau.edu.tr

Received: 3 February 2009; revised 10 July 2009; accepted 26 August 2009

New method for the state space representation of filters based on the companion form technique has been proposed. It is useful for synthesis of log domain filters. For state space representation of a log domain filter, it is very important to have almost equal coefficients of the state space equations since these coefficients are proportional to currents or voltages of the designed device. The method allows selection of two arbitrary parameters (α , β) to adjust these coefficients. By using this technique, more balanced state space equations can be obtained. This method offers an option to obtain desired adjustable coefficients. It is particularly useful for synthesizing high order log domain circuits using state space methods. The proposed method is applied to second and fifth order log domain filter designs to show the application. Simulation results demonstrated that different system equations which are determined by the proposed method affect the performance of the filter.

Keywords: State space representations, State space synthesis method, Companion form technique, Log domain filters, Butterworth filters

1 Introduction

The state space synthesis method is one of the several methods to synthesize a filter or more generally a system. Since it provides very general solutions for realizing filter functions such as multi input multi output systems, it is a very powerful and efficient approach in the synthesis of log-domain filters. In addition to that, the key aspect of the use of state-space methods is that it is applicable to nonlinear systems. These methods require state space equations which contain differential equations and output equations. In general, three methods are used to obtain state space equations. The first one is based on obtaining state space equations directly from the given circuit. By analyzing the circuit and choosing proper state variables, the equations can be easily written. The second one uses system block diagrams or signal flow diagrams to obtain state space equations. The third one determines state space equations directly from the transfer functions^{1,2}.

A state space equations system consists of a set of a first order differential equations and output equations. Many state space equations can be obtained from one circuit or one transfer function of a network. State space equations correspond to only one transfer function or circuit. Each set of state space equations has only one transfer function. On the other hand,

when a transfer function is given, there could be a number of state space equations. Clearly, each representation leads to a new topology although some of them cannot be realized by known devices. In other words, it is possible to choose different representations for a given task.

The state space approach is a general method to define a system. The method defines a system not only using input and output variables but also state variables. This allows us to observe and control all internal variables. The method can be applied for both nonlinear systems and time-variant systems. Moreover, it can be easily extended to multiple input-multiple output systems. It can also be used for current-mode circuits, systematic synthesis and computer aided design^{2,3}.

The properties discussed above are well suited for log domain filters or more generally ELIN circuits. The first systematic synthesis method of log domain filters, called Frey's state space synthesis method⁴, was introduced through the state space representation. Later, some researches implemented this method to synthesize this kind of circuits³⁻⁵. It is important to note that Frey's method was developed for n^{th} order filters. High order log domain filters are designed using either signal flow or block modeling approaches⁶⁻⁹.

Frey's theory uses existing state space representation of a system, but does not discuss how to obtain it. Other researchers synthesizing filters in the log domain in state space have also used existing state space representations. It seems that there is a lack of discussion on how to obtain state space representation of a system used in Frey's theory in the literature¹⁰⁻¹³.

Coefficients of the state variables and input of a state space representation are proportional to transistors' currents in the log domain. In order to make a log domain filter work well, transistors' currents have to be relatively close to each others. Otherwise, it may not be possible to reach an equilibrium state. Depending on the transistors used in a design, their current should be in a limited range. For example, if a transistor in the design has a *dc* 1 mA, same type of transistor cannot have 1 A or 1 μ A. Note that there are difficulties in determining this kind of state space representation.

In the present study, state space equations are obtained directly from the transfer function using the companion form method considered in the third category mentioned above.

2 Theory

2.1 The Companion Form Technique

In the time domain, a system may be represented in the state space form by the following equations:

$$\dot{\bar{x}} = \bar{A}\bar{x} + \bar{B}u, \quad \dots(1)$$

$$y = \bar{P}^T \bar{x} + Du, \quad \dots(2)$$

where \bar{x} being the state variable vector, u and y are the input and output variables respectively. Many techniques are available to obtain state space representations of transfer function systems¹. One of them is known as companion form technique. A transfer function for the most general form of second order filters is given as follows:

$$H(s) = \frac{Y(s)}{U(s)} = \frac{a_2 s^2 + a_1 s + a_0}{s^2 + b_1 s + b_0}. \quad \dots(3)$$

Type of a filter is determined by the coefficients a_i 's, e.g. low pass, high pass, etc. A dot above a quantity denotes the time differentiation. For the first, second and third order time differentiations, the dot notation is used. However, for higher order time differentiations a number in parenthesis will be used as superscript. In order to obtain state space

representation of Eq. (3), it is transformed back into the time domain and the following state space variables are used:

$$\begin{aligned} x_1 &= y + r_1 u, \\ x_2 &= \dot{x}_1 + r_2 u = \dot{y} + r_1 \dot{u} + r_2 u. \end{aligned} \quad \dots(4)$$

It yields to the equivalent first order equation system in which the derivative of the input variables are not absent. In order to obtain a linear first order system of differential equation, the coefficients of the derivatives of the input variables is made equal to zero. This results in the next first order system of equations:

$$\begin{aligned} \dot{x}_1 &= x_2 + (a_1 - b_1 a_2) u, \\ \dot{x}_2 &= -b_0 x_1 - b_1 x_2 + (a_0 - b_1 a_1 + b_1^2 a_2 - b_0 a_2) u, \\ y &= x_1 + a_2 u. \end{aligned} \quad \dots(5)$$

The method of the state space synthesis uses Eq. (5). The coefficients of state and input variables are expected to be varied relatively close to each other since coefficients determine currents or voltages of devices. It is well known that each device has some limited current and/or voltage range. When these coefficients are not within the range, it is not possible to realize some kinds of circuits since there are difficulties in determining this kind of state space representation using the companion form technique.

In the literature, transfer functions are usually given in normalized form^{14,15}, i.e. for $\omega_0=1$ rad/s. If one wants to synthesize a transfer function for ω_n , one should replace s with s/ω_n . In general, the coefficient a 's and b 's of a transfer function, e.g. Eq. (3), are relatively close to each other for a normalized form, even though there are huge differences for the desired transfer function. For example, for a 1000 rad/s cutoff frequency, the constant term is 10^9 times larger than the third order term. Such a case for a transfer function means that the coefficients of Eq. (5) are unbalanced. The unbalanced situation, that is not desired, clearly causes serious problems for the state space synthesis. For example, on the log domain filtering, *dc* currents of all transistors are expected to be the same or close to each other. In Eq. (5), the coefficients are proportional to transistor currents. As seen from the example above, one transistor has 1 μ A current while the other has 1000 μ A. This is not desired at all. Moreover, sometimes coefficients of the state equations are not distinct as mentioned above, just a few terms can be maximum 5-10 times bigger

than others. Nevertheless this case may cause unfavorable simulation results. On the other hand, sometimes few terms are bigger than others due to differences between device currents and/or voltage operation points. It turns out that the method of companion form becomes useful for certain type of filters provided that the a 's and b 's are chosen in a suitable way.

2.2 Modified companion form technique

The proposed technique is based on the companion form method. Starting from the transfer function, a method is developed to obtain state space equations of a system in which coefficients are all adjusted. Generally, to obtain a better performance, it is claimed that the coefficients should be close to each other. But sometimes one or more coefficients are required to be a few times bigger or smaller than others. For example, if some components of filter have different operation points, these devices must be performed in suitable condition. This new modified companion form technique allows all this kind of scenarios for the best performance^{16,17}. Since transfer functions of filters are usually given in the normalized form, i.e. for a $\omega = 1 \text{ rad/sn}$ frequency, formulation starts from the normalized transfer function. Let us assume that a normalized transfer function of the generalized n^{th} order filter is given as follows:

$$H(s) = \frac{Y(s)}{U(s)} = \frac{a_n s^n + a_{n-1} s^{n-1} + \dots + a_1 s + a_0}{s^n + b_{n-1} s^{n-1} + \dots + b_1 s + b_0} \quad \dots(6)$$

Again if one wants to obtain the transfer function for arbitrary $\omega = \omega_0$, one needs to substitute $s = s / \omega_0$ in Eq. (6). This yields the following:

$$H(s) = \frac{Y(s)}{U(s)} = \frac{a_n s^n + a_{n-1} \omega_0 s^{n-1} + \dots + a_1 \omega_0^{n-1} s + a_0 \omega_0^n}{s^n + b_{n-1} \omega_0 s^{n-1} + \dots + b_1 \omega_0^{n-1} s + b_0 \omega_0^n} \quad \dots(7)$$

Then, transforming Eq. (7) to the time domain, the following n^{th} order differential equation is obtained with constant coefficients:

$$y^{(n)} + b_{n-1} \omega_0 y^{(n-1)} + \dots + b_1 \omega_0^{n-1} \dot{y} + b_0 \omega_0^n y = a_n u^{(n)} + a_{n-1} \omega_0 u^{(n-1)} + \dots + a_1 \omega_0^{n-1} \dot{u} + a_0 \omega_0^n u \quad \dots(8)$$

The state variables are assigned to other variables as follows:

$$\begin{aligned} \alpha_1 x_1 &= \beta y + r_1 u \\ \alpha_2 x_2 &= \alpha_1 \dot{x}_1 + r_2 u = \beta \dot{y} + r_1 \dot{u} + r_2 u \\ \alpha_3 x_3 &= \alpha_2 \dot{x}_2 + r_3 u = \beta \ddot{y} + r_1 \ddot{u} + r_2 \dot{u} + r_3 u \\ &\vdots \\ \alpha_n x_n &= \beta y^{(n-1)} + \sum_{i=1}^{n-1} r_i u^{(n-i)} \end{aligned} \quad \dots(9)$$

where α 's and β 's are arbitrary parameters^{16,17}. If one takes the time derivative of the last equation of Eq. (9), the following is obtained:

$$\alpha_n \dot{x}_n = \beta y^{(n)} + \sum_{i=1}^n r_i u^{(n-i+1)} \quad \dots(10)$$

After some manipulation on Eqs (9) and (10), the following first order system of differential equations is obtained:

$$\begin{aligned} \alpha_1 \dot{x}_1 &= \alpha_2 x_2 - r_2 u \\ \alpha_2 \dot{x}_2 &= \alpha_3 x_3 - r_3 u \\ &\vdots \\ \alpha_{n-1} \dot{x}_{n-1} &= \alpha_n x_n - r_n u \\ \alpha_n \dot{x}_n &= - \sum_{i=1}^n \alpha_i b_{i-1} \omega_0^{n-i+1} x_i + (a_n \beta \omega_0^n + \sum_{i=1}^n b_{i-1} \omega_0^{n-i+1} r_i) u \\ &\quad + \sum_{k=1}^{n-1} \left[a_k \beta \omega_0^{n-k} + r_{n-k+1} + \sum_{i=1}^{n-k} b_{i+k-1} \omega_0^{n-k+1-i} r_i \right] u^{(k)} \\ &\quad + (a_n \beta + r_1) u^{(n)} \end{aligned} \quad \dots(11)$$

As seen from Eq. (11), the right hand side of the last equation has the derivatives of the input variables. Since the derivatives of the input variables are any n linearly independent set of functions, all the coefficients can be made identically zero. By doing so one may obtain the following n^{th} order system of algebraic equations to determine r 's:

$$\begin{bmatrix} b_1 \omega_0^{n-1} & b_2 \omega_0^{n-2} & b_3 \omega_0^{n-3} & \dots & b_{n-1} \omega_0 & 1 \\ b_2 \omega_0^{n-1} & b_3 \omega_0^{n-2} & b_4 \omega_0^{n-3} & \dots & 1 & 0 \\ \vdots & \vdots & \vdots & \ddots & 0 & 0 \\ b_{1+n-3} \omega_0^{n-1+n-3} & b_{2+n-3} \omega_0^{n-2+n-3} & 1 & \dots & 0 & 0 \\ b_{1+n-2} \omega_0^{n-1+n-2} & 1 & 0 & \dots & 0 & 0 \\ 1 & 0 & 0 & \dots & 0 & 0 \end{bmatrix} \times \begin{bmatrix} r_1 \\ r_2 \\ \vdots \\ r_{n-2} \\ r_{n-1} \\ r_n \end{bmatrix} = -\beta \begin{bmatrix} a_1 \omega_0^{n-1} \\ a_2 \omega_0^{n-2} \\ \vdots \\ a_{n-2} \omega_0^{n-(n-2)} \\ a_{n-1} \omega_0^{n-(n-1)} \\ a_n \omega_0^{n-n} \end{bmatrix} \quad \dots(12)$$

By solving Eq. (12) for r 's yields

$$\begin{aligned} r_1 &= -a_n \beta \omega_0^{n-(n)} \\ r_2 &= -a_{n-1} \beta \omega_0^{n-(n-1)} - b_{1+n-2} \omega_0^{n-(1+n-2)} (-a_n \beta \omega_0^{n-(n)}) \\ r_3 &= -a_{n-2} \beta \omega_0^{n-(n-2)} - b_{1+n-3} \omega_0^{n-(1+n-3)} (-a_n \beta \omega_0^{n-(n)}) \\ &\quad - b_{2+n-3} \omega_0^{n-(2+n-3)} [-a_{n-1} \beta \omega_0^{n-(n-1)} \\ &\quad \quad - b_{1+n-2} \omega_0^{n-(1+n-2)} (-a_n \beta \omega_0^{n-(n)})] \\ &\vdots \end{aligned} \quad \dots(13)$$

Substituting the r 's back into Eq. (11), one obtains the state space equations in which the derivatives of the input variables become all absent are obtained.

$$\begin{aligned} \alpha_1 \dot{x}_1 &= \alpha_2 x_2 + (a_{n-1} \beta - a_n \beta b_{n-1}) \omega_0 u \\ \alpha_2 \dot{x}_2 &= \alpha_3 x_3 + (a_{n-2} \beta - a_n \beta b_{n-2} - a_{n-1} \beta b_{n-1} + a_n \beta b_{n-1}^2) \omega_0^2 u \\ &\vdots \\ \alpha_n \dot{x}_n &= -\sum_{i=1}^n \alpha_i b_{i-1} \omega_0^{n-i+1} x_i + (a_0 \beta \omega_0^n + \sum_{i=1}^n b_{i-1} \omega_0^{n-i+1} r_i) u \\ y &= \frac{\alpha_1}{\beta} x_1 + a_n u \end{aligned} \quad \dots(14)$$

Now choosing different α 's and β 's, we can realize a circuit in the state space that cannot be realized using the original companion form method. Adopting the modified companion form technique, the designer can synthesize many circuits which have different architecture and have different performances. As well known, all designed circuits lead to the same frequency response, since all representations are based on the same transfer function. The equations also become more balanced in the modified method than in the original one. These arbitrary coefficients gives one quite enough freedom to optimize the system.

2.3 Example 1: Second order band pass filter

The proposed method is applied to a second order band pass filter. Suppose that the transfer function of the filter is given as follows:

$$H(s) = \frac{a_1 s}{s^2 + b_1 s + b_0} \quad \dots(15)$$

Since Eq. (15) is in the normalized form, by substituting $s = s/\omega_0$ in Eq. (15), one obtains the transfer function of the filter whose center frequency is ω_0 as follows:

$$H(s) = \frac{a_1 \omega_0 s}{s^2 + b_1 \omega_0 s + \omega_0^2 b_0} \quad \dots(16)$$

Following the procedure explained in Section 2.2, the state space equations can be expressed as follows:

$$\begin{aligned} \dot{x}_1 &= x_2 + a_1 \omega_0 u, \\ \dot{x}_2 &= -b_0 \omega_0^2 x_1 - b_1 \omega_0 x_2 - a_1 b_1 \omega_0^2 u, \\ y &= x_1. \end{aligned} \quad \dots(17)$$

Note that Eq. (17) can be obtained directly from Eq. (5). Assuming that the a 's and b 's are in the same order and small comparing to ω_0 , the coefficients of state and input variables are not usually close to each other as observed from Eq. (17). In fact, there are huge differences between them.

Now, let us apply the proposed modified companion form technique to the example given in Eq. (16). Following the proposed method explained in the Section 2.3, one obtains following state space equations:

$$\begin{aligned} \dot{x}_1 &= \omega_0 x_2 + a_1 \omega_0 u, \\ \dot{x}_2 &= -b_0 \omega_0 x_1 - b_1 \omega_0 x_2 - a_1 b_1 \omega_0 u, \\ y &= x_1, \end{aligned} \quad \dots(18)$$

where the arbitrary coefficients α_1 , α_2 and β are chosen as follows:

$$\begin{aligned} \alpha_1 &= 1, \\ \alpha_2 &= \omega_0, \\ \beta &= 1 \end{aligned} \quad \dots(19)$$

As seen from Eq. (18), assuming a_1 , b_0 , and b_1 are close to each other, all coefficients in the equation also become close to each other, which is the desired result. This is clearly one of the basic advantages of the proposed method.

2.3 Example 2: Fifth order butterworth low pass filter

A fifth order Butterworth low pass filter is synthesized. This Butterworth filter meets the following low pass filter specifications: 500 kHz pass frequency, 0.5 dB maximum attenuation and unity gain. Transfer function of the filter is given as follows:

$$H(s) = \frac{\omega_0^5}{s^5 + 3.24 \omega_0 s^4 + 5.24 \omega_0^2 s^3 + 5.24 \omega_0^3 s^2 + 3.24 \omega_0^4 s + \omega_0^5} \quad \dots(20)$$

Let us consider the state space description of the transfer function given by Eq. (20) by using modified companion form technique. Obtained state space system equations are given by Eq. (21). Notice that there are huge differences among the coefficients of equations, especially those of the last differential equation.

$$\begin{aligned}
 \alpha_1 \dot{x}_1 &= \alpha_2 x_2 \\
 \alpha_2 \dot{x}_2 &= \alpha_3 x_3 \\
 \alpha_3 \dot{x}_3 &= \alpha_4 x_4 \\
 \alpha_4 \dot{x}_4 &= \alpha_5 x_5 \\
 \alpha_5 \dot{x}_5 &= -3.24\omega_0 \alpha_5 x_5 - 5.24\omega_0^2 \alpha_4 x_4 - 5.24\omega_0^3 \alpha_3 x_3 \\
 &\quad - 3.24\omega_0^4 \alpha_2 x_2 + \omega_0^5 \alpha_1 x_1 + \beta \omega_0^5 u \\
 y &= \frac{\alpha_1}{\beta} x_1 \quad \dots(21)
 \end{aligned}$$

The proposed method is applied to this filter design in order to obtain more balanced and adjustable state space equations with the same filter characteristics. To better understand the technique, two cases in which different α 's and β 's are chosen are considered. Both state space equations are synthesized as log domain filter by following Frey's ingenious synthesis method. Resulted circuits are simulated in PSpice with CBIC-R type transistors 3. Frequency and time domain responses as well as noise and THD analysis are carried out. The results from these two designs are compared.

Case 1 — For realization of unbalanced state space equations, one needs to choose suitable arbitrary coefficients α 's and β 's of Eq. (21). Let these coefficients be as given by in Eq. (22) for Case 1.

$$\begin{aligned}
 \beta &= 1 \\
 \alpha_1 &= 1 \\
 \alpha_2 &= \omega_0 \\
 \alpha_3 &= \omega_0^2 \\
 \alpha_4 &= \omega_0^3 \\
 \alpha_5 &= \omega_0^5 \quad \dots(22)
 \end{aligned}$$

The resulting state space equations are given in Eq. (23). It is clear that coefficients of the state space equations given are in balance and are ready to realize in the log domain.

$$\begin{aligned}
 \dot{x}_1 &= \omega_0 x_2 \\
 \dot{x}_2 &= \omega_0 x_3 \\
 \dot{x}_3 &= \omega_0 x_4 \\
 \dot{x}_4 &= \omega_0 x_5 \\
 \dot{x}_5 &= -3.24\omega_0 x_5 - 5.24\omega_0 x_4 - 5.24\omega_0 x_3 - 3.24\omega_0 x_2 \\
 &\quad + \omega_0 x_1 + \omega_0 u \\
 y &= x_1 \quad \dots(23)
 \end{aligned}$$

Now, consider the system described by Eq. (23). Frey shows that state space equations can be transformed into a set of nodal equations by using exponential mapping on the inputs and state variables³. By using same procedure, one easily finds five nodal equations given as follows:

$$\begin{aligned}
 C \dot{v}_{1L} &= I_5 e^{\frac{v_{2L} + V_{E5} - v_{1L}}{V_T}} - I_5 e^{\frac{v_{1L}}{V_T}} \\
 C \dot{v}_{2L} &= I_5 e^{\frac{v_{3L} + V_{E5} - v_{2L}}{V_T}} - I_5 e^{\frac{v_{2L}}{V_T}} \\
 C \dot{v}_{3L} &= I_5 e^{\frac{v_{4L} + V_{E5} - v_{3L}}{V_T}} - I_5 e^{\frac{v_{3L}}{V_T}} \\
 C \dot{v}_{4L} &= I_5 e^{\frac{v_{5L} + V_{E5} - v_{4L}}{V_T}} - I_5 e^{\frac{v_{4L}}{V_T}} \\
 C \dot{v}_{5L} &= -I_{r1} + I_5 e^{\frac{v_{4L} + V_{E5} - v_{5L}}{V_T}} + I_5 e^{\frac{v_{3L} + V_{E5} - v_{5L}}{V_T}} + I_5 e^{\frac{v_{2L} + V_{E5} - v_{5L}}{V_T}} \\
 &\quad + I_5 e^{\frac{v_{1L} + V_{E5} - v_{5L}}{V_T}} + I_5 e^{\frac{v_{1L} + V_{E5} - v_{5L}}{V_T}} - I_5 e^{\frac{v_{5L}}{V_T}} \quad \dots(24)
 \end{aligned}$$

In this set of equations, left hand sides depict the grounded capacitors currents whereas right hand side terms can be considered as transistors currents whose emitters are tied to same node. In this case, the values of the current sources are set to the following values.

$$\begin{aligned}
 I_{r1} &= 32.4\mu A \\
 Idc31, Idc32, Idc35, Idc36 &= I_{r2} = 52.4\mu A \\
 Idc29, Idc30, Idc37, Idc38 &= I_{r3} = 52.4\mu A \\
 Idc17, Idc18, Idc27, Idc28 &= I_{r4} = 32.4\mu A \\
 Idc1...Idc16, Idc19, Idc20, Idc25, Idc26 &= I_{r5} = 10\mu A \\
 Idc21...Idc24 &= I_{r6} = 10\mu A \quad \dots(25)
 \end{aligned}$$

Case 2 — In order to realize same transfer function with different state space equations, one needs to choose suitable arbitrary set of coefficients α 's and β 's of Eq. (21). For Case 2, these coefficients are set as follows:

$$\begin{aligned} \beta &= \omega_0^{-5} \\ \alpha_1 &= \omega_0^{-5} \\ \alpha_2 &= 0.30864\omega_0^{-4} \\ \alpha_3 &= 0.19084\omega_0^{-3} \\ \alpha_4 &= 0.19084\omega_0^{-2} \\ \alpha_5 &= 0.30864\omega_0^{-1} \end{aligned} \quad \dots(26)$$

In this case, Eq. (27) is obtained as state space representation of Eq. (20):

$$\begin{aligned} \dot{x}_1 &= 0.30864\omega_0 x_2 \\ \dot{x}_2 &= 0.61728\omega_0 x_3 \\ \dot{x}_3 &= \omega_0 x_4 \\ \dot{x}_4 &= 1.61290\omega_0 x_5 \\ \dot{x}_5 &= -3.24\omega_0 x_5 - 3.24\omega_0 x_4 - 3.24\omega_0 x_3 - 3.24\omega_0 x_2 \\ &\quad + 3.24\omega_0 x_1 + 3.24\omega_0 u \\ y &= x_1 \end{aligned} \quad \dots(27)$$

By using same procedure the following nodal equations are obtained:

$$\begin{aligned} C_1 \dot{v}_{1L} &= I_S e^{\frac{v_{1L} + V_T - v_{1R}}{V_T}} - I_S e^{\frac{v_{1R}}{V_T}} \\ C_2 \dot{v}_{2L} &= I_S e^{\frac{v_{2L} + V_T - v_{2R}}{V_T}} - I_S e^{\frac{v_{2R}}{V_T}} \\ C_3 \dot{v}_{3L} &= I_S e^{\frac{v_{3L} + V_T - v_{3R}}{V_T}} - I_S e^{\frac{v_{3R}}{V_T}} \\ C_4 \dot{v}_{4L} &= I_S e^{\frac{v_{4L} + V_T - v_{4R}}{V_T}} - I_S e^{\frac{v_{4R}}{V_T}} \\ C_5 \dot{v}_{5L} &= -I_f + I_S e^{\frac{v_{5L} + V_T - v_{5R}}{V_T}} + I_S e^{\frac{v_{5R} + V_T - v_{5L}}{V_T}} + I_S e^{\frac{v_{5R} + V_T - v_{5L}}{V_T}} \\ &\quad + I_S e^{\frac{v_{1L} + V_T - v_{5L}}{V_T}} + I_S e^{\frac{v_{1L} + V_T - v_{5L}}{V_T}} - I_S e^{\frac{v_{5R}}{V_T}} \end{aligned} \quad \dots(28)$$

where,

$$I_f = I_S e^{\frac{V_T}{V_T}} = 10\mu A \quad \dots(29)$$

In this case, different capacitor values are set as follows:

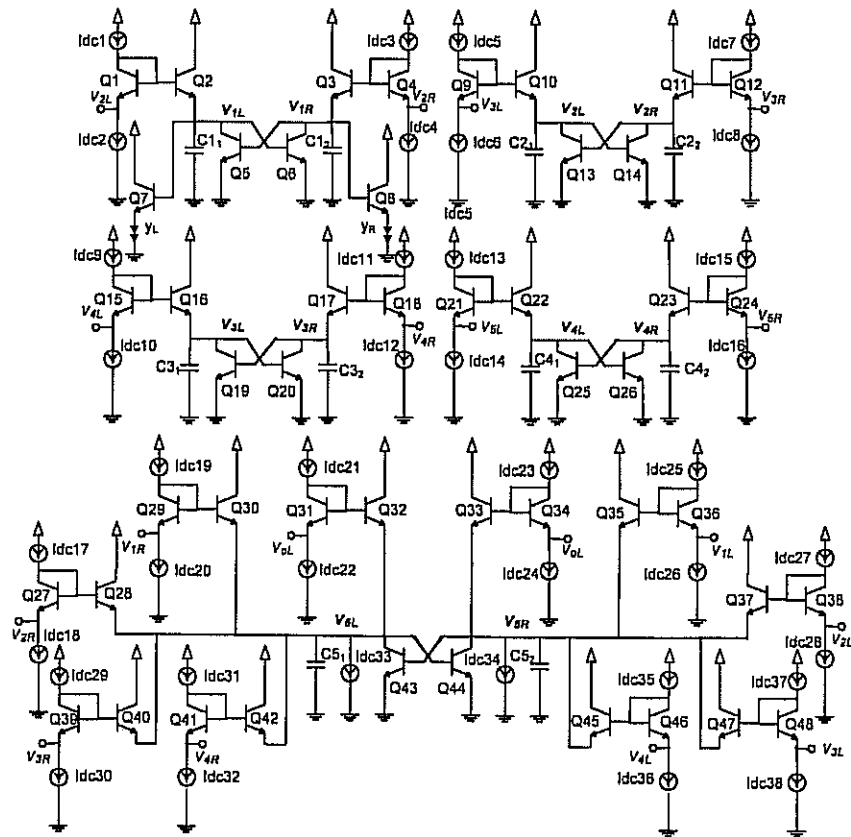


Fig. 1 — The designed 5th order Butterworth Filter

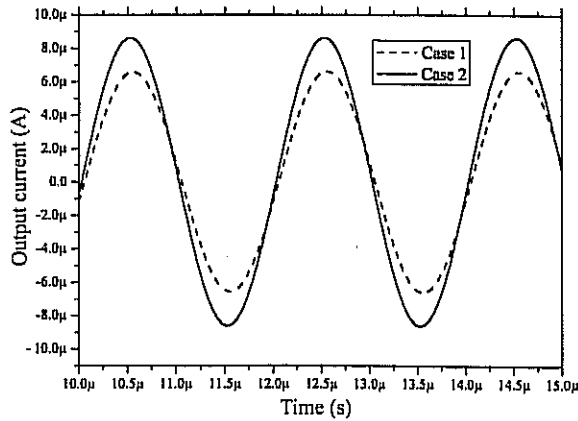


Fig. 2 — The time domain analysis

$$\begin{aligned}
 C_1 &= 323.22 \text{ pF} \\
 C_2 &= 161.61 \text{ pF} \\
 C_3 &= 99.762 \text{ pF} \\
 C_4 &= 61.853 \text{ pF} \\
 C_5 &= 30.926 \text{ pF}
 \end{aligned}
 \quad \dots(30)$$

In fact, for both cases the topology is same; only current sources values or capacitor values differ. Therefore, only one circuit diagram depicted for both cases is shown in Fig. 1.

In order to verify the results of theoretical works, first of all, the designed log domain filters for both cases are simulated in PSpice by using ideal transistors that is default BJT model with $BF=10000$. The circuit supply voltage is selected to be 3V. The values of capacitances and current sources are set as in Eq. (25) and Eq. (30). Simulation results are in agreement with theoretical design. Then using CBIC-R type transistor models, a series of simulations is performed. The time domain analysis results for both cases are given in Fig. 2. Total harmonic distortion analysis is carried out for both cases. A $4\mu\text{A}$ peak value of 500 kHz sinusoidal is applied to the circuits. THD results are obtained from PSpice output files as 0.1320039 and 0.02818620% for Case 1 and Case 2, respectively. It means Case 2 performs better than Case 1 in terms of THD.

Next, simulations are performed for frequency responses of both cases. The gain responses are given in Fig. 3. As seen from this figure, Case 2 shows better performance in terms of *dc* gain. Noise analysis is also carried out. For both cases noise response shows a low pass filter characteristics. For flat noise

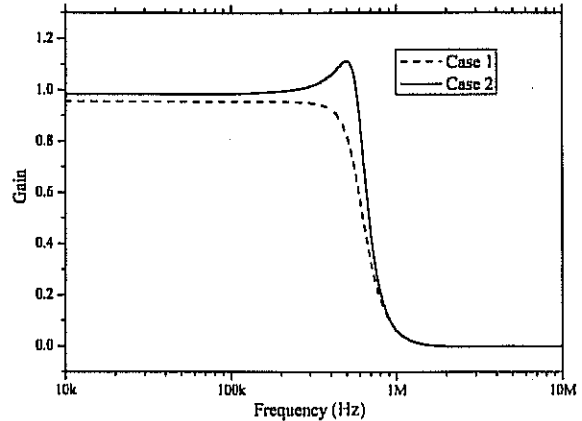


Fig. 3 — The frequency gain responses for both cases

are $81.243 \text{ pA}/\sqrt{\text{Hz}}$ and $19.345 \text{ pA}/\sqrt{\text{Hz}}$ for Case 1 and Case 2, respectively. Case 2 is demonstrated better noise performance.

Simulation results clearly show that the present proposed method can be used to optimize the system in terms of frequency response gain, noise or THD analysis. Designer can choose different sets of coefficients α 's and β 's to realize the system by different state space representations in order to obtain better performance.

3 Conclusions

Based on the companion form technique, a new method for the state space representation of a system is proposed. The method makes it possible to have more balanced state space equations, which means having almost equal coefficients of the equations. Since their coefficients are proportional to devices' currents or voltages, e.g. transistors' currents for log domain filters, having balanced state space equations play an important role to realize such circuits. The proposed method is especially useful for high order circuit realizations which use the state space synthesis method.

Acknowledgment

This work is based on work supported by The Scientific & Technological Research Council of Turkey, TUBITAK, under grant number of 105E088.

References

- 1 Ogata K, *Modern Control Engineering* (Prentice Hall), 1997.
- 2 Lathi B P, *Linear Systems and Signals* (Oxford University Press), 2004.

- 3 Fre R D, *IEE Proc. Pt G*, 140 (1993) 406.
- 4 Frey D R & Tola A T, *IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing*, 46 (1999) 306.
- 5 Drakakis M, Payne J & Toumazou C, *IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing*, 46, (1999) 290.
- 6 Roberts G W & Leung V W, *Design and Analysis of Integrator-Based Log-Domain Filter Circuits* (Kluwer Academic Publishers), 2002.
- 7 Drakakis E M, Payne A J, Toumazou C, Ng A E J & Sewell J I, *High-Order Lowpass and Bandpass Elliptic Log-domain Ladder Filters*, Proceedings of IEEE ISCAS, 2001, p 141-144.
- 8 Psychalinos C, *Int J Circuit Theory and Applications*, 35 (2007), 17.
- 9 Psychalinos C, *Int J Circuit Theory and Applications*, 36, (2008) 119.
- 10 Frey R D, *IEEE Transaction on Circuits and Systems-I: Fundamental Theory and Applications*, 43 (1996) 34.
- 11 Tola A T & Frey D R, *Analog Integrated Circuits and Signal Processing*, 22 (2000) 163.
- 12 Drakakis M & Burdet A, *IEEE Transaction on Circuits and Systems-I: Fundamental Theory and Applications*, 50 (2003) 1337.
- 13 Tola A T, *A Study of Nonideal Log Domain and Differential Class AB Filters*, Ph D Dissertation, Lehigh University, 2000.
- 14 Delliyanis T, Sun Y & Fidler J K, *Continuous-Time Active Filter Design*, (CRC Press), 1999.
- 15 Huelsman L P, *Active and Passive Analog Filter Design*, (McGRAW-HILL), 1999.
- 16 Arslanalp R, *The Realization of Elliptic Filters Approximation in the Log Domain*, in Turkish, Master Thesis, Pamukkale University, Turkey, 2003.
- 17 Arslanalp R & Tola A T, *A New State Space Representation Method for Adaptive Log Domain Systems*, 1 st NASA/ESA Conference on Adaptive Hardware System, 2006, pp 122-125.

SDHARAN P-2295

A Novel Log Domain Notch Filter Based on KHN Topology

Abdullah T. Tola¹, Remzi Arslanalp², Şaziye Surav Yılmaz³

^{1,2}Pamukkale University, Faculty of Engineering, Department of Electrical & Electronics Engineering,
20070, Kinikli, Denizli, Turkey

¹attola@pau.edu.tr, ²rarstanalp@pau.edu.tr

³Pamukkale University, Faculty of Technical Education, Department of Electronics and Computers Education,
20070, Kinikli, Denizli, Turkey

³ssurav@pau.edu.tr

Abstract – In this study, a current mode Log domain Class AB differential type notch filter based on KHN structure has been synthesized by using the state space method and by adopting translinear circuits for the first time. Proposed circuit can produce responses of all typical notch filters. Varying the values of the current sources of the circuit, the natural frequency of the filter as well as the quality factor of the circuit can be tuned electronically. The circuit is simulated in PSpice by using both idealized and CBIC-R type transistor models. It has been shown that the maximum attenuation obtained is about 65 dB. The pole frequency of the filter can be changed between 100 kHz to 1 MHz. The quality factor of circuit can be tuned between 1 and 7. In addition to these simulations, THD and noise analysis are carried out. The obtained results are given.

INTRODUCTION

The class of Log domain circuits is a new member of active, continuous time, current mode circuit family. This class of circuits, based on the principles of translinear circuits, is also known as externally linear internally nonlinear (ELIN) circuits. This new idea of circuitry has been used in both filters and oscillator designs [1, 2]. In the last decade, many researchers focus on Log domain circuits, and more generally ELIN circuits, due to their advantages in circuit design such as high linearity in nonlinear operation, suitability for low voltage applications, and low power dissipation [3].

Current mode circuits which employ active devices such as current conveyors, operational transconductance amplifiers and Log domain integrators offer a wider dynamic range compared to voltage mode circuits. In the last few decades, current mode circuits trend has been powerfully increased and many applications have been carried out by researchers. One of these applications is notch filter synthesis. Using the devices mentioned above, several current mode notch filters have been proposed in the literature [4-7].

KHN circuit which consists of integrator blocks and summer blocks is very popular biquad universal filter. KHN architecture offers low sensitivities and good stability behavior [8]. A KHN filter has all the

fundamental filter responses, i.e. low pass, high pass and band pass. Furthermore, by using summer blocks all pass and notch filter responses can also be obtained.

In this paper, a Class AB differential type [9, 10] notch filter is synthesized in the Log domain for the first time. The proposed filter is based on well known KHN biquad. Synthesized filter is simulated in PSpice in order to verify the theoretical results. Obtained time domain and frequency domain results are given and the results are discussed.

SYNTHESIS

The well known KHN biquad circuitry is shown in Figure 1. The circuit which consists of integrators blocks, summer blocks and feedbacks is realized in the Log domain by following the state space synthesis procedure proposed by Frey [1].

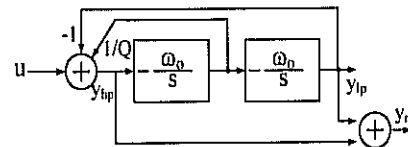


Figure 1: KHN block diagram

Novel Log domain idea is based on the nonlinear transformation of input and state variables while maintaining linear relationship through input to output. Each integrator block of KHN architecture is synthesized by using the state space synthesis method since it is suitable for nonlinear operation.

The state space equations for KHN block diagram of Figure 1 can be obtained by using several methods such as companion form method. By following the differential Class AB Log domain synthesis method [10], state space variables x 's and the input current u are split into two parts which are named as 'L' and 'R' in order to operate as differential type Class AB. Relationship of L, R and original signals are shown in Equation 1.

$$\begin{aligned}x &= x_L - x_R \\ u &= u_L - u_R\end{aligned}\quad (1)$$

For Class AB differential log domain circuits, both sides have same architecture and input signals of L and R sides have same signal only with phase difference. Because of these properties, signal process in equilibrium balance. This allows a lower total harmonic distortion compared to classical Class AB circuits [9].

Since the equations of both sides are similar, only the equations of L side are given from now on. A nonlinear mapping transformation is applied to state space variables and input signal of each sides as following:

$$\begin{aligned} x_L &= I_S e^{\frac{v_L}{V_T}} \\ u_L &= I_S e^{\frac{v_{nL}}{V_T}} \end{aligned} \quad (2)$$

where v_L is the node voltage of L side, I_S is the saturation current, and V_T is the thermal voltage.

In order to obtain strictly positive two input currents, the input current signal is applied to a current splitter circuit. The exploited current splitter circuit [9] and the block symbol are shown in Figure 2

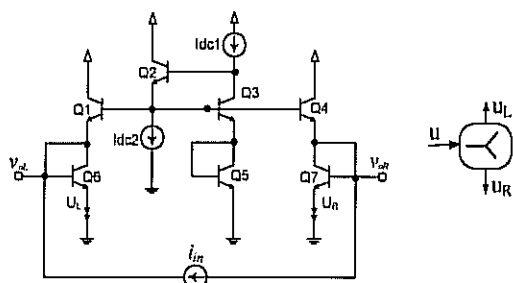


Figure 2: Current splitter circuit and block symbol

Equation 2 is applied to state space equations and after some manipulation Equation 3 is obtained.

$$\begin{aligned} C \dot{v}_L &= I_S e^{\frac{v_{nL} + V_f - v_L}{V_T}} - I_S e^{\frac{v_R}{V_T}} \\ y_L &= I_S e^{\frac{v_L}{V_T}} \end{aligned} \quad (3)$$

where V_f is the level shifting voltage.

First equation can be considered as a node equation written for a grounded capacitor's node. Dot above the voltage term in the left side of first equation depicts derivative by time. If term C is assumed to be the value of a capacitance, then the first equation formulates the capacitor current. The right side terms depict transistor current where base voltages are $v_{nL} - V_f$ and v_R respectively. The second term is Seevinck type dummy input to the appropriate DC and AC balance [11]. The integrator circuit that is obtained from the

state space equations and its block symbol is shown in Figure 3.

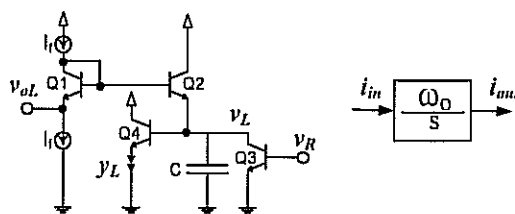


Figure 3: First order integrator circuit and block symbol

Another required block is constant multiplier block to acquire electronically tunable notch, low pass notch and high pass notch filters. Each type of notch filter is adjusted by choosing constant term of notch transfer function's numerator. Current multiplier circuit and block symbol are shown in Figure 4 where the proportion of I_m and I_n determines multiplying coefficient of 'k'.

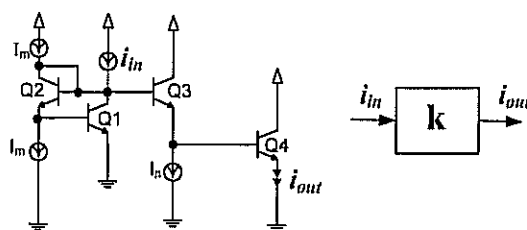


Figure 4: Current multiplier

KHN filters basically give high-pass, band-pass and low-pass filter responses. The Notch filter response can be obtained by summing high-pass and low-pass outputs while multiplying constant (k) defines the type of notch filter. Proposed differential type notch filter's block diagram which consists of mentioned blocks based on KHN structure is depicted in Figure 5.

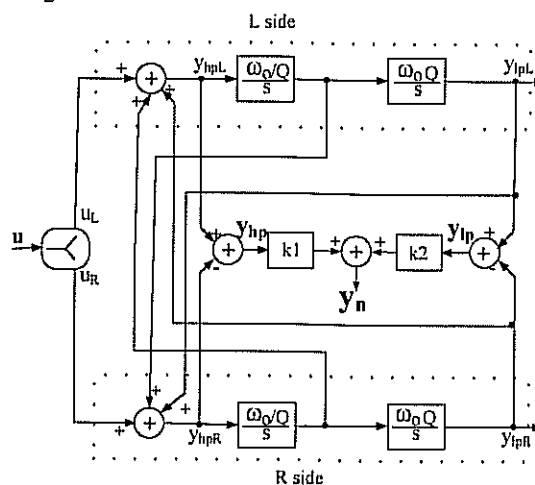


Figure 5: The KHN notch filter

SIMULATIONS RESULTS

Proposed notch filter is first simulated in PSpice by using ideal transistors that is default BJT model with $BF=10000$ in order to verify theoretical results. Since the obtained results are as expected, the series of simulations are performed by using CBIC-R transistor model. The circuit supply voltage is selected to be 1.5 V. Value of capacitances of integrators is chosen to be 5 nF. DC current sources are swept from $80 \mu\text{A}$ to $800 \mu\text{A}$ to tune frequencies.

Frequency responses of high-pass notch, low-pass notch and notch filter for the proposed filter circuit are given in Figure 6. In this figure it is shown that DC gain determines the type of notch filter. Low DC gain (0.5), 0 db gain and high DC gain (1.8) give us the low-pass notch response, the notch response, and the high pass notch response respectively. The maximum attenuation is about 65dB for each response.

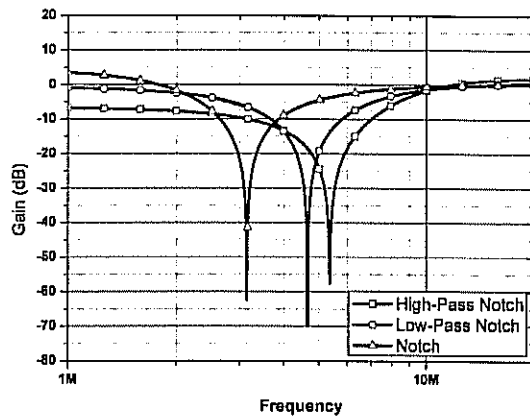


Figure 6: Frequency response for high pass notch, low pass notch and notch filters

Other simulations were performed to tune the pole frequency electronically. Varying the values of the current sources, the filter was tuned between 100 kHz and 1MHz. The resulting frequency response for notch output was plotted in Figure 7.

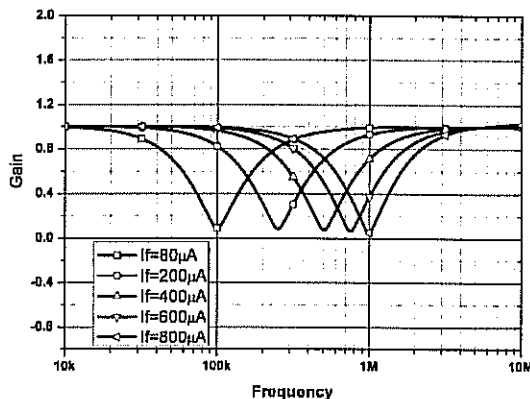


Figure 7: Tunable frequency responses for notch filter

The quality factor of Q for the proposed filter is also tunable by varying some current source's values. To demonstrate this property, the currents were set for different values and the Q factor was varied between 1 and 7. The results are given in Figure 8.

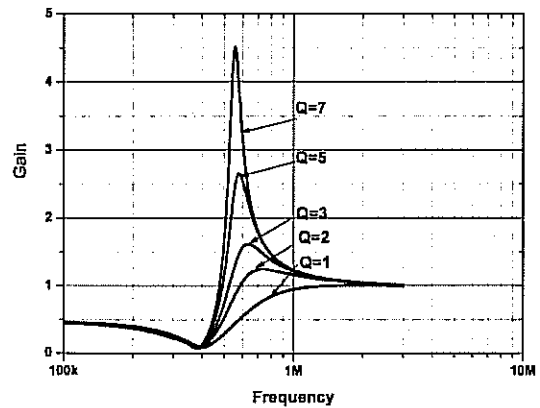


Figure 8: Tunable Q for high pass notch

For the time domain analysis, the circuit was set to 1 MHz pole frequency, $Q=0.707$ for quality factor with $I_f=600 \mu\text{A}$. The transistor currents of the input splitter circuitry were also set to this value. Then, a sinusoidal signal applied to the circuit as input. The peak values of input current is swept from $400 \mu\text{A}$ to $675 \mu\text{A}$. The output signal's THD was measured for each case. The result for this simulation is given in following of Figure 9.

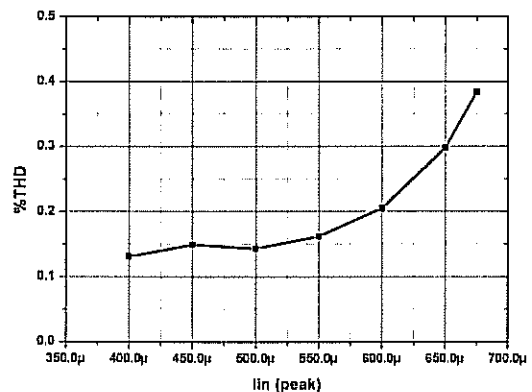


Figure 9: THD results of the proposed filter responses

Noise analysis is also performed. The noise is demonstrated as shown filter characteristic with peak value $272 \text{ pA} / \sqrt{\text{Hz}}$ for $I_f=400 \mu\text{A}$.

CONCLUSION

In this paper, a Class AB differential type Log domain notch filter based on KHN structure is designed. Three blocks, namely integrator, splitter, and multiplying blocks, have been used to realize the proposed circuit. Each block is synthesized by using state space method and by adopting dynamic

translinear circuits. Characteristic parameters, such as Q quality factor, and pole frequency, of the designed notch filter can be changed electronically by adjusting the values of DC current sources only. The filter can be switched between modes like low pass notch, high pass notch and regular notch filter by simply tuning the DC current. The designed filter circuit is simulated in PSpice by using CBIC-R type transistors. Both time domain and frequency domain results show that the designed filter takes advantages of both the Class AB differential log domain circuit and KHN structure. These advantages include electronic tunability and good stability.

ACKNOWLEDGMENTS

This work is based on work supported by The Scientific & Technological Research Council of Turkey, TUBITAK, under Grant number of 105E088.

REFERENCES

- [1] Frey, D. R., Log-Domain Filtering: an Approach to Current-Mode Filtering, IEE Proceedings-g, Vol. 140, No.6, December 1993.
- [2] Mahattanakul, J. and Toumazou C., "Instantaneous Companding Current-Mode Oscillator Based on Class AB Transconductor", Analog Integrated Circuits and Signal Processing, 23, pp. 57-64, 2000.
- [3] Punzerbeger, M. And Enz, C., Log-Domain Filters For Low-Voltage Low-Power Applications, Proc. Int. Workshop Low Power RF Integrated Circ., vol. 1, pp.41-44, 1998.
- [4] Frey, D. R., An Adaptive Analog Notch Filter Using Log Filtering, IEEE Proc. ISCAS, vol. 1., 297-300, 1996.
- [5] Chang CM. Current-mode Allpass/Notch and Bandpass Filter Using Single CCII. Electron Lett 27:1812-3 1991.
- [6] Liu SI, Hwang CS. Realization of Current-mode Filters Using Single FTFN. Int J Electron pp. 499-502 1997.
- [7] Cam U., A Novel Current-mode Second-order Notch Filter Configuration Employing Single CDBA and Reduced Number of Passive Components, Computers & Electrical Engineering volume 30, Issue 2 , pp. 147-151, 2004.
- [8] KerwinW, Huelsman L, Newcomb R. State Variable Synthesis for Insensitive Integrated Circuit Transfer Functions. IEEE J Solid-State Circuits, SC-2:87-92, 1967.
- [9] Tola, A. T. and Frey, D. R., A Study of Different Class AB Log Domain First Order Filters, Analog Integrated Circuits and Signal Processing, 22, pp.163-176, 2000.
- [10] Frey, D. R. and Tola, A. T., A State-Space Formulation For Externally Linear Class AB Dynamical Circuits, IEEE Transaction On Circuits And Systems-II: Analog and Digital Signal Processing, vol. 46, pp. 306-314, 1999.
- [11] Seevinck, E., Companding Current Mode Integrator: A New Circuit Principle for Continuous-Time Monolithic Filters, Electronics Letters, Vol.26, No.24, pp. 2046-2047, 1990.

DESIGN OF DIFFERENTIAL TYPE CLASS-AB GENERAL NOTCH FILTER IN THE LOG DOMAIN

Abdullah T. Tola¹
attola@pau.edu.tr

Şaziye Surav Yılmaz²
ssurav@pau.edu.tr

Remzi Arslanalp³
rarslanalp@pau.edu.tr

^{1,3}Pamukkale University, Faculty of Engineering, Department of Electrical & Electronics Engineering,
20070, Kinikli, Denizli, Turkey

²Pamukkale University, Faculty of Technical Education, Department of Electronics and Computers Education,
20070, Kinikli 1, Denizli, Turkey

Key words: Log domain filters, Class AB filters, ELIN filters, Differential type filters, Notch filters.

ABSTRACT

In this study, a current-mode second-order differential type Class AB notch filter has been synthesized in the Log domain. In the proposed filter only transistors, capacitors and current sources are required to realize a filter function. Pole frequency ω_p of the designed filter can be electronically tuned by changing the I_f current. The proposed circuit is simulated in PSpice by using CBIC-R type transistor models. The pole frequency of the filter can be changed between 300 kHz to 3 MHz. For regular notch filter, low-pass notch filter and high-pass notch filter, it has been shown that maximum attenuation obtained is about 85 dB, 65 dB and 77 dB respectively. In addition to these simulations, time domain, THD and noise analysis are carried out. The obtained results are given.

Generally, two methods are used for synthesis of Log domain filters: State-space synthesis method and signal flow synthesis method. State-space synthesis method is a very powerful and efficient approach in the synthesis of Log domain filters [1]. In this method, more mathematical operations are needed. On the other hand, it gives opportunity for detailed analysis as it satisfies checking of the elements of the circuit [8].

In this study, differential type, Class AB, second order notch filter is synthesized in the Log domain. The design is based on the state space synthesis method. The proposed filter is simulated in PSpice for various frequency, I_f and Q quality factor values. Time domain and frequency domain results are given and the results are discussed.

I. INTRODUCTION

Log domain filters are new members of current mode active continuous time filters family [1,2]. Log domain filters, more generally ELIN filters, are suitable for low voltage and low power applications, have a large dynamic range and works at high frequencies. Additionally, these filters are highly linear, i.e. produce low distortion, and can be electronically tunable [2, 3]. Many researchers have interested in these advantages of Log domain filters [4-15]. Only transistors, capacitors and current sources are required to design this type of filters [7, 8].

Designing Class AB circuit is an efficient approach for balancing the need for good linearity, low noise, and low power consumption. A Class AB circuit is a combination of Class A and Class B. After development of the general theory of Class AB filters in the Log domain [8-9], many researchers presented their studies on Class AB Log domain filters [4, 9-13].

II. SYNTHESIS

State-space synthesis method provides a very general solution for realizing filter function [2,7]. Log domain filters can be described as a nonlinear mapping on the state variables of state space description of a particular transfer function. To implement the filter, state equations have to be further transformed to nodal equations at the nodes of grounded capacitors [9].

In the differential type Class AB Log domain state space synthesis method [7], state space variables x 's and the input current u are split into two parts which are named as 'L' and 'R' in order to operate as differential type Class AB. Relationship of L , R and origin signals are shown in Equation 1.

$$\begin{aligned}x &= x_L - x_R \\ u &= u_L - u_R \\ y &= y_L - y_R\end{aligned}\tag{1}$$

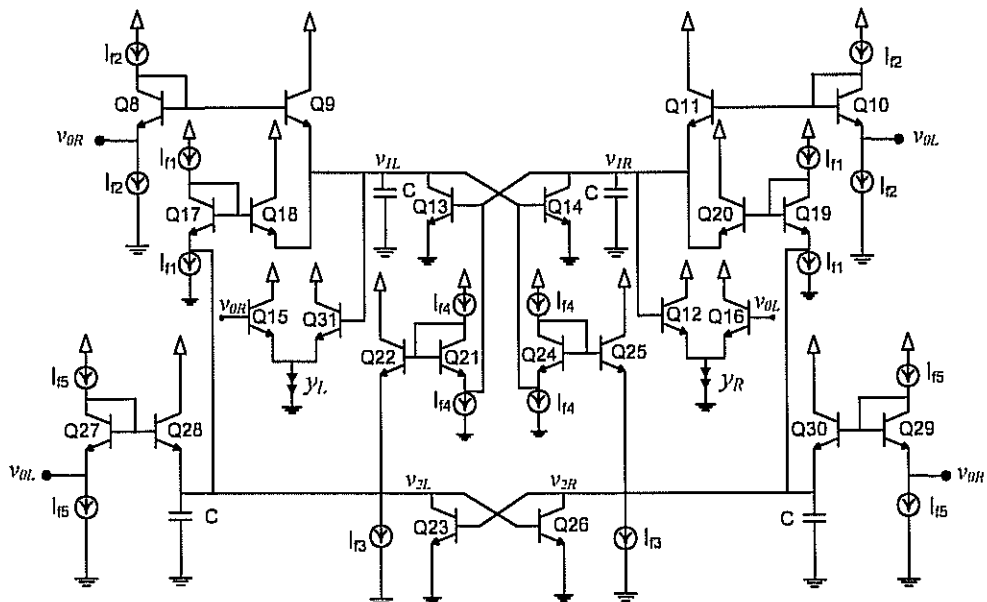


Figure 1: The proposed notch filter circuitry

Difference of input values for L and R sides is equal to the input and their respective values are strictly positive for all possible inputs. Input splitter circuit [8] used in this study to obtain proper input signals for Class AB operation is shown in Figure 2.

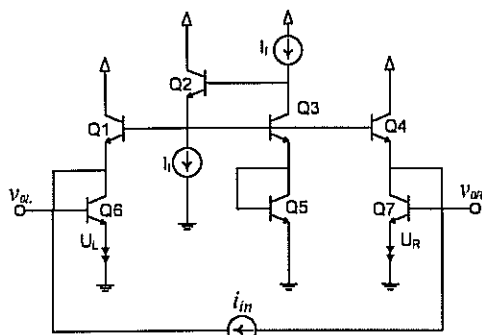


Figure 2: The current splitter circuitry

For Class AB differential type Log domain circuits, both L and R sides have the same architecture and input signals of those have the same signal only with phase difference, which yields in equilibrium balance in signal process. This allows a lower total harmonic distortion compared to classical Class AB circuits [4, 7-9].

A second-order notch filter transfer function can be written as follows;

$$H(s) = \frac{I_{out}(s)}{I_{in}(s)} = a_2 \frac{s^2 + \omega_n^2}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} \quad (2)$$

where ω_0 is the cut off frequency and Q is the quality factor of the filter. First of all, a proper state space representation of this transfer function is obtained from Equation 2. After nonlinear mapping of Equation 3 and some manipulation, equations for left part of the circuit are obtained as shown in Equation 4. Equations for the right part are obtained in a similar way.

$$\begin{aligned} x_L &= I_s e^{\frac{v_L}{V_T}} \\ u_L &= I_s e^{\frac{v_{0L}}{V_T}} \end{aligned} \quad (3)$$

$$C \dot{v}_{1L} = I_s e^{\frac{(v_{2L} + V_{f1} - v_{1L})}{V_T}} + I_s e^{\frac{(v_{0R} + V_{f2} - v_{1L})}{V_T}} - I_s e^{\frac{v_{1R}}{V_T}} \quad (4.a)$$

$$C \dot{v}_{2L} = -I_{f3} + I_s e^{\frac{(v_{1R} + V_{f4} - v_{2L})}{V_T}} + I_s e^{\frac{(v_{0L} + V_{f5} - v_{2L})}{V_T}} \quad (4.b)$$

$$\begin{aligned} & - I_s e^{\frac{v_{2R}}{V_T}} \\ y_L &= I_s e^{\frac{v_{1L}}{V_T}} + a_2 I_s e^{\frac{v_{0R}}{V_T}} \end{aligned} \quad (4.c)$$

Equation (4.a) can be considered as a node equation for a grounded capacitor's node. Dot above the voltage term in the left side depicts derivative by time. If C is assumed to be the value of a capacitance, then Equation (4) formulates the capacitor's current. The right side terms depict transistor currents that those of base voltages are tied to $(v_{2L}-v_{1L})$, $(v_{0R}-v_{1L})$ and v_{1R} voltages respectively. Carrying out same operations for Equations (4.b, 4.c), differential type Class AB notch filter designed in Log domain is obtained and shown in Figure 1.

III. SIMULATION RESULTS

The proposed notch filter was simulated by using CBIC-R transistors with PSpice simulation program. The circuit parameters are chosen as $a_2=1$, $V_{cc}=3V$, $C=500pF$. The value of I_f is swept from $25\mu A$ to $240\mu A$ in order to tune the pole frequency of the filter. Therefore, the natural frequency of the filter is tuned between 300 kHz and 3 MHz and the corresponding frequency response is shown in Figure 3.

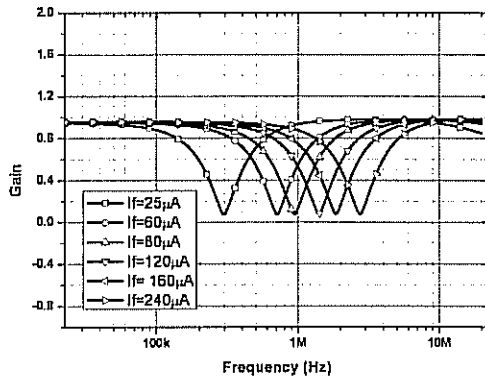


Figure 3: Tunable frequency responses for the proposed notch filter

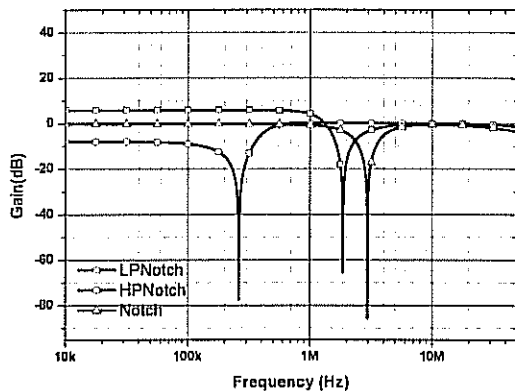


Figure 4: Frequency responses for high-pass notch, low-pass notch and notch filters

Changing the values of current sources, all three notch filter responses can be obtained. To demonstrate this property, series of simulations are carried out and low pass notch, regular notch and high pass notch responses are depicted in Figure 4. It is shown that DC gain of the filter determines the type of notch filter. Low-pass notch, notch and high pass notch responses are obtained for gains of low DC, 0 dB and high DC respectively. According to PSpice analysis of designed filter, maximum attenuation values obtained for low pass notch, regular notch, and high pass notch are 65 dB, 85 dB and 77 dB respectively.

For the time domain analysis, the circuit was set to a 1 MHz pole frequency, quality factor of $Q=1$ with $I_f=600\mu A$. The transistor currents of the input splitter circuitry were also set to $I_m=100\mu A$. Then, a sinusoidal signal applied to input with a 2, 6, 8, 10, 14 and 16 times of I_m value. The output signal's THD was measured for each case. Time response for the second order electronically tunable Log domain notch filter for $I_m=600\mu A$ and $f_0=1MHz$, is shown in Figure 5. The result for THD analysis is given in Table 1.

Noise analysis is also performed. The noise is demonstrated as shown filter characteristic with peak value $131.235 pA / \sqrt{Hz}$ for $I_f=27.6 \mu A$.

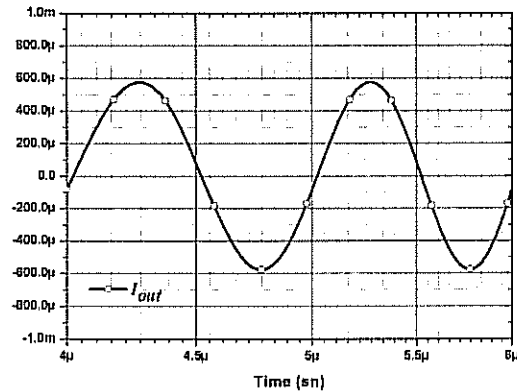


Figure 4: Time responses of proposed notch filter

Table 1: Total harmonic distortion(%)

| Input | Output(THD %) |
|-------|---------------|
| 200μA | 0.0830 |
| 600μA | 0.1700 |
| 800μA | 0.2639 |
| 1mA | 0.4084 |
| 1.4mA | 0.7322 |
| 1.6mA | 0.9128 |

IV. CONCLUSION

A current mode, second order differential type class AB Log domain notch filter is proposed in this study. The state space method is used in this study. Designed circuit's pole frequency ω_0 can be electronically tuned by changing the values of current sources. This filter circuit is simulated in PSpice by using CBIC-R type transistors. Both time domain and frequency domain results show that the designed filter takes advantages of the Class AB differential type Log domain circuit.

ACKNOWLEDGMENTS

This work is based on work supported by The Scientific & Technological Research Council of Turkey, TUBITAK, under Grant number of 105E088.

REFERENCES

1. D. R. Frey, Log-Domain Filtering: An Approach to Current-Mode Filtering, IEE Proceedings-g, Vol. 140, No.6, pp. 406-416, December 1993.
2. D. R. Frey, Exponential State Space Filters: A Generic Current Mode Design Strategy, IEEE Trans. CAS-I: Fund. Theory and Appl., vol. 43, pp.34-42, 1996.
3. Y. Tsividis, Externally Linear, Time-invariant Systems and Their Application to Companding Signal Processors, IEEE Trans. Circuits and Syst.-II, vol. 44, no:2, pp.65-85, February 1997.
4. D.R. Frey, Current Mode Class AB Second Order Filter, Electronics Letter, vol.30, no.3, pp. 205-206, 3 February 1994.
5. D. Perry and G.W.Roberts, The Design of Log-Domain Filters Based on the Operational Simulation of LC Ladders, IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 43, 1996.
6. M. Punzerbeger and C. Enz, Log-Domain Filters for Low-Voltage Low-Power Applications, Proc. Int. Workshop Low Power RF Integrated Circ., 1999.
7. D. R. Frey and A. T. Tola, A State-Space Formulation for Externally Linear Class AB Dynamical Circuits, IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 46, pp.306-314, 1999.
8. A.T. Tola and D.R. Frey, A Study of Different Class AB Log Domain First Order Filters, Analog Integrated Circuits and Signal Processing, 22, pp.163-176, 2000.
9. A. T. Tola, A Study Of Nonideal Log Domain and Differential Class AB Filters, PhD. Dissertation, Lehigh University, 2000.
10. S. Surav Yilmaz, The Systematic Synthesis of Log-Domain Filters, in Turkish, MS Thesis, Pamukkale University, Denizli, 2005.
11. R. Arslanalp, The Realization of Elliptic Filters Approximation in the Log Domain, in Turkish, MS Thesis, Pamukkale University, Denizli, 2003.
12. M. Punzerberger and C. C. Enz, A 1.2 V Low-power BiCMOS Class AB Log-domain Filter, IEEE J.Solid State Circuits, vol. 32, no.12, pp. 1968-1978, December 1997.
13. A. T. Tola, R. Arslanalp, Ş. S. Yılmaz, Design of Current Mode, Low Voltage and Electronically Tunable Class AB Differential Type KHN Filter in the Log Domain, in Turkish, Siu'05, Kayseri, 2005.
14. Yu, G. J., Chen, J.J., Lin, H.Y., Huagan, C.Y., A Low-Voltage Low-Power Log Domain Band-Pass Filter, International Symposium on VLSI Technology, Systems and Applications, 2003 pp.219-222.
15. A. Kirçay, U. Çam, State Space Synthesis of Current-Mode First-Order Log Domain Filters, Turk J. Electric Engineering, Vol. 14, No.3, pp. 399-416, 2006.

HIGH FREQUENCY LOG DOMAIN ALL PASS FILTER BASED ON KHN TOPOLOGY

Abdullah T. Tola¹

e-mail: attola@pau.edu.tr

^{1,2}Pamukkale University, Faculty of Engineering, Department of Electrical & Electronics Engineering,
20070, Kinikli, Denizli, Turkey

Remzi Arslanalp²

e-mail: rarslanalp@pau.edu.tr

²Pamukkale University, Faculty of Engineering, Department of Electrical & Electronics Engineering,
20070, Kinikli, Denizli, Turkey

Şaziye Surav Yılmaz³

e-mail: ssurav@pau.edu.tr

³Pamukkale University, Faculty of Technical Education, Department of Electronics and Computers Education,
20070, Kinikli, Denizli, Turkey

Key words: Log domain filters, KHN, all pass filters, Class AB

ABSTRACT

In this study, a current mode Log domain Class AB differential type all pass filter based on KHN structure has been synthesized by using the state space method and by adopting translinear circuits for the first time. Proposed circuit is synthesized for high frequency, i.e. around 100 MHz. Varying the values of the current sources of the circuit, the natural frequency of the filter can be tuned electronically. The circuit is simulated in PSpice by using both idealized and real transistors that is suitable for high frequency operations. For the amplitude response, the signal maintains approximately to be constant for 6 decades that is from 10 kHz to 10 GHz. The filter's natural frequency is set by changing the values of current sources electronically between 2 mA and 7 mA. In addition to these simulations, THD and noise analysis are carried out. The obtained results are given.

I. INTRODUCTION

All pass filters are very popular processing block in analog signal operations in order to obtain some time delay for the input signal while keeping the amplitude of the input signal constant [1-3]. Many all pass filters have been proposed in the literature by using traditional voltage mode synthesis methods and new generation current mode synthesis methods [3-6]. Current mode circuits have overcome drawback named as limited operation of band width which derived from voltage mode operations. Current mode all pass circuits employ active devices such as current conveyors, operational transconductance amplifiers and Log domain integrators and offer a wider dynamic range compared to voltage mode circuits [3,6,7].

Log domain synthesis method proposed by Frey [8] is one of the powerful design methods due to the fact that it offers high linearity in nonlinear operation. Moreover Log domain circuits, and more generally Externally Linear Internally Nonlinear (ELIN) circuits, are suitable for low

voltage applications, and low power dissipation. Essentially this class of circuits based on the principles of translinear circuits runs in nonlinear operation while keeping the transfer function to be linear [8-10]. This new idea of circuitry has been used in both filters and oscillator designs [8-11].

KHN circuit which consists of integrator blocks and summer blocks is known as biquad universal filter. Each integrator block of KHN reduces one zero from transfer function. For example, in order to obtain a low pass filter response from the band pass response, we could use one integrator block. KHN architecture has low sensitivities and good stability behavior [12]. A KHN filter has all the fundamental filter responses, i.e. low pass, high pass and band pass responses. Furthermore, by using summer blocks all pass and notch filter responses can also be obtained.

In this paper, a Class AB differential type [13,14] all pass filter is synthesized in the Log domain for the first time. The proposed filter is based on well known KHN biquad. Synthesized filter is simulated in PSpice in order to verify the theoretical results. Obtained time domain and frequency domain responses as well as THD and noise analysis are given and all results are discussed.

II. SYNTHESIS

Second order all pass filter transfer function can be written as follows,

$$H(s) = a_2 \frac{s^2 - s \frac{\omega_0}{Q} + \omega_0^2}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} \quad (1)$$

where ω_0 is the cut off frequency, a_2 is the flat gain, and Q is the quality factor of the filter.

Let us consider the transfer function of Equation (1) for an all pass filter. As well known that all pass filter is compose of added output of low pass, inverse band pass, and high pass filters. These arguments of all pass filter can be obtained by using KHN circuitry which is one of the universal filter. The KHN architecture with all pass output is shown in Figure 1.

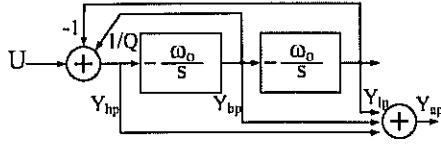


Figure 1: KHN block diagram

The KHN biquad circuit which consists of integrators blocks, summer blocks and feedbacks is realized in the Log domain by following the state space synthesis procedure proposed by Frey [8]. The synthesis procedure based on nonlinear transformation of input and state variables while maintaining linear relationship through input to output. Nonlinear exponential transformation is shown in Equation 2:

$$x = I_s e^{\frac{v}{V_T}} \quad (2)$$

$$u = I_s e^{\frac{v_u}{V_T}}$$

According to class AB circuit procedure we process signal in two parts which are named as "L" side and "R" side. Both sides have same architecture blocks. The relationship of L, R, and original signals are shown in Equation 3. Input signal is split into two pieces by using current splitter [10]. Outputs of both sides are also collected in summer block to obtain general output of all pass filter.

$$x = x_L - x_R \quad (3)$$

$$u = u_L - u_R$$

Since the equations of both sides are similar, only the equations of L side are given from now on.

Nonlinear mapping shown in Equation 2 is applied to both sides' state space equations that can be obtained from transfer function of integrator by using several methods such as companion form method. After some manipulation, Equation 4 that depicts a single side integrator is obtained. The integrator is shown in Figure 2.

$$I_{outL} = \frac{\omega_0 I_{inL}}{s + \frac{1}{CV_T} I_{outR}} \quad (4)$$

where,

$$i_{inL} = I_s e^{\frac{v_{inL}}{V_T}}, i_{outL} = I_s e^{\frac{v_{outL}}{V_T}}, i_{outR} = I_s e^{\frac{v_{outR}}{V_T}} \quad (5)$$

$$I_{dc1} = I_{dc2} = I_f = I_s e^{\frac{V_f}{V_T}}$$

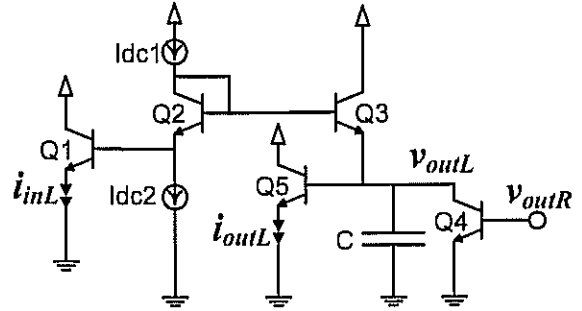


Figure 2: Log domain integrator for one side

KHN filters basically give high-pass, band-pass and low-pass filter responses. The all pass filter response can be obtained by summing high-pass, low-pass and inverse band pass outputs. Proposed differential type all pass filter's block diagram which consists of mentioned integrator blocks based on KHN structure is depicted in Figure 3.

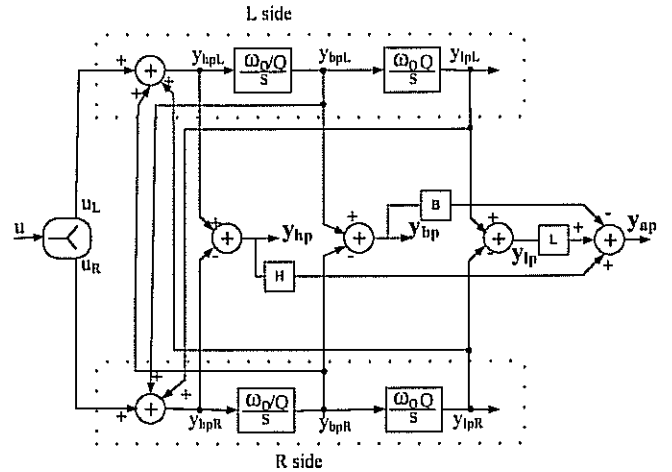


Figure 3: Biquad KHN all pass filter

III. SIMULATION RESULTS

In order to verify the theoretical synthesis, the proposed all pass filter is first simulated in PSpice by using ideal transistors that is default BJT model with $BF=10000$.

Since the obtained results are as expected, the series of simulations are performed by using real transistor model which has $f_T = 20$ GHz. The circuit supply voltage is selected to be 1.5 V. The value of capacitances of integrators is chosen to be 0.2 nF. Quality factor of circuit is defined to be 0.707.

Both gain and tuned phase frequency responses of all pass filter for the proposed filter circuit are given in Figure 4 and Figure 5 respectively. Note that for Figure 4, it is shown that the amplitude of the input signal maintains approximately constant for 6 decades, i.e. from 10 kHz to 10 GHz. The values of DC current sources were swept from 2 mA to 7 mA to tune the natural frequencies of the filter and the corresponding phase response is shown in Figure 5. As expected, the phase of the filter varies between 0° and 360° . These results confirm the theoretical synthesis.

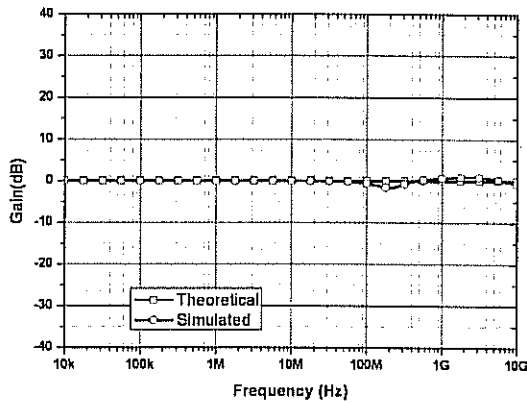


Figure 4: Gain response of the proposed filter

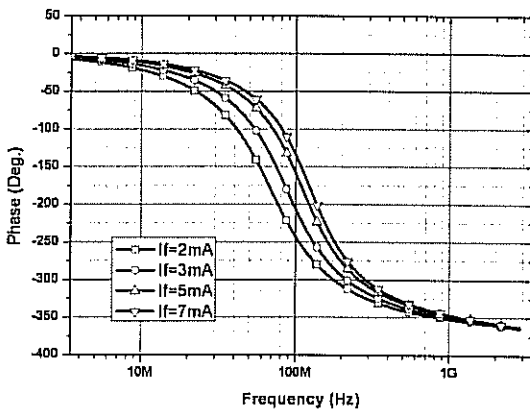


Figure 5: Phase response of the proposed filter

The time-domain response of the all pass filter is shown in Figure 6. A sine-wave input at frequency of 110 MHz was applied to the filter in the case of $I_f = 5$ mA for DC current sources. Since this frequency is the natural frequency of the filter, the phase difference of the output signal is 180° as expected. At this value of the phase delay maximum

gain attenuation occurred. This result simply can be observed in the amplitude response of filter given in Figure 4 for around this frequency.

For this time domain analysis, the circuit was set to 110 MHz pole frequency, $Q=0.707$ for quality factor with $I_f=5$ mA. Total Harmonic Distortion (THD) analysis was performed for input peak value of 1 mA. Obtained THD value was % 0.47. Noise analysis was also performed for this case. The noise was obtained as $690 \text{ pA} / \sqrt{\text{Hz}}$ for this frequency.

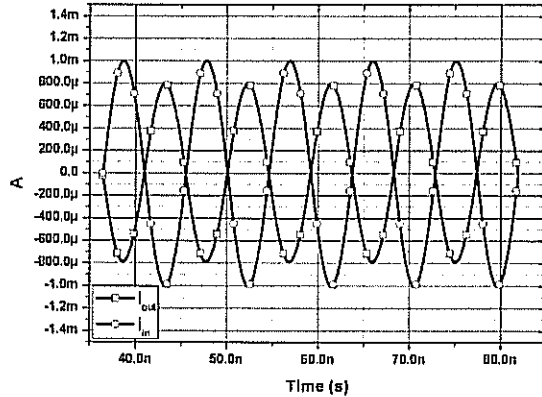


Figure 6: Time domain response of the proposed filter

IV. CONCLUSION

In this paper, a Class AB differential type Log domain all pass filter based on KHN structure is designed. According to Class AB log domain synthesis procedure, the input signal and state space variables are split into two sides named L side and R side.

KHN structure consists of three blocks, namely integrator, splitter, and multiplying blocks. These blocks have been used to realize the proposed circuit. Integrator block is synthesized by using state space method and the others are adopted by dynamic translinear circuits. The pole frequency of the designed all pass filter can be changed electronically by adjusting only the values of DC current sources. The designed filter circuit is simulated in PSpice by using ideal and real transistor that suitable high frequency operation. Satisfactory high frequency operation results with low distortion and low noise for a chosen case are obtained. Both time domain and frequency domain results show that the designed filter takes advantages of both the Class AB differential log domain circuit and KHN structure. These advantages include electronic tunability and good stability.

V. ACKNOWLEDGMENTS

This work is based on work supported by The Scientific & Technological Research Council of Turkey, TUBITAK, under Grant number of 105E088.

REFERENCES

1. D. J. Comer and J. E. McDermid, "Inductorless Bandpass Characteristics using All-Pass Networks," *IEEE Trans. Circuit Theory*, vol. CT-15, pp. 501-503, Dec. 1968.
2. Cakir, C.; Cam, U.; Cicekoglu, O. "Novel Allpass Filter Configuration Employing Single OTRA," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, Vol. 52, no. 3, pp. 122 - 125, 2005
3. Sudhanshu M. and Iqbal A. K. "Simple first-order Translinear Current Mode All Pass Filter Section," *International Journal of Electronic*, vol. 90 pp. 79-85, 2003.
4. Comer, D.T.; Comer, D.J.; Gonzalez, J.R.: "A high Frequency Integrable Band-Pass Filter Configuration" *IEEE Transactions on Circuits and Systems-II* 44, 856-860, 1997.
5. Cicekoglu, O.; Kuntman, H.; Berk, S.: "Single CCII+ Based All-Pass Filters" *Int. J. Of Electronics* 86, 947-955 1999.
6. Cam, U.; Cicekoglu, O.; Gulsoy, M.; Kuntman, H.: "New Voltage And Current Mode First-Order All-Pass Filters Using Single FTFN" *Frequenz* 54(7-8), 177-179 2000.
7. Kircay A., Cam U., A. T. Tola., "Novel First-Order Differential class-AB Log-Domain Allpass Filters", *Int. Journal of Electronics and Communications (AEUE)*, Vol.60, Iss.10, pp. 705-712., Nov., 2006.
8. Frey, D. R., *Log-Domain Filtering: an Approach to Current-Mode Filtering*, IEE Proceedings-g, Vol. 140, No.6, December 1993.
9. Mahattanakul, J. and Toumazou C., "Instantaneous Companding Current-Mode Oscillator Based on Class AB Transconductor", *Analog Integrated Circuits and Signal Processing*, 23, pp. 57-64, 2000.
10. Punzerbeger, M. And Enz, C., *Log-Domain Filters For Low-Voltage Low-Power Applications*, Proc. Int. Workshop Low Power RF Integrated Circ., vol. 1, pp.41-44,1998.
11. Mahattanakul, J. and Toumazou C., "Instantaneous Companding Current-Mode Oscillator Based on Class AB Transconductor", *Analog Integrated Circuits and Signal Processing*, 23, pp. 57-64, 2000.
12. Kerwin W, Huelsman L, Newcomb R. *State Variable Synthesis for Insensitive Integrated Circuit Transfer Functions*. *IEEE J Solid-State Circuits*, SC-2:87-92, 1967.
13. Tola, A. T. and Frey, D. R., *A Study of Different Class AB Log Domain First Order Filters*, *Analog Integrated Circuits and Signal Processing*, 22, pp.163-176, 2000.
14. Frey, D. R. and Tola, A. T., *A State-Space Formulation For Externally Linear Class AB Dynamical Circuits*, *IEEE Transaction On Circuits And Systems-II: Analog and Digital Signal Processing*, vol. 46, pp. 306-314, 199

A STUDY OF NONLINEAR EFFECTS BASED ON FINITE CURRENT GAIN OF CORE FILTER TRANSISTOR IN THE LOG DOMAIN

Remzi Arslanalp
Department of Electrical &
Electronics Engineering
Pamukkale University
Denizli, Turkey
rarslanalp@pau.edu.tr

Şaziye Surav Yılmaz
Department of Electronics and
Computers Education
Pamukkale University
Denizli, Turkey
ssurav@pau.edu.tr

Abdullah T. Tola
Department of Electrical &
Electronics Engineering
Pamukkale University
Denizli, Turkey
attola@pau.edu.tr

Abstract— In this work, an investigation on nonideal effects of core filter transistors in the log domain filters is presented. First order log domain Class AB circuit is considered as an example. Core filter transistors are modeled to obtain finite current gain by dependent current sources as mentioned above. First order low pass Class AB log domain filter is synthesized, then ideal core transistors are replaced with modeled ones which have finite current gain. The nonideal effects based on finite current gain of core filters are obtained as an extra term in state space equations. Both modified log domain filter and original circuit are simulated in PSpice. All simulation results are presented.

1. INTRODUCTION

The trend of current mode circuits has rapidly increased in the last decades. An alternative current mode signal processing method is proposed by Frey [1]. The method is named as log domain filtering and has become very popular due to the fact that it offers high linearity in nonlinear operation. Moreover; log domain circuits, and more generally Externally Linear Internally Nonlinear (ELIN) circuits [2], are suitable for low voltage applications, and low power dissipation. Essentially, this class of circuits, based on the principles of translinear circuits, runs in nonlinear operation while keeping the transfer function to be linear [3,4] and this class of circuits is a new member of current mode active continuous time filters.

Log domain filters also use the idea of the companding signal processing [5]. The input current is first compressed using a logarithmic function while it is forced to drive a BJT transistor since the emitter-base voltage of the device is logarithm of the current. The output circuitry has an expanding block, which means that the output voltage is applied to a BJT's base-emitter to obtain a current of exponential of the voltage. Since the output function is reverse function of the input; the overall transfer function remains linear without using any element to linearize it.

Class AB circuit is a combination of Class A and Class B. This circuit has low noise, low distortion, and high linearity. It also reduces power consumption comparing to Class A [6-8]. Although Class AB is used for amplifications, it was not used for filters until the late 90's [6-8]. The general theory of Class AB filters in the log domain was developed by Frey and Tola [7, 8]. Then, using this theory, various Class AB filters have been designed [6-8].

All designed circuits by researchers suffer from nonideal effects which may lead to distortion [9-13]. This is also true for log domain filters. The most important distortion sources in log domain filters are finite current gain, β , and parasitic emitter resistance R_e . In this work, nonideal effects of finite current gain of core filter transistor which is tied to capacitor are investigated.

That transistor is modeled by using an ideal transistor and dependent current source [6]. After that, a general state space method is offered for the distortion analysis of the log domain filters. A first order Class AB low pass filter in which all transistors are ideal except transistor of core filter has finite current gain is simulated.

2. MODELLING

For conventional log domain filters, transistors are assumed to be ideal. The term "ideal transistor" is used throughout the paper as assuming the following: the base current is zero, the forward gain is infinity, the collector and emitter currents, consequently, are the same, and the relation between collector current and base-emitter voltage is purely exponential as they work in the active region. And all other specifications are the same with default transistor in PSpice. An

NPN transistor is depicted in the Figure 1. Since base current is assumed to be zero, transistor current is called i_Q and base emitter voltage is called v_Q as seen Figure 1 and Equation 1.

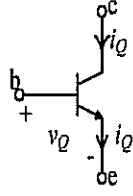


Fig. 1: An ideal NPN transistor

$$i_B = 0$$

$$i_C = i_E = i_Q = I_s e^{\frac{v_Q}{V_T}} \quad (1)$$

$$v_{BE} = v_Q$$

Where, $V_T = \frac{kT}{q}$ k is Boltzmann's constant, T is the absolute temperature in Kelvins, and q is the magnitude of electronic charge.

Let us consider a transistor that has finite current gain, β , and is otherwise ideal. In this case, the base current is no longer equal to zero; consequently, the collector and emitter current are not equal. A new voltage current relation can be depicted as following Equations 2-4. The model is shown in Figure 2 [6].

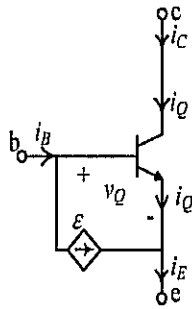


Fig. 2: The transistor model for a transistor that has finite current gain [6]

$$i_E = i_C + i_B = \left(1 + \frac{1}{\beta}\right) I_s e^{\frac{v_{BE}}{V_T}} \quad (2)$$

$$i_E = I_s e^{\frac{v_Q}{V_T}} + \frac{1}{\beta} I_s e^{\frac{v_Q}{V_T}} \quad (3)$$

$$i_E = i_Q + \epsilon \quad (4)$$

$$\text{where } \epsilon = \frac{1}{\beta} i_Q$$

3. FINITE CURRENT GAIN CASE

First order all pass filter transfer function and its state space representation can be written as following Equation 5 and Equation 6.

$$H(s) = \frac{Y}{U} = \frac{\omega_0}{s + \omega_0} \quad (5)$$

where ω_0 is the cut off frequency.

$$\dot{x} = -\omega_0 x + \omega_0 u \quad (6)$$

$$y = x$$

In the differential type Class AB log domain state space synthesis method [6-8], state space variables x 's and the input current u are split into two parts which are named as 'L' and 'R' in order to operate as differential type Class AB. Relationship of L, R and origin signals are shown in Equation 7.

$$x = x_L - x_R$$

$$u = u_L - u_R \quad (7)$$

$$y = y_L - y_R$$

For Class AB differential type log domain circuits, both L and R sides have the same architecture and input signals of those have the same signal only with phase difference, which yields in equilibrium balance in signal process. State space representation of transfer function for L side is shown in following Equation 8.

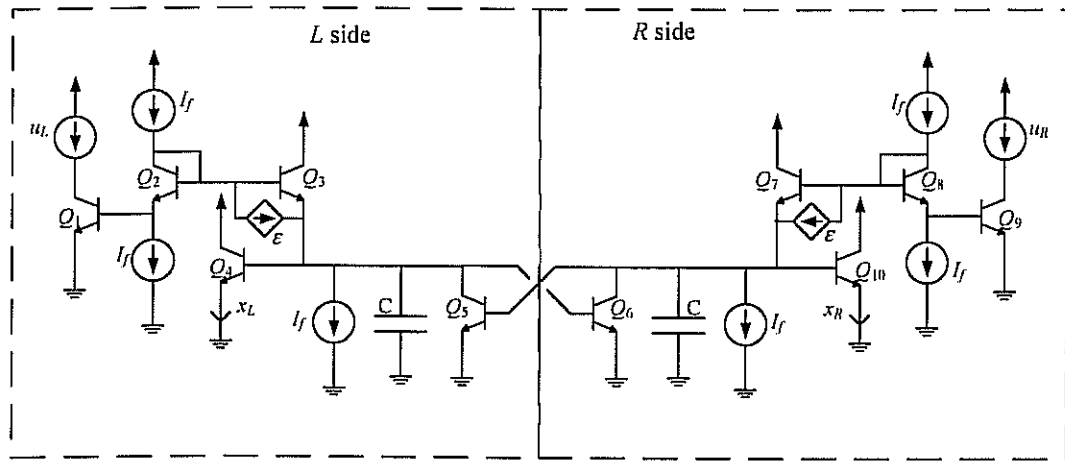


Figure 3: Modified circuit where Q_3 and Q_7 have finite current gain

$$\dot{x}_L = -\omega_0 x_L + \omega_0 u_L - f x_L x_R \quad (8)$$

$$y_L = x_L$$

where f is function of x_L , x_R , u_L , and u_R .

After nonlinear mapping of Equation 9 and some manipulation, equations for left part of the circuit are obtained as shown in Equation 10. Equations for the right part are obtained in a similar way.

$$x_L = I_s e^{\frac{v_L}{V_T}} \quad (9)$$

$$u_L = I_s e^{\frac{v_L}{V_T}}$$

$$C\dot{v}_L = -I_f + I_s e^{\frac{v_L + v_f - v_L}{V_T}} - I_s e^{\frac{v_L}{V_T}} \quad (10)$$

$$y_L = I_s e^{\frac{v_L}{V_T}}$$

These nodal equations are obtained by obeying ideal transistor. Let us consider the same obtained circuit where the core transistor has finite current gain. Therefore Q_3 and Q_7 transistors are replaced with finite current gain model mentioned above and the circuit is depicted in Figure 3.

Let us start to obtain nonideal effects of modeled transistors with nodal equation of capacitor for L side as shown following Equations 11-16.

$$C\dot{v}_L = -I_f + I_{Q3} + \varepsilon - I_{Q5} \quad (11)$$

$$I_{Q3} = \frac{I_{Q1} I_{Q2}}{I_{Q4}} \quad (12)$$

$$I_{Q1} = u_L - \varepsilon$$

$$I_{Q2} = I_f - \varepsilon \quad (13)$$

$$I_{Q4} = x_L$$

$$C\dot{v}_L = -I_f + \frac{I_f}{x_L} u_L \quad (14)$$

$$+ \frac{I_f}{x_L} \left[-\frac{\varepsilon}{I_f} u_L - \varepsilon + \frac{\varepsilon^2}{I_f} + \frac{x_L \varepsilon}{I_f} \right] - I_{Q5}$$

Let us multiply $\frac{\omega_0}{I_f} x_L$ to each terms:

$$\dot{x} = -\omega_0 x + \omega_0 u + \omega_0 u_d \quad (15)$$

$$u_d = \left(\frac{1}{\beta} - \frac{I_f}{x_L \beta} \right) u_L \quad (16)$$

$$+ \left(\frac{I_f}{x_L^2 \beta^2} - \frac{1}{x_L \beta} \right) u_L^2$$

Note that the term of u_d is added to original state space representation. Since this term consists of nonlinear terms, this effect creates distortion. This perturbed input also produces some harmonics.

4. SIMULATION RESULTS

The circuit supply voltage is selected to be 3 V. Value of capacitances of integrator is chosen to be 123 pF. DC current sources are set to be 10 μ A. The synthesized filter is simulated in PSpice for two cases:

all transistors are ideal, i.e. default transistor model with $BF=10000$, and only core filter transistors have finite current gain. First simulation is for AC response of the circuit. The filter was set to a 500 kHz pole frequency. For the frequency responses of both two cases, filter characteristics are obtained. These responses are given in Figure 4. As seen from the figure, there is a difference in band gain between two cases.

For the time domain analysis, the circuit was set to the pole frequency. The transistor currents of the input splitter circuitry were also set to $10\text{ }\mu\text{A}$ value. Then, a sinusoidal signal applied to the circuit as input. The peak value of input current is $8\text{ }\mu\text{A}$. The output signal's THD was measured for each current gain value of core filter transistor. The result for this simulation is given in Table 1.

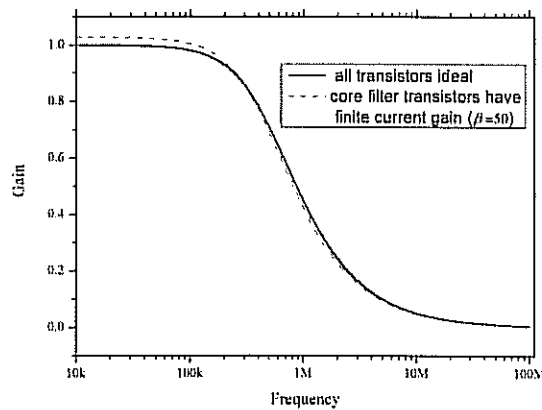


Fig. 4: AC response of filter for both cases

Table 1: Total harmonic distortion due to each current gain of core filters

| β | THD% |
|---------|--------|
| 25 | 0.028 |
| 50 | 0.015 |
| 75 | 0.0085 |
| 100 | 0.0077 |

The error value of transistors' DC current and DC base-emitter voltage between two cases are also investigated. Difference in DC current values and DC base-emitter voltages for only L side are given in Table 2 and Table 3 respectively.

Table 2: DC current values of L side transistors

| | All transistors ideal | Core filter transistors have finite current gain ($\beta=50$) | Error % |
|-----------|-----------------------------|---|---------|
| I_{EQ1} | $9.998\text{ }\mu\text{A}$ | $9.687\text{ }\mu\text{A}$ | 3.11 |
| I_{EQ2} | $9.998\text{ }\mu\text{A}$ | $9.687\text{ }\mu\text{A}$ | 3.11 |
| I_{EQ3} | $16.179\text{ }\mu\text{A}$ | $15.987\text{ }\mu\text{A}$ | 1.19 |
| I_{EQ4} | $6.179\text{ }\mu\text{A}$ | $5.986\text{ }\mu\text{A}$ | 3.12 |
| I_{EQ5} | $6.179\text{ }\mu\text{A}$ | $5.986\text{ }\mu\text{A}$ | 3.12 |

Table 3: DC base-emitter voltage values of L side transistors

| | All transistors ideal | Core filter transistors have finite current gain ($\beta=50$) | Error % |
|-----------|-----------------------|---|---------|
| V_{EQ1} | 655.093 mV | 654.273 mV | 0.125 |
| V_{EQ2} | 655.093 mV | 654.273 mV | 0.125 |
| V_{EQ3} | 667.541 mV | 666.722 mV | 0.123 |
| V_{EQ4} | 642.644 mV | 641.824 mV | 0.128 |
| V_{EQ5} | 642.644 mV | 641.824 mV | 0.128 |

5. CONCLUSION

In this work, an investigation on nonideal effects of core filter transistors in the log domain filters is presented. First order log domain Class AB circuit is considered as an example. Core filter transistors are modeled to obtain finite current gain by dependent current sources as mentioned above. First order low pass Class AB log domain filter is synthesized by obeying state space synthesis method procedure proposed by Frey [1]. And then ideal core transistors are replaced with modeled ones which have finite current gain. This modified circuit is analyzed by using translinear principle. And nonideal effects based on finite current gain of core filters are obtained as an extra term in state space equations. Both modified log domain filter and original circuit are simulated in PSpice. All simulation results are presented. Obtained mathematical equations can be developed and can be comparison with simulated results as previously work.

ACKNOWLEDGMENTS

This work is based on work supported by The Scientific & Technological Research Council of Turkey, TUBITAK, under Grant number of 105E088.

REFERENCES

- [1] Frey, D. R., Log-Domain Filtering: an Approach to Current-Mode Filtering, IEE Proceedings-g, Vol. 140, No.6, December 1993, pp. 406-416.
- [2] Y. Tzividis, Externally Linear, Time-invariant Systems and Their Application to Companding Signal Processors, IEEE Trans. Circuits and Syst.-II, vol. 44, no.2, 1997, pp. 65-85.
- [3] Gilbert, B., Translinear Circuits: A Proposed Classification, Electronics Letter, Vol. 11, 1975.
- [4] Mulder, J., Kouwenhoven, M. H. L., Serdijn, W. A., Van Der Woerd, A. C. And Van Roermund, A. H. M., Nonlinear Analysis Of Noise in Static And Dynamic Translinear Circuits, IEEE Transaction On Circuits And Systems-II: Analog And Digital Signal Processing, Vol. 46, 1999.
- [5] Seevinck, E., Companding Current Mode Integrator: A New Circuit Principle For Continuous-Time Monolithic Filters, Electronic Letters, Vol.26, , 1990, pp. 2046-2047.
- [6] Tola, A. T., A Study Of Nonideal Log Domain and Differential Class AB Filters, PhD. Dissertation, Lehigh University, 2000.
- [7] Frey, D. R. and Tola, A. T., A State-Space Formulation For Externally Linear Class AB Dynamical Circuits, IEEE Transaction On Circuits And Systems-II: Analog and Digital Signal Processing, vol. 46, 1999, pp. 306-314.
- [8] Tola, A. T. And Frey, D. R., A study Of Different Class AB Log Domain First Order Filters, Analog Integrated Circuits And Signal Processing, Vol. 22, 2000, pp. 163-176.
- [9] Frey, D., Distortion Compensation In Log-Domain Filters Using State-space Techniques, IEEE Transaction On Circuits And Systems-II: Analog And Digital Signal Processing, Vol. 7, 1999.
- [10] Mulder, J., Kouwenhoven, M. H. L., Serdijn, W. A., Van Der Woerd, A. C. And Van Roermund, A. H. M., Nonlinear Analysis Of Noise in Static And Dynamic Translinear Circuits, IEEE Transaction On Circuits And Systems-II: Analog And Digital Signal Processing, Vol. 46, 1999.
- [11] V. W. Leung, M. EL-Gamal, and G.W. Roberts, "Effects of transistor nonidealities on log domain filters" Proc. IEEE ISCAS, Hong Kong 1997, pp. 109-112.
- [12] A. Worapishet and C. Toumazou, "fT Integrator for very high frequency applications", IEEE trans. Circuit and Syst-II vol. 45 no 9 Sep. 1998, pp. 1212-1219.
- [13] Leung, V. W., Roberts, G. W., Effects Of Transistor Nonidealities On High-Order Log-Domain Ladder Filter frequency Responses, IEEE Transaction On Circuits And Systems-II: Analog And Digital Signal Processing, Vol. 47, 2000.

FIFTH ORDER BUTTERWORTH LOW PASS LOG DOMAIN FILTER DESIGNS BY USING LOGOS

Şaziye Surav Yılmaz

Department of Electronics and
Computers Education
Pamukkale University
Denizli, Turkey
ssurav@pau.edu.tr

Remzi Arslanalp

Department of Electrical &
Electronics Engineering
Pamukkale University
Denizli, Turkey
rarlsanalp@pau.edu.tr

Abdullah T. Tola

Department of Electrical &
Electronics Engineering
Pamukkale University
Denizli, Turkey
attola@pau.edu.tr

Abstract— In this work, two different fifth order log domain low pass Butterworth filters are designed by using LOGOS software program. First filter is designed directly from fifth order transfer function. Second filter is obtained by cascading one first order and two second order filters. Both filters are designed by LOGOS. The filters are simulated by PSpice and results are compared.

1. INTRODUCTION

Log domain filters are new member of current mode active continuous time filters family [1]. These filters have some additional advantages with respect to other filter implementation techniques; only transistors and capacitors are required to realize a filter function [2]. Log domain filters are suitable for low voltage-low power applications like RF systems [2]. These filters are high linear, have low distortion and are electronically tunable.

It makes synthesis of log-domain filters different than others as they satisfy linear filter behavior with nonlinear elements. There are different design methods like state space synthesis method, signal flow synthesis method, block modeling synthesis method and mixed method in order to design log domain filters. The state space synthesis method is a very powerful and efficient approach in the synthesis of log domain filters. The synthesis method provides a very general solution for realizing filter function [1,2]. In this work, state space synthesis method is preferred to design log domain filters.

Class AB circuit designs are an efficient approach to balancing the need for good linearity, low noise, and low power. The class AB circuit is a combination of Class-A and Class-B circuits. The first Class AB filter was introduced by Seevinck [3]. The general theory and implementation of Class-AB log domain filters have been proposed in [4,5,6]. Then, many researchers

presented different works about Class-AB log domain filters [2,5,6,7].

LOGOS is a log domain filter design and analysis program developed by authors. State space representation coefficients up to 11th order are entered the program; then it synthesizes a Class AB differential log domain filter. It also produces a netlist code to analyze the designed circuit in PSpice. Simulation can be run from LOGOS directly.

In this study, a fifth order low pass Butterworth filter is designed in two ways having same transfer function by using state space synthesis method. First of all, a fifth order state space system equations obtained from the transfer function is considered. Secondly, system is considered as compose of two second order and one first order transfer functions. Therefore, there are three set of system equations cascaded to obtain a fifth order filter. Both filters are designed by LOGOS program and analyzed with PSpice.

2. FILTER SYNTHESIS

State space synthesis method is based on a nonlinear (exponential) mapping on the state variables of a state-space description of a particular transfer function. State variables are equal to simple functions of exponentials of node voltages. State-space synthesis method can be summarized for log domain filters as follows. Firstly, consider an appropriate state-space description for the filter; next make an exponential mapping function to the input and state variables. After that obtain circuit equations and design the circuit using transistors, grounded capacitors, and current sources.

In this study a fifth order Butterworth [8,9] low pass filter is designed in two ways by state space synthesis method. Initially, fifth order log domain filter was designed by using general state space synthesis form.

Let us consider a fifth order Butterworth low pass filter transfer function as following Equation 1.

$$H(s) = \frac{\omega_0^5}{s^5 + 3.24\omega_0 s^4 + 5.24\omega_0^2 s^3 + 5.24\omega_0^3 s^2 + 3.24\omega_0^4 s + \omega_0^5} \quad (1)$$

In these equations ω_0 is pole frequency of systems. According to state space synthesis method, we need a state space description of this transfer function. Such a description is obtained by using modified companion form technique [10] and given in Equation 2.

$$\begin{aligned} \dot{x}_1 &= \omega_0 x_2 \\ \dot{x}_2 &= \omega_0 x_3 \\ \dot{x}_3 &= \omega_0 x_4 \\ \dot{x}_4 &= \omega_0 x_5 \\ \dot{x}_5 &= -3.24\omega_0 x_5 - 5.24\omega_0 x_4 - 5.24\omega_0 x_3 \\ &\quad - 3.24\omega_0 x_2 - \omega_0 x_1 + \omega_0 u \\ y &= x_1 \end{aligned} \quad (2)$$

These state space equations can be transformed into a set of nodal equations by using exponential mapping on inputs and the state variables. Then circuit equations are obtained from nodal equations. Obtained circuits equations are composed of grounded capacitors, current sources and transistors. At the end, a fifth order log domain filter circuit is designed from circuit equations. These coefficients are entered LOGOS software program in order to obtain a PSpice netlist code.

On the other hand, a fifth order log domain filter can also be obtained by cascade connection of one first order and two second order filters. This concept is formulized as Equation 3. Transfer functions and system equations for first and second order log

domain circuits are given in Equations 4, Equations 5 and Equations 6 respectively.

$$H(s) = H_1(s) H_{21}(s) H_{22}(s) \quad (3)$$

$$H_1(s) = \frac{\omega_0}{s + \omega_0} \quad (4.a)$$

$$\begin{aligned} \dot{x}_1 &= -\omega_0 x_1 + \omega_0 u \\ y &= x_1 \end{aligned} \quad (4.b)$$

$$H_{21}(s) = \frac{\omega_0^2}{s^2 + 0.618\omega_0 s + \omega_0^2} \quad (5.a)$$

$$\begin{aligned} \dot{x}_1 &= (\omega_0) x_2 \\ \dot{x}_2 &= (-\omega_0) x_1 + (-0.618\omega_0) x_2 + \omega_0 u \\ y_L &= x_1 \end{aligned} \quad (5.b)$$

$$H_{22}(s) = \frac{\omega_0^2}{s^2 + 1.618\omega_0 s + \omega_0^2} \quad (6.a)$$

$$\begin{aligned} \dot{x}_1 &= (\omega_0) x_2 \\ \dot{x}_2 &= (-\omega_0) x_1 + (-1.618\omega_0) x_2 + \omega_0 u \\ y_L &= x_1 \end{aligned} \quad (6.b)$$

These all three set of system equations' coefficients are entered LOGOS software program to obtain a PSpice netlist code. From the LOGOS output, circuit equations are obtained and synthesized first and second order filters to be cascaded are given in Fig. 1 and Fig. 2 respectively.

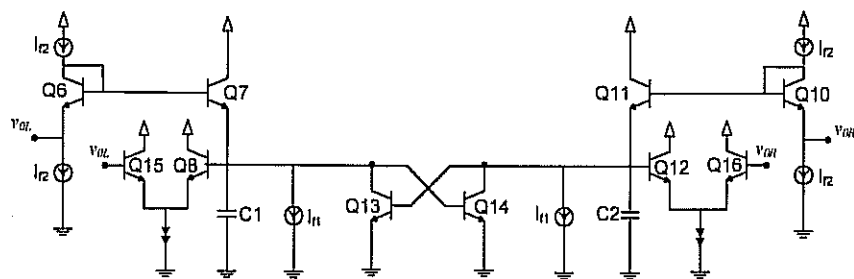


Fig. 1: First order class AB log domain filter circuits

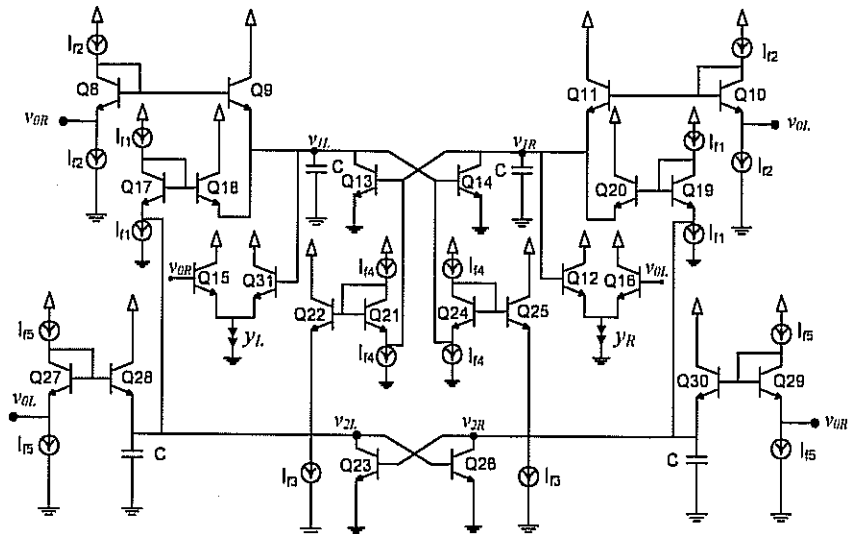


Fig. 2: Second order class AB log domain filter circuits

3. LOGOS SOFTWARE

LOGOS [11] is software used for the design of log domain filters. Program is capable of designing filters up to 11th degree. Design progress is based on two different input types. User can either input the transfer function or the system equations. Program also needs the transistor and analysis parameters to form the netlist of the filter. Analysis can be carried out by PSpice after exporting the netlist file.

In this study, fifth order log domain filter is designed by LOGOS program. Firstly, fifth order filter is obtained from system equations given in Equation 2. Input screen of the system equations is shown in Fig. 3.

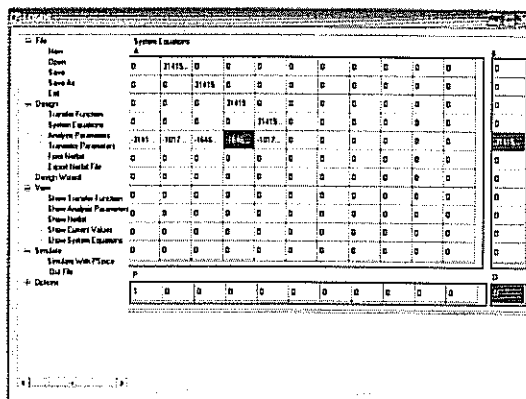


Fig. 3. LOGOS system equations input screen

Secondly, fifth order log domain filter is designed in such way that one first order and two second order filters are cascaded. First and second order filter

transfer function's (TF) input screens are given in Fig. 4 and Fig. 5 respectively.

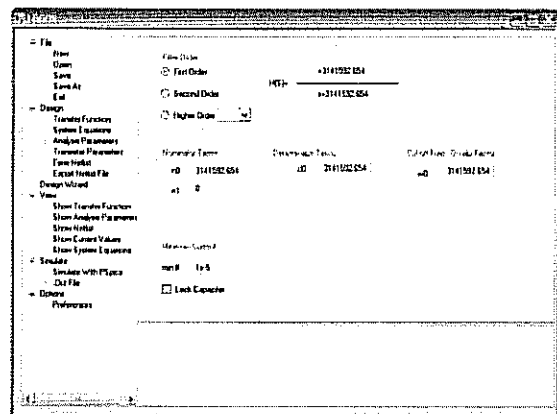


Fig. 4. LOGOS first order TF input screen

Parameters used for the analysis of the filters are given in Fig. 6. After all the parameters of the circuit and analysis are properly entered the program, PSpice netlist code can be obtained as shown in Fig. 7. Then, PSpice simulations can be initiated by the program.

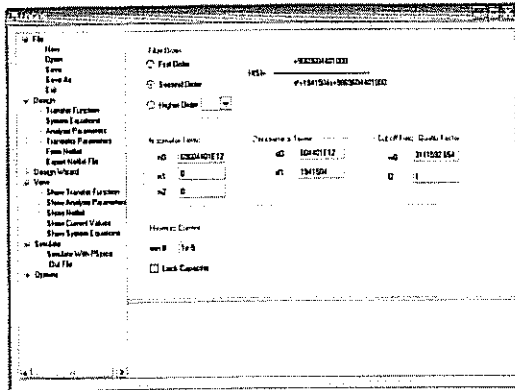


Fig. 5. LOGOS second order TF input screen

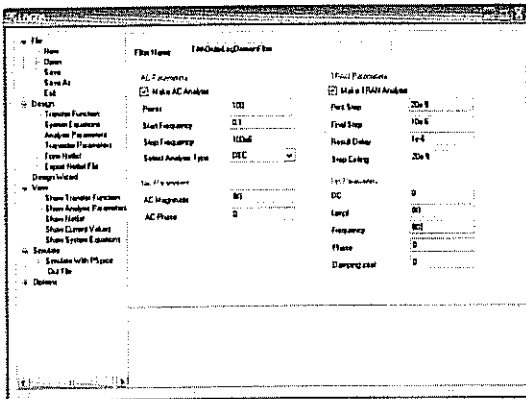


Fig. 6. Analysis parameters input screen

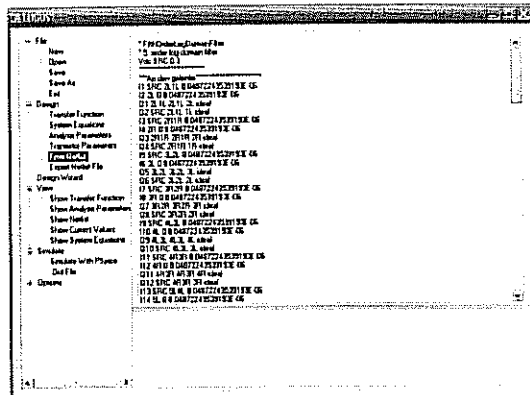


Fig. 7. Formation of the netlist by LOGOS

4. SIMULATION RESULTS

Proposed both fifth order low pass filters are simulated in PSpice, directly run from LOGOS. Both circuits use supply voltage of 2.2V. The filter was set to a 500 kHz pole frequency. The simulations are

performed for ideal transistors that is default BJT model with $BF=10000$ and real transistors that is NX2 model [1].

Both circuits are simulated for frequency response. For ideal transistor case, both circuits performed same response. For the case of real transistors, there are no differences in terms of filter characteristics and pole frequency; however, there are slightly differences in DC gain. For the frequency responses of both two cases are given in Fig 8.

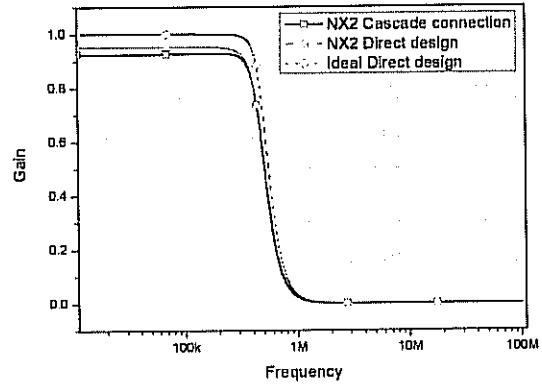


Fig. 8. Frequency response of fifth order filter for both cases

For the distortion analysis, DC value of current splitter is set to $I_f=10\mu A$. Then a sinusoidal signal applied to the circuit as input. The peak values of input current is swept from $20\mu A$ to $450\mu A$. The output signals THD were measured for both circuit topologies. These results are given in Fig. 9.

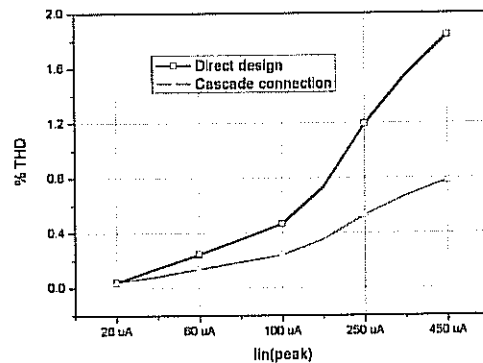


Fig. 9. THD results of the proposed both filters

Noise analysis is also performed. For both cases noise response shows a low pass filter characteristics. For direct design noise is $135.198 \text{ pA}/\sqrt{\text{Hz}}$ and for cascade connection noise is $129.211 \text{ pA}/\sqrt{\text{Hz}}$ for $I_f=10\mu A$ and $f_{\text{off}}=500\text{kHz}$.

5. CONCLUSION

In this work, starting from one transfer function, two different fifth order low pass Butterworth filters are designed in log domain by using LOGOS, log filters synthesis and analysis program. Both filters are synthesized by using state space method. First one use a fifth order system equations whereas second one use cascade connected one first order and two second order system equations. Both filters' system equations are entered LOGOS in order to design and analyze the filter in PSpice. PSpice simulations are confirmed that both filters are working as expecting. Cascade connection one performed better in terms of THD and noise.

ACKNOWLEDGMENTS

This work is based on work supported by The Scientific & Technological Research Council of Turkey, TUBITAK, under Grant number of 105E088.

REFERENCES

- [1] Frey, D. R., Log-Domain Filtering: an Approach to Current-Mode Filtering, IEE Proceedings-g, Vol. 140, No.6, December 1993.
- [2] D. R. Frey, Exponential State Space Filters: A Generic Current Mode Design Strategy, IEEE Trans. CAS-I: Fund. Theory and Appl., vol. 43, 1996, pp.34-42.
- [3] Seevinck, E., Companding Current Mode Integrator: A New Circuit Principle For Continuous-Time Monolithic Filters, ElectronicLetters, Vol.26, , 1990, pp. 2046-2047.
- [4] Tola, A. T., A Study Of Nonideal Log Domain and Differential Class AB Filters, PhD. Dissertation, Lehigh University, 2000.
- [5] Frey, D. R. and Tola, A. T., A State-Space Formulation For Externally Linear Class AB Dynamical Circuits, IEEE Transaction On Circuits And Systems-II: Analog and Digital Signal Processing, vol. 46, 1999, pp. 306-314.
- [6] Tola, A. T. And Frey, D. R., A study Of Different Class AB Log Domain First Order Filters, Analog Integrated Circuits And Signal Processing, Vol. 22, 2000, pp. 163-176.
- [7] Y. Tsvividis, Externally Linear, Time-invariant Systems and Their Application to Companding Signal Processors, IEEE Trans. Circuits and Syst.-II, vol. 44, no.2, 1997, pp. 65-85.
- [8] Anti-Aliasing, Analog Filters for Data Acquisition Systems, Bonnie C. Baker, Microchip Technology Inc., 1999.
- [9] Programmable Gain Amplifiers (PGAs), Operational Amplifiers and Comparators Design Guide, Microchip Technology Inc., 2006.
- [10] R. Arslanalp, The Realization of Elliptic Filters Approximation in the Log Domain, in Turkish, MS Thesis, Pamukkale University, Denizli, 2003.
- [11] S. Surav Yılmaz, The Systematic Synthesis of Log-Domain Filters, in Turkish, MS Thesis, Pamukkale University, Denizli, 2005.

ELİN FİLTRELERİN GENEL SENTEZ TEORİSİ VE GERÇEKLENME ŞARTLARI

Remzi ARSLANALP*, Abdullah Tahsin TOLA**

Pamukkale Üniversitesi, Mühendislik Fakültesi, Elektrik-Elektronik Müh. Bölümü, 20017/Denizli

Geliş Tarihi : 03.07.2006

ÖZET

Bu makalede, Doğrusal Olmayan Elemanlarla Doğrusal Davranışlı (ELIN, Externally Linear Internally Nonlinear) filtrelerin genel sentezine ait bir yöntem ele alınmıştır. Daha önce geliştirilen teoriler özetlenmiş; bu teorilerin zayıf yönleri tartışılmıştır. Durum uzayı yöntemi esas alınarak ELIN filtreler için n. derece bir sentez yöntemi geliştirilmiştir. Bu yeni teori sadece önceki geliştirilen teorileri kapsamamakta, aynı zamanda onların sorunlarının da üstesinden gelmektedir. Bu makalede, bu filtrelerin statik ve dinamik şartları tartışılmıştır. Ön şartlar, gerek ve yeter şartlar tanımlanmıştır. Geliştirilen teori bu şartları sağlamayan sistem denklemlerinin modifiye edilmesine olanak tanımaktadır. Bu işlem için fark alıcı yapıda AB sınıfı filtreler tercih edilmiştir. Geliştirilen yaklaşımın geçerliliğini doğrulamak için, teori iki örnek üzerinde uygulanmıştır.

Anahtar Kelimeler : Logaritmik ortam filtreleri, Durum uzayı sentezi, AB sınıfı fark alıcı filtreler.

A GENERIC SYNTHESIS THEORY AND REALIZATION CONDITIONS FOR ELIN FILTERS

SUMMARY

In this paper, a generic synthesis method of Externally Linear Internally Nonlinear (ELIN) filters is considered. Previously developed theories are summarized and the weak sides of these theories are discussed. Based on the state space synthesis method, an nth order filter synthesis method is developed for ELIN filters. This new theory does not only cover the previously proposed theories but also overcomes their problems. In this paper, static and dynamic constraints associated with these filters are discussed. Prerequisites, necessary conditions and satisfactory conditions are defined. The developed theory gives one to modify system equations of a filter that does not satisfy these conditions. For this process, differential type Class AB filters are preferred. The theory is applied to two examples to verify the validity of the proposed approach.

Key Words : Log domain filters, state space synthesis, Class AB differential type filters.

1. GİRİŞ

Logaritmik ortam filtreleri (Log Domain Filters), daha genel ifade ile Doğrusal Olmayan Elemanlarla Doğrusal Davranışlı (ELIN, Externally Linear Internally Nonlinear) filtreler, ilk tasarlandığı günden bu yana yüksek frekans, düşük güç, düşük gerilim, yüksek hız ve düşük gürültü

uygulamalarında cazip bir seçenek olarak ilgiyi üzerinde toplamıştır. Uygulama alanlarının iletişim çağının gereksinimlerine uygun olması ve düşük maliyetli olarak entegre teknolojisine uyum sağlaması, konunun hızlı bir gelişim göstermesinin nedenlerindedir (Frey, 1993; Frey, 2000).

ELIN filtreler yeni bir anlayış olmasından dolayı günümüze kadar gelen klasik filtre anlayışlarından

hem teorik alt yapısı olarak, hem de sentez sonunda elde edilen devrenin çalışma mantığı olarak farklılık göstermektedir. Bu sebepten dolayı, net olarak ifade edilebilir ki, bilim dünyasında ELIN filtreler, akım modlu ve sürekli zamanlı filtrelerin bir alt kolu olarak ve yeni nesil bir filtre türü olarak yerini almaktadır.

Logaritmik ortam filtreleri ilk defa 1979 yılında Adams tarafından yazılan bir makalede sunulmuştur (Adams, 1979). Bu makale her ne kadar logaritmik ortam filtrelerinin temeli olarak kabul edilse de sistematik altyapının oluşturulamamasından dolayı, konunun miladı olarak 1993 yılında Frey tarafından ortaya konulan teori gösterilmektedir (Frey, 1993). Frey makalesinde doğrusal olarak çalışmaya zorlanmayan devre elemanlarından tam doğrusal giriş çıkış özgeçiricilerinin elde edildiği logaritmik ortam filtre anlayışının teorik alt yapısına ilişkin temel sistematik analiz ve sentez yöntemlerini sunmuştur.

Frey, 1993 yılında yayımlanan bu makalesinde geliştirilmeye uygun olmasından dolayı durum uzayı yöntemini kullanmıştır. Durum değişkenlerinin her birinin üstel bir aktarım fonksiyonu ile bire-bir örten eşlenmesi ile doğrusal olmayan ortama geçiş sağlanmış olur. Kullanılan üstel aktarım fonksiyonu gereğince oluşan sınırlamalar, olası tüm durum denklemlerinin gerçekleşmesine engel olmaktadır. Bu istenilmeyen durum, Frey tarafından o yıllarda bir dönüşüm matrisinin kullanılması ile çözümlenmiştir. Ancak bu dönüşüm matrisinin elde edilmesinin zor olması hatta uygun bir matrisin elde edilememesi, sistematik sentez adına olumsuz bir durum olarak görülmektedir. Bu devrelerde işaretin doğrusal olmayan bir ortamda işlenmesine karşın sistemin doğrusal davranışa sahip olması sebebiyle ilerleyen yıllarda bu konu birçok araştırmacının ilgisini çekmiştir.

Logaritmik ortamlı filtrelerin ortaya çıkmasında büyük pay sahibi olan Frey, 1996 yılında yayımladığı makalesinde sistematik analiz adına daha sağlam bir temel ortaya koymuştur (Frey, 1996). Bu makalenin önceki çalışmadan en önemli farkı durum değişkenlerine uygulanan aktarım fonksiyonunun genel olarak ele alınmış olmasıdır. Böylece aynı fonksiyonu yerine getiren doğrusal olmayan ortamlı farklı filtreler sunulmuş olmaktadır.

Aynı yıllarda ELIN filtrelerde aktarım fonksiyonu olarak gerçel katsayılı ikinci derece bir polinomun kullanılması ile MOS transistör devre elemanlarından oluşan doğrusal olmayan ortama sahip filtre devreleri tasarlanmıştır (Eskiyeerli et al.,

1996). Böylece farklı devre elemanlarından oluşan ELIN devrelerin elde edilebildiği görülmüştür.

Üstel bir aktarım fonksiyonu kullanılarak (devre üzerindeki gerilimlerin aktarım fonksiyonuna uygulanıp yeni değerlerin elde edilmesi ile) yapılan eşlenmelerin tamamının gerçekleşmesinde oluşan sorunlar hala tam olarak aşılmış değildi. Logaritmik ortam filtrelerinde yapılan eşlenmenin bire-bir örten olabilmesi için giriş işaretinin ve durum değişkenlerinin kesinlikle zaman ortamında negatif değer almaması zorunlu idi. Bu durum ilerleyen yıllarda her ne kadar çeşitli yöntemler ile aşılmaya çalışılmış ise de, 1999 yılında sunulan bir teori sayesinde çözümlenmiştir (Frey and Tola, 1999). Makalede AB sınıfı devre prensibi bir filtre devresinde kullanılması ile olası tüm farklı seçeneklerin doğrusal olmayan ortamda gerçekleştirilebildiği ispatlanmaktadır. Daha sonraları makaledeki teorik çalışmalar uygulama devreleri ile ayrıntılı olarak incelenmiştir (Tola and Frey, 2000).

Frey çalışmalarında genellikle sentez yöntemi olarak sistemin iç dinamiklerinden elde edilen verilere dayanan durum uzayı yöntemini esas almıştır (Frey, 1998), (Frey and Tola, 1999). Fakat diğer araştırmacıların birçoğu bu yöntem yerine geliştirmeden daha uzak görünen ve devrenin parçalı olarak ele alınmasından dolayı bazı uyum sorunlarının yaşanabildiği, bunun yanında sentezin kısmen daha kolaylaştığı işaret akış yöntemini tercih etmişlerdir (Perry and Roberts, 1995), (Psychalions and Vlassis, 2002). İşaret akış yönteminde temel olan, hedeflenen devreye göre farklılıklar gösterebilen işaret akış diyagramlarıdır. İşaret akış diyagramı denildiğinde devre bünyesindeki dal değişkenleri ile işaretin giriş-çıkış arasında takip ettiği yolun arasındaki matematiksel ilişkinin anlatıldığı şemaların anlaşılması gerekir (Choma, 1990).

Doğrusal olmayan ortamda sentez işleminde gerilim modlu durum uzayı tanımlanması ile senteze başlanması bazı araştırmacılar tarafından eleştirilmiştir (Mulder et al., 1997). Bu eleştirilerin temelinde sentez sonunda elde edilen devrelerin akım modlu translineer bir devre olmasından dolayı sentez işlemindeki tanımlamaların tamamının akım olarak yapılması gerekliliği fikri yatmaktadır. Savunulan bu fikrin 1997 yılında yazılan bir makalede gösterilen sebeplerinden çıkarılabilecek yorumu şöyledir: Sadece akımlar ile gerçekleştirilen sentez daha kolay ve zahmetsizdir. Makalede genel akım modlu analiz yöntemi sunulmuş ve yapılan araştırmanın bundan sonraki çalışmalarda sadece akım modlu bileşenlerin kullanılmasındaki ilk adım olacağı öngörülmüştür (Mulder et al., 1997).

ELIN filtreler işaretin işlenişi bakımından 1990 yılında yeni bir fikir olarak ortaya atılan işaretin sıkıştırma-genişletme (Companding) işlemi ile yakından alakalıdır (Tsividis, 1997), (Seevinck, 1990). Logaritmik ortamlı filtreler bu yüzden işaret sıkıştırma-genişletme işleminin geniş dinamik giriş aralığı gibi üstünlüklerine sahiptir. Logaritmik ortam filtrelerinin çalışma yapısı gereğince girişte akımın logaritması çıkışta ise üsteli alınır. Bu sayede işaret dB olarak girişte sıkıştırılmış çıkışta ise genişletilmiş olur. Böylelikle gerçel olarak işaretin işlenebilme alt sınırı olan gürültü tabanı (noise floor) aşağıya, üst sınırı olan aşırı yüklenme seviyesi (overload level) yukarıya kaydırılmış olmaktadır (Tsividis, 1997). Yapılan bu işleme genlik uygunlaştırma işlemi, bu işlemin kullanıldığı filtre devrelerine ise genlik uygunlaştırmalı filtreler denilebilir. Bu sayede devrenin dinamik çalışma aralığı oldukça artmaktadır. Bu da çok önemli bir üstünlük olarak çeşitli araştırmacılar tarafından ortaya konulmuştur (Tsividis, 1997; Mulder et al., 1997; Frey et al., 2001).

İlerleyen yıllarda işaretin logaritmik ortamda sıkıştırılıp genişletme işlemi sistematik olarak ele alınmış, sadece üstel aktarım fonksiyonu ile sınırlı kalmayan genel bir teori sunulmuştur (Frey et al., 2001). Sunulan bu teori sonunda elde edilen terimlerin tamamının translineer prensibine uygunluk sağlamış olması sentez sonunda elde edilecek devrenin translineer prensibine uygun olarak tasarlanmasını sağlayacağı ifade edilmiştir (Frey et al., 2001).

Doğrusal olmayan ortamda işaret işleme fikri ilk defa ortaya atıldığı günden bu yana farklı araştırmacılar farklı bakış açıları ile konuya değişik yorumlar getirmiştir. Frey, 2000 yılında klasik filtre anlayışından durum uzayı yöntemi kullanılarak elde edilen logaritmik ortamlı filtreler kadar gelen değişimi bir makalede toplamış ve aralarındaki farkları irdelemiştir. Araştırmacının filtreler konusundaki gelişmeyi tarihsel olarak ele alması gelecek yıllardaki ilerlemeler hakkında da bazı ipuçlarının ortaya çıkmasına sebep olmuştur (Frey, 2000).

Durum uzayı fikrinin çok fazla araştırmacı tarafından ilgi görmemesi yöntemin gelişimini tam olarak tamamlayamamasına yol açmıştır. Bilhassa durum uzayı denklemlerindeki katsayılar matrisinin tüm farklı seçeneklerini içermediği için bazı özel durumlarda karşılaşılan sorunların çözümleri net olarak ortaya konulmuş değildir. Bu durum da genel bir sentez yönteminin sunulmasında olumsuz bir etki olarak yorumlanmaktadır.

Bu makalede, günümüze kadar hızlı bir gelişim gösteren doğrusal olmayan ortama sahip filtre devrelerinin durum uzayında, AB sınıfı filtrelerin genel kuralları ile sistematik sentezi sunulacaktır. Karşılaşılması olası bazı katsayıların alması gereken değerler gibi şimdiye kadar tartışılmayan bazı eksiklikler sistematik sentez içerisinde çözüme kavuşturulacaktır.

2. n. DERECEDEKİ DOĞRUSAL OLMAYAN ORTAMLILIK BİR FİLTRENİN GENEL SENTEZ YÖNTEMİ

Önceki kısımda bahsedildiği gibi, doğrusal olmayan ortamda devre sentezi için kullanılan bazı teknikler vardır. En çok kullanılan işaret akış diyagramı (blok diyagramı) yöntemi ve durum uzayı sentez yöntemidir. İşaret akış diyagramı yönteminde giriş ile çıkış arasında işaretin izleyeceği yol belirlenir. Her bir kısım bir blok olarak düşünülerek sentez yapılır; daha sonra bloklar birleştirilerek genel yapı elde edilir. Bu yöntemde sıklıkla izlenen yol, daha önceden sentezi yapılmış bir devrenin işaret akış diyagramı çıkarılarak hangi tür devre ile sentez yapılacaktır o yapının bu diyagrama uygulanmasıdır. Pratik gerçekleştirme açısından kolaylıklar içeren bu yöntem devreye özel çözüm üzerine tasarım yapıldığından dolayı genelleştirmeye çok fazla uygun değildir. Diğer taraftan, durum uzayı yönteminde sistem sadece dış büyüklüklerle değil aynı zamanda iç dinamikler olan durum değişkenleri ile de ifade edilmektedir. Bu kavram devrenin dinamik çalışmasını kontrol açısından önemlidir. Ayrıca bu yöntem ile rahatlıkla genelleştirme yapılabilmekte ve çok girişli-çok çıkışlı sistemlerde de kullanılabilir. Aynı zamanda, sadece sistem denklemlerinin ele alınması ile çok girişli, çok çıkışlı bir sistemin birleştirilmiş genel yapısı rahatlıkla incelenebilmektedir. Belirtilen bu sebeplerden dolayı ve doğrusal olmayan zamanla değişen sistemlerde de geçerli olması nedeniyle bu çalışmada durum uzayı yöntemi esas alınmıştır.

Durum uzayında sentez için tasarımı yapılacak sisteme ait sistem denklemlerinin ifade edilmesi gerekmektedir. Eğer sadece sistemin transfer fonksiyonu verilmişse değişik yöntemler kullanılarak sistem denklemleri elde edilebilmektedir. Bu çalışmada transfer fonksiyonundan sistem denklemlerinin nasıl elde edileceği üzerinde durulmayacak ve sistem denklemlerinin elde edilmiş olduğu varsayılacaktır. Sistem denklemlerinin boyutlarında bir sınırlama olmamasına karşın, ifade kolaylığından dolayı, giriş ve çıkış tek boyutlu olarak varsayılacaktır. Elde

edilecek sonuçlar gerekli boyut düzenlemesi yapılarak çok girişli ve çok çıkışlı sistemlere de uygulanabilir. Bu yüzden n. dereceden bir girişli bir çıkışlı sistem incelenecek, böyle bir sisteme ait genel sentez yöntemi sunulacaktır. Elde edilecek sonuçların genelleştirilmesi ile m girişli k çıkışlı sistem verilerine ulaşılabilir. Çünkü m girişli k çıkışlı sistem temelde mxk adet bir girişli bir çıkışlı sistemden oluşmaktadır. Bu bağlamda bir girişli bir çıkışlı bir sistemin incelenip genel sentez yönteminin sunulması yeterlidir. Denklem (1)'de böyle bir sisteme ait genel sistem denklemleri görülmektedir.

$$\frac{d\bar{x}}{dt} = \bar{A}\bar{x} + \bar{B}u \quad (1.a)$$

$$y = \bar{P}^T \bar{x} + Du \quad (1.b)$$

Burada,

$$\bar{x} = (x_1, x_2, x_3, \dots, x_n)^T \quad (2)$$

şeklinde durum değişkenleri vektörü, u giriş, y çıkış ifadesi diğer terimler sabit katsayılardan oluşan skaler, vektör ya da matris elemanlarıdır. Bundan sonraki kullanımlarda aksi belirtilmedikçe vektörler tek üst çizgi ile, matrisler çift üst çizgi ile, değişkenlerin zaman ortamı ifadeleri küçük harf ile, Laplace ortamı ifadeleri büyük harf ile, zaman ortamındaki katsayılar büyük harf ile, Laplace ortamındaki katsayılar küçük harf ile tanımlanacaktır. Kullanılan alt indisler matrisin veya vektörün içindeki katsayının yerini ifade etmektedir.

Durum uzayında sentezin ikinci aşamasında, Denklem (1)'de verilen sistem denklemlerindeki durum değişkenlerinin ve giriş işaretinin genel bir doğrusal olmayan aktarım fonksiyonu ile eşlenmesi yapılmaktadır. Böylece sistemimizin doğrusal ortamdaki doğrusal olmayan ortama geçişi sağlanmış olur. Doğrusal olmayan ortama geçerli olacak yeni sistem denklemleri bu sayede elde edilmiş olur. Eski ve yeni sistem denklemleri ya da başka bir ifade ile doğrusal ve doğrusal olmayan ortamlardaki sistem denklemlerinin arasında bire-bir örten bir ilişkinin olması zaruridir. Çünkü aksi takdirde tanımsız ve/veya birden fazla karşılığı olan elemanlar oluşabilir. Bu da sistemin genel işleyişi açısından, bire-bir örten eşlenme anlayışına uygun olmadığı için sakıncalı ve istenilmeyen bir durumdur. Denklem (3)'de durum değişkeninin bir f aktarım fonksiyonu ile eşlenmesi görülmektedir.

$$\bar{x}(t) = \bar{f}\{v(t)\} \quad (3.a)$$

$$\bar{f}\{v(t)\} = \{g[v_1(t)], g[v_2(t)], g[v_3(t)], \dots, g[v_n(t)]\}^T \quad (3b)$$

$$u = g[v_o(t)]$$

Görüldüğü gibi x durum değişkeni, bir bileşke fonksiyon ile, zamana bağlı g fonksiyonuna dönüşmüştür. Bu dönüşüm, durum değişkenlerinin bileşke bir fonksiyon ile aktarımı yapılarak sağlanmıştır. Bu bileşke fonksiyonda 'g' ana fonksiyon, 'v' bağımlı değişken 't' bağımsız değişkendir. Gösterim kolaylığı açısından bundan sonraki kullanımlarda zamana bağımlılık gösterilmeyecektir.

Anlaşıldığı gibi bağımsız değişken t ile durum değişkeninin arasında sadece bir f fonksiyonu mevcuttur. Durum değişkeninin zamana bağlantısı olan f fonksiyonunun sayısı birden fazla olabilir. Örneğin p adet birbirine zincirleme bağlı f fonksiyonu olsun. Bu durumda p adet birbirinden farklı f fonksiyonunun her biri bir ara adımı oluşturmaktadır. Daha açık bir ifade ile durum uzayındaki iki ortamdaki noktaları birleştirmek amacındayız. Bu işlem, Denklem (3)'de yapıldığı gibi, tek bir fonksiyonla ya da geometrik anlamı ile iki noktayı bir doğru ile birleştirerek gerçekleştirilebileceği gibi, p adet fonksiyon ile yani p adet doğru parçası birleştirilerek de gerçekleştirilebilir. Böylece farklı bir yöntem ile denklemler arası eşlenme gerçekleştirilmiş olur. Burada ulaşmak istediğimiz ortama geçmeden önce p adet ortamdaki sırayla geçmek zorunda kalmaktayız. Bu yöntem mecburi kalmadıkça karmaşık matematiksel işlemlerden dolayı tercih edilmemelidir. Ancak istenilen dönüşüm tek bir fonksiyon ile gerçekleştirilememişse bu yöntemle başvurulabilir (Arslanalp, 2003).

Denklem (3)'de verilen aktarım esas alınarak durum değişkeninin türev ifadesinin elde edilmesi gerekir.

$$\frac{d\bar{x}}{dt} = \frac{d\bar{f}(v)}{dt} = \bar{g}'(v)\bar{v} \quad (4)$$

Denklem (4)'de değişken üzerindeki ('), değişkenin t'ye göre türevini, (') ise değişkenin t'den farklı olan bağımlı değişkenine göre türevini ifade etmektedir. Denklem (3) ve Denklem (4)'de yapılan kabullerin Denklem (1)'de yazılması ile Denklem (5) elde edilir.

$$\frac{d\bar{f}(v)}{dt} = \bar{g}'(v)\bar{v} = \bar{A}\bar{f}(v) + \bar{B}g(v_o) \quad (5.a)$$

$$y = \bar{P}^T \bar{f}(v) + Dg(v_o) \quad (5.b)$$

Devre denklemlerinin elde edilebilmesinde gerekli cebirsel işlemlerin daha kolay yapılabilmesi için Denklem (5.a)'da görülen matrisel ifadenin i. satırını ele alalım. i. satırın her iki tarafını, C_i sabit olmak üzere,

$$\frac{C_i}{g'(v_i)} \text{ terimi ile çarpılırsa Denklem (6) elde edilir. Denklemde } \bar{A} \text{ matrisinin i. satır j. sütunundaki katsayısı } A_{ij}, \bar{B} \text{ vektörünün i. katsayısı } b_i \text{ dir.}$$

$$C_i \dot{v}_i = \sum_{j=1}^n \frac{C_i}{g'(v_i)} A_{ij} g(v_j) + C_i b_i \frac{g(v_o)}{g'(v_i)} \quad (6)$$

$$\forall i = 1, 2, \dots, n$$

Bu denklem en genel halde n. dereceden ELIN filtresinin doğrusal olmayan ortamdaki tanımlı sistem dinamik denklemdir. Denklem (6)'da eşitliğin sol tarafındaki 'v_i' terimini i. düğümün gerilimi ve C_i sabit terimini bir kondansatörün sığası olarak kabul edersek, denklemin sol tarafı 'i' numaralı düğüm ile toprak arasına bağlanmış C_i sığalı kondansatörün akımını ifade eder. Denklem sağ tarafındaki ilk terim ise n adet düğümün i. düğüm üzerindeki etkisini tasvir eder. g fonksiyonlarının uygun seçilmiş olduğunu varsayarak, bu terimleri her bir düğümden i. düğüme uygulanan fonksiyon çerçevesinde akan akımların toplamı olarak düşünebiliriz. Benzer şekilde ikinci terim de giriş kaynağından dolayı i. düğüme akan akımı anlatır. Böylece Denklem (6) Kirchhoff Akım Kanunu'na (KAK'a) uygun bir devre denklemi olarak düşünülebilmektedir.

Denklemde görülen g(v) fonksiyonu yerine hedeflenen sentez doğrultusunda doğrusal olmayan bir aktarım fonksiyonu belirlenerek fiziksel elemanlar ile gerçekleştirilebilir hale gelir. Farklı aktarım fonksiyonları ile farklı devre mimarilerine ulaşmak mümkündür. Genel olarak x durum değişkeninin ve giriş işaretinin bir g(v) fonksiyonu ile aktarımı yapılarak elde edilen dönüşüm sonucu tanımlanan sistem denklemlerinin durum uzayı yöntemi kullanılarak sentezinin yapılması ile tasarlanan devrelere MSS (Mapped State Space) devreler denilir. Günümüze kadar yapılan araştırmalarda g(v) aktarım fonksiyonunun polinom veya üstel olarak tanımlanması ile MSS filtrelerin iki alt kolu ortaya çıkmıştır. Aktarım fonksiyonunun polinom olarak tanımlanması ile elde edilen ve temel elemanı FET'ler (Field Effect Transistor) olan devrelere PSS (Polynomial State Space) devreler, fonksiyonunun e taban olmak üzere üstel seçilmesi ile elde edilen ve temel elemanı BJT olan devrelere ESS (Exponential State Space) devreler denilir

(Frey, 1996; Eskiyeerli et al., 1996). Araştırmacılar tarafından ESS filtreler üzerine yapılan çalışmalarda, yaygın olarak kullanılan üç farklı devre tipi elde edilmiştir. Farklı üstel dönüşümler sonucu elde edilen ESS devreleri Denklem (7)'de ifade edilmiştir.

$$x = \begin{cases} I_{st} e^{kv_i} & \text{Log devreler} \\ I_{st} \tanh(\alpha v_i) & \text{Tanh devreler} \\ I_{st} \sinh(\alpha v_i) & \text{Sinh devreler} \end{cases} \quad (7)$$

$$k = \begin{cases} 1/V_i & \text{Sadece NPN BJT ile (ya da sadece PNP BJT ile) sentez} \\ 1/2V_i & \text{NPN ve PNP BJT'ler ile (karma, hibrit) sentez} \end{cases}$$

Burada, I_{st}, k ve α terimleri sabit katsayılardır.

Bu çalışmada ELIN filtrelerin genel sentezinde örnek olarak logaritmik ortamı filtreler seçilmiştir. Teorik çalışma bundan sonra bu varsayım altında geliştirilecektir. Buna uygun bir aktarım fonksiyonu vektörü Denklem (8)'de görülmektedir.

$$\bar{x} = \bar{f}(v) = [g(v_1), g(v_2), \dots, g(v_n)]^T \quad (8.a)$$

$$= [I_1 e^{\frac{v_1}{V_i}}, I_1 e^{\frac{v_2}{V_i}}, \dots, I_1 e^{\frac{v_n}{V_i}}]$$

$$u = g(v_o) = I_s e^{\frac{v_o}{V_i}} \quad (8.b)$$

Belirlenen aktarım fonksiyonunun sistem denklemlerinde yazılarak bazı cebirsel işlemlerin ve kabullerin yapılması ile Denklem (9) elde edilir (Arslanalp, 2003). Denklemde transfer fonksiyonundan sistem denklemlerinin elde edilmesinde kullanılan yöntem gereği sistem çıkış denkleminde d=0 ve p vektörünün ilk elemanı p₁=1 ve diğer tüm elemanları 0 kabul edilmiştir.

$$C_i \dot{v}_i = \mp I_{fii} + \sum_{j=1}^n I_{sj} e^{\frac{(v_j + V_{fji} - v_i)}{V_i}} + I_s e^{\frac{(v_o + V_{fio} - v_i)}{V_i}} \quad (9.a)$$

$$y = I_s e^{\frac{v_o}{V_i}} \quad (9.b)$$

Burada,

$$I_{fii} = V_i C_i A_{ii}, \quad A_{ii} \geq 0 \quad (10.a)$$

$$-I_{fii} = V_i C_i A_{ii}, \quad A_{ii} < 0 \quad (10.b)$$

$$I_{fij} = V_i C_i A_{ij} = I_s e^{\frac{V_{ij}}{V_i}}, \quad i \neq j, \quad A_{ij} \geq 0 \quad (11)$$

$$I_{f0i} = V_i C_i b_i = I_s e^{\frac{V_{0i}}{V_i}}, \quad b_i > 0 \quad (12)$$

Denklemlerden görüldüğü gibi tüm büyüklükler akım olarak ifade edilmiştir. Bu da beraberinde akımların gerilimlere göre daha fazla öneme sahip olduğu dolayısıyla akım modlu bir devre sentezinin yapıldığı anlamına gelir. Bundan sonra yapılması gereken işlem Denklem (9)'da verilen devre denklemlerinin uygun elemanlar ile gerçekleştirilmesidir.

3. LOGARİTMİK ORTAM FİLTRELERİNİN SENTEZİNİN GERÇEKLENEBİLMESİ İÇİN ÖN, GEREK VE YETER ŞARTLARIN BELİRLENMESİ

Kısım 2'de ilk önce ELIN filtreler için genel devre denklemleri elde edilmiş, daha sonra ise logaritmik ortamlı filtrelerin sistematik sentezine ilişkin adımlar belirlenmiştir. Bu kısımda ise matematiksel olarak elde edilen denklemlerin gerçek elemanlar ile sentezinin yapılabilmesi için koşulların neler olduğu incelenecektir. Belirlenen koşullar önem ve işlem sırasına uygun olarak sınıflandırılacaktır.

Daha önce de bahsedildiği gibi aktarım fonksiyonu olan g herhangi bir fonksiyon olamaz. Öncelikle eşlenme sonucunda sistemin karakteristik denkleminin değişmeden kalması gerekir. Ayrıca doğrusal ile doğrusal olmayan ortamlar arasında aktarımı sağlayan g fonksiyonunun çift yönlü işleme uygun olabilmesi için bire-bir örten olması zorunludur. Logaritmik ortam filtrelerinin gerçekleştirilmesinde seçilen üstel aktarım fonksiyonunun çift yönlü uygulanabilmesi için durum değişkenlerinin ve giriş işaretinin sıfırdan büyük olması gerekir. Bu koşul logaritmik ortam filtresinin gerçekleştirilmesinin ön şartıdır.

Giriş işaretinin zaman ortamında pozitif değerde kalması zorunluluğu farklı devre yapıları ile çözüme ulaştırılabilir. Ancak durum değişkenlerinin pozitif değerde kalması önemli bir sorundur. Çünkü durum değişkenlerinin değerleri devrenin akım ve gerilim değerlerinden oluşan iç dinamiklerine bağlı, dışarıdan yapılacak müdahaleye kapalıdır. Bu yüzden başlangıç koşulu olarak öncelikle sistemin tüm durum değişkenlerinin pozitif bölgede

bulduğunu varsayalım. Buna bağlı olarak da i . durum değişkeninin DC olarak sürekli pozitif bölgede kalması için hangi koşulların gerektirdiğini inceleyelim. n . dereceden bir sistemin i . satırı DC olarak Denklem (13)'te görüldüğü gibidir.

$$0 = A_{i1} X_1 + \dots + A_{ii} X_i + \dots + A_{in} X_n + b_i U \quad (13)$$

Denkleminde i . durum değişkeninin pozitif olabilmesi için denklemin sağ tarafında en az birer tane pozitif ve negatif katsayılı terimin olması gerekir. Bu i . durum denkleminin DC olarak pozitif bölgede kalabilmesinin gerek şartıdır. i . durum değişkeninin katsayısı negatif diğer tüm elemanların katsayıları pozitif ise, sistem DC olarak pozitif bölgede kalması için statik durum yeter şartlarını sağlar.

Durum değişkenlerinin DC olarak pozitif bölgede kalması sağlandıktan sonra AC olarak ta kesinlikle pozitif bölgede kalmasını sağlayan koşulların belirlenmesi gerekir. Bahsedildiği gibi durum değişkenleri herhangi bir dış büyüklüğe bağımlı değildir; bu yüzden kontrolü oldukça güçtür. Bu sorun 1999 yılında yayınlanan bir makalede çok akılcı bir teorem sunulmuş (Frey and Tola, 1999). Teoreme göre, başlangıç koşulları yani değişkenlerin DC bileşenleri gereğince tüm durum değişkenleri ve giriş işaretleri pozitif bölgede olan sınırlı değerli giriş ve sınırlı değerli çıkışa sahip (BIBO, Bounded Input Bounded Output) özel tanımlanan bir sistemde giriş işaretinin pozitif bölgede kalması tüm durum değişkenlerinin negatif bölgeye geçmeyeceği anlamına gelir. Böylelikle bu teorem sayesinde logaritmik ortam filtrelerinin dinamik durum yeter şartı belirlenmiş olur.

Kısaca özetlenen bu şartların tamamına logaritmik ortam filtrelerinin gerçekleştirilme şartları denilir. Bu şartlar gereğince n . dereceden gerçekleştirilebilir sistem denkleminin matris hali Denklem (14)'de verilmiştir.

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \\ \vdots \\ \dot{x}_n \end{bmatrix} = \begin{bmatrix} -A_{11} & A_{12} & \dots & A_{1n} \\ A_{21} & -A_{22} & \dots & A_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ A_{n1} & A_{n2} & \dots & -A_{nn} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ \vdots \\ x_n \end{bmatrix} + \begin{bmatrix} b_1 \\ b_2 \\ \vdots \\ b_n \end{bmatrix} u \quad (14a)$$

$$A_{ij} > 0, \quad u > 0, \quad b_i > 0$$

$$i = 1, 2, 3, \dots, n$$

$$j = 1, 2, 3, \dots, n$$

$$y = [1, 0, \dots, 0] \begin{bmatrix} x_1 \\ x_2 \\ \vdots \\ x_n \end{bmatrix} + 0 u \quad (14.b)$$

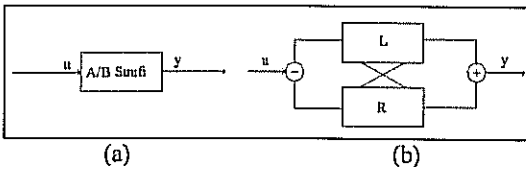
Görüldüğü gibi A matrisinin asal köşegeni üzerindeki tüm elemanlar negatif katsayılı, asal köşegenin dışında kalan elemanlar, b vektörünün katsayıları ve u girişi pozitifdir. Bu yüzden Denklem (14)'ü logaritmik ortam filtreleri için 'ideal' sistem denklemleri olarak adlandırabiliriz.

4. YETER ŞARTLARI SAĞLAMAYAN SİSTEMLERİN UYGUNLAŞTIRILMASI

Çoğu sistem denklemi Denklem (14)'de gösterildiği gibi ideal halde değildir. Belirlenen gerçeklenme koşullarını sağlamayan eşitliklerde başvuru bazı uygunlaştırıcı yöntemler ile katsayılar gerek ve yeter şartları sağlar hale getirilmektedir. Uygun olmayan terimleri gerçeklenme şartlarını sağlar hale getirecek iki değişik yöntem vardır.

Bu yöntemlerden bu çalışmada esas alınan yöntem olan fark alan tip (Differential type) AB sınıfı devre modellemesi ile sistem denklemleri uygun hale getirilmektedir. Bu yöntem gereğince filtreleme işlemi birbirinin aynısı ve birbirleri ile etkileşimi olan iki alt parçadan oluşmaktadır. Girişte fark alan blok yardımıyla ikiye ayrılan işaret filtreleme işleminden sonra tekrar birleştirilir. Böylece işaretin özgünlüğü bozulmadan çıkış giriş oranı elde edilmiş olur. AB sınıfı devrelerin çalışma mantığının logaritmik ortamlı filtrelerde kullanılmasına ilişkin teori ilk defa Tola ve Frey tarafından 2000 yılında yazılan bir makalede geliştirilmiştir. Makalede asıl olarak gerçeklenme şartlarını sağlamayan sistemlerin fark alan tip AB sınıfı devre modellemesi ile nasıl gerçekleştirilebilir hale geleceği ve mevcut denklemlerde yapılacak bazı değişiklikler ile elde edilen farklı devre mimarilerinin karşılaştırılması sunulmuştur.

Çalışmamızın bu kısmında ise uygunlaştırma yöntemlerinden ikincisi olan fark alan tip AB sınıfı devre modellemesi yapılarak n. dereceden genel sentez yöntemi sunulacaktır. Temel olarak A veya B sınıfı filtre devreleri ile fark alan tip AB sınıfı devre yapısı arasındaki farklılık Şekil 1'de görülen blok modelleme ile ve matematiksel modeli de Denklem (15)'de açıklanmıştır.



Şekil 1. A/B sınıfı (a) ve parçalı tip fark alan AB sınıfı (b) devre yapısının modelsel açıklanması

$$\begin{aligned}\bar{x} &= \bar{x}_L - \bar{x}_R \\ u &= u_L - u_R\end{aligned}\quad (15)$$

Denklemlerde durum değişkenlerinin ve giriş işaretininin L ve R olarak ikiye ayrıldığı görülmektedir. Bu tanımlamanın Denklem (1)'de yazılması ile fark alan tip AB sınıfı sistem denklemleri elde edilir. Eğer sentezinin yapılması istenilen sistem gerçeklenme şartlarını sağlamıyorsa, fark alan tip AB sınıfı devre modellemesinin yapılması ile sistem denklemleri dengeli olarak ikiye ayrılır. Bu işlem için A matrisi A_p-A_n ve b vektörü de b_p-b_n halinde teorideki şartları sağlayacak şekilde ikiye ayrılır. Diğer bir ifade ile alt denklemlerdeki gerçeklenme şartlarına uymayan terimler karşılıklı yer değiştirilir. x_L durum değişkenininin A_p katsayısının ve x_R durum değişkenininin A_n katsayısının terimlerinin kendi aralarında yer değiştirilmesi sırasında Denklem (15)'te belirlenen tanım gereğince terimlerin işaretlerinin de terslenmesi gerekir. Böylece sistem denklemleri gerçeklenme şartlarına uygun hale getirilmiş olur. Ancak asal köşegen üzerindeki terimlerde bu yöntem uygulanmaz. Bunun sebebi statik durum yeter şartlar gereğince asal köşegen üzerindeki terimlerin sıfırdan farklı ve negatif olması gerekliliğidir. Asal köşegen üzerindeki gerçeklenme şartlarına uymayan terimler, denklemlerin sonuna ilave edilecek bir geçici giriş yardımıyla uygun hale getirilir. Geçici girişlerin ilavesi ile asal köşegen üzerindeki sıfır olma ve pozitif olma sorunları çözülür. Denklem (15)'te tanımlanan fark alma işlemi sırasında geçici girişler ortadan kalkacağı için devrenin çalışmasında olumsuz bir etki oluşmamaktadır. Tüm bu anlatılanlar Denklem (16)'da matematiksel olarak gösterilmiştir.

$$\begin{aligned}\begin{bmatrix} \dot{x}_{1L} \\ \dot{x}_{2L} \\ \vdots \\ \dot{x}_{nL} \end{bmatrix} &= \begin{bmatrix} -A_{p11} & \cdots & A_{pn1} \\ \vdots & \ddots & \vdots \\ A_{pn1} & \cdots & -A_{pnn} \end{bmatrix} \begin{bmatrix} x_{1L} \\ x_{2L} \\ \vdots \\ x_{nL} \end{bmatrix} \\ &+ \begin{bmatrix} A_{n11} & \cdots & A_{n1n} \\ \vdots & \ddots & \vdots \\ A_{nn1} & \cdots & A_{nnp} \end{bmatrix} \begin{bmatrix} x_{1R} \\ x_{2R} \\ \vdots \\ x_{nR} \end{bmatrix} + \begin{bmatrix} b_{p1} \\ b_{p2} \\ \vdots \\ b_{pn} \end{bmatrix} u_L + \begin{bmatrix} b_{n1} \\ b_{n2} \\ \vdots \\ b_{nn} \end{bmatrix} u_R \\ &- \underbrace{\begin{bmatrix} f_1(\bar{x}_L, \bar{x}_R, u_L, u_R) & \cdots & 0 \\ \vdots & \ddots & \vdots \\ 0 & \cdots & f_n(\bar{x}_L, \bar{x}_R, u_L, u_R) \end{bmatrix}}_w \\ &+ \underbrace{\begin{bmatrix} x_{1L} x_{1R} \\ x_{2L} x_{2R} \\ \vdots \\ x_{nL} x_{nR} \end{bmatrix}}_{x_{LR}}\end{aligned}\quad (16.a)$$

$$y_L = x_{1L} \quad (16.c)$$

Böylece n. dereceden genelleştirilmiş fark alan tip AB sınıfı sistem denklemleri elde edilmiş olur. Elde edilen sistem denklemlerinden Kısım 2’de anlatılan temel işlem basamakları esas alınarak devre denklemlerinin elde edilmesi gerekir. İşlemlerin daha kolay yapılabilmesi için daha önce de olduğu gibi i. durum değişkenini ele alalım. Fark alan tip AB sınıfı devrelerin n. dereceden devre denklemlerinin i. durum değişkeni için gösterimi ve yapılan kabuller Denklem (17)-(21) arasında gösterilmiştir.

$$C_i \dot{v}_{iL} = \mp I_{fpi} + \sum_{j=1}^n I_s e^{\frac{(v_{jL} + V_{fpi} - v_{iL})}{V_i}} + \sum_{j=1}^n I_s e^{\frac{(v_{jR} + V_{fpi} - v_{iL})}{V_i}} + I_s e^{\frac{(v_{iL} + V_{fpi} - v_{iL})}{V_i}} + I_s e^{\frac{(v_{iR} + V_{fpi} - v_{iL})}{V_i}} - f_1 I_{fi} I_s e^{\frac{v_{iL}}{V_i}} \quad (17.a)$$

$$y_L = I_s e^{\frac{v_{iL}}{V_i}} \quad (17.c)$$

$$I_{fpi} = V_i C_i A_{pii} \quad A_{pii} \geq 0 \quad (18.a)$$

$$-I_{fpi} = V_i C_i A_{pii} \quad A_{pii} < 0 \quad (18.b)$$

$$I_{fpij} = V_i C_i A_{pij} = I_s e^{\frac{V_{fpi}}{V_i}} \quad i \neq j, A_{pij} \geq 0 \quad (19.a)$$

$$I_{fpij} = V_i C_i A_{pij} = I_s e^{\frac{V_{fpi}}{V_i}} \quad A_{pij} \geq 0 \quad (19.b)$$

$$I_{fpi} = V_i C_i b_{pi} = I_s e^{\frac{V_{fpi}}{V_i}} \quad b_{pi} > 0 \quad (20.a)$$

$$I_{fmi} = V_i C_i b_{mi} = I_s e^{\frac{V_{fmi}}{V_i}} \quad b_{mi} > 0 \quad (20.b)$$

$$I_{fi} = V_i C_i = I_s e^{\frac{V_{fi}}{V_i}} \quad (21)$$

Böylece n. dereceden genelleştirilmiş fark alan tip AB sınıfı devre denklemleri elde edilmiş olur. Fark alan tip AB sınıfı bir devrenin gerçekleştirilmesi için denklemlerde belirlenen katsayıların belirlenmesi

yeterli olacaktır. Eğer gerçeklenme şartlarını sağlamayan bir sistemin logaritmik ortamda sentezinin yapılması isteniyorsa o zaman katsayı terimlerinin kendi aralarında yer değiştirmeleri ve/veya Ψ katsayısının uygun olarak belirlenmesi gerekecektir. Bu yöntem sayesinde uygun olmayan tüm sistemler gerçekleştirilebilmektedir (Arslanalp, 2003).

5. FARK ALAN TİP DEVRE MODELLEMESİ YÖNTEMİNİN ÖRNEKLER ÜZERİNDE İNCELENMESİ

Önceki kısımda teorik olarak ele alınan fark alan tip devre modellemesi yöntemi bu kısımda sayısal iki örnek üzerinde uygulanacaktır. Böylece sunulan sistematik sentez yöntemi ile gerçeklenme şartlarını sağlamayan sistemlerin uygunlaştırılması açıkça görülmüş olacaktır. Örneklerden birincisinde gerçeklenme şartlarını sağlamayan sistem denklemlerinin uygunlaştırılması verilmiştir. İkinci örnekte ise Butterworth yaklaşımına sahip alçak geçiren bir transfer fonksiyonundan hareketle sistematik sentez yöntemi takip edilerek logaritmik ortam filtre devresi elde edilmiştir.

5. 1. Örnek 1

Gerçeklenmesi istenilen olası bir sistemin sistem denklemleri Denklem (22)’de görülmektedir.

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \underbrace{\begin{bmatrix} -5 & -3^* \\ -2^* & 1^* \end{bmatrix}}_A \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \underbrace{\begin{bmatrix} -1^* \\ 2 \end{bmatrix}}_B u \quad (22)$$

Dikkat edildiği gibi A matrisinde ve b vektöründe gerçeklenme şartlarını sağlamayan ‘**’ ile işaretlenmiş terimler bulunmaktadır. Sistem denklemlerinin fark alan tip AB sınıfı sistem denklemlerine dönüştürülmesi ve daha sonra gerçeklenme şartlarına uymayan terimlerin uygun hale getirilmesi gerekmektedir. Denklem (23)’de fark alan tip devre modellemesine uygun sistem denklemleri verilmiştir.

$$\begin{bmatrix} \dot{x}_{1L} \\ \dot{x}_{2L} \end{bmatrix} = \begin{bmatrix} -5 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} x_{1L} \\ x_{2L} \end{bmatrix} + \begin{bmatrix} 0 & 3 \\ 2 & 0 \end{bmatrix} \begin{bmatrix} x_{1R} \\ x_{2R} \end{bmatrix} + \begin{bmatrix} 0 \\ 2 \end{bmatrix} u_L + \begin{bmatrix} 1 \\ 0 \end{bmatrix} u_R - \begin{bmatrix} f_1 & 0 \\ 0 & f_2 \end{bmatrix} \begin{bmatrix} x_{1L} x_{1R} \\ x_{2L} x_{2R} \end{bmatrix} \quad (23.a)$$

$$\begin{bmatrix} \dot{x}_{1R} \\ \dot{x}_{2R} \end{bmatrix} = \begin{bmatrix} -5 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} x_{1R} \\ x_{2R} \end{bmatrix} + \begin{bmatrix} 0 & 3 \\ 2 & 0 \end{bmatrix} \begin{bmatrix} x_{1L} \\ x_{2L} \end{bmatrix} + \begin{bmatrix} 0 \\ 2 \end{bmatrix} u_R + \begin{bmatrix} 1 \\ 0 \end{bmatrix} u_L - \begin{bmatrix} f_1 & 0 \\ 0 & f_2 \end{bmatrix} \begin{bmatrix} x_{1L} x_{1R} \\ x_{2L} x_{2R} \end{bmatrix} \quad (23.b)$$

Sistem denklemleri incelendiğinde A_{p22} teriminin pozitif olmasından dolayı sistemin gerçekleşme şartlarını sağlanması için önceki kısımda belirtildiği üzere ilave edilen geçici giriş terimlerin değerlerinde bir kısıtlamaya gidilmesi gerekmektedir. Böyle bir sistemin gerçekleştirilebilmesi için $f_2 > 1/X_{2R,L}$ olması gerekir (Arslanalp, 2003).

5. 1. Örnek 2

Denklem 24'de ikinci dereceden alçak geçiren bir filtreye ait transfer fonksiyonu Denklem 25'de ise bu sisteme ait durum uzayı denklemleri görülmektedir.

$$H(s) = \frac{\omega_0}{s^2 + \omega_0 s + \omega_0^2} \quad (24)$$

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -\omega_0^2 & -\omega_0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} 0 \\ \omega_0^2 \end{bmatrix} u \quad (25)$$

$$y = x_1$$

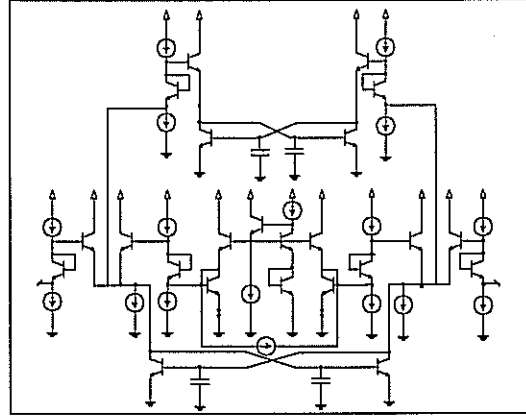
Denklem 25'de gerçekleştirme şartlarına uygun olmayan terimler yer almaktadır. Bu yüzden Kısım 4'de verilen uygunlaştırma işlemlerinin yapılması gerekir. L tarafı için uygunlaştırılmış sistem denklemleri Denklem 26'da görülmektedir.

$$\begin{bmatrix} \dot{x}_{1L} \\ \dot{x}_{2L} \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ 0 & -\omega_0 \end{bmatrix} \begin{bmatrix} x_{1L} \\ x_{2L} \end{bmatrix} + \begin{bmatrix} 0 & 0 \\ \omega_0^2 & 0 \end{bmatrix} \begin{bmatrix} x_{1R} \\ x_{2R} \end{bmatrix} + \begin{bmatrix} 0 \\ \omega_0^2 \end{bmatrix} u_L + \begin{bmatrix} 0 \\ 0 \end{bmatrix} u_R - \begin{bmatrix} 1 & 0 \\ 0 & C_2 V_1 \end{bmatrix} \begin{bmatrix} x_{1L} x_{1R} \\ x_{2L} x_{2R} \end{bmatrix} \quad (26)$$

Sistem denklemlerinin uygunlaştırılmasından sonra devre denklemleri Denklem 17'de verilen n. dereceden geliştirilmiş fark alan tip AB sınıfı devre denklemlerine uygun olarak elde edilir. Denklem 24'deki transfer fonksiyonun devre denklemi Denklem 27'de görüldüğü gibidir.

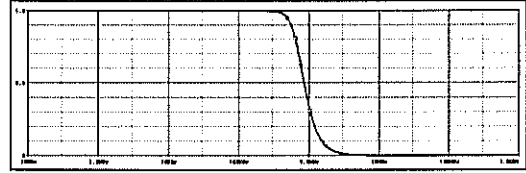
$$\begin{aligned} C_1 \dot{v}_{1L} &= I_1 e^{\frac{v_{2L} + V_{fb12} - v_{1L}}{V_1}} + I_1 e^{\frac{v_{1R}}{V_1}} \\ C_2 \dot{v}_{2L} &= I_2 e^{\frac{v_{1R} + V_{fb21} - v_{2L}}{V_1}} + I_2 e^{\frac{v_{2L} + V_{fb12} - v_{2L}}{V_1}} - I_2 e^{\frac{v_{2R}}{V_1}} \end{aligned} \quad (27)$$

Daha sonra alçak geçiren süzgece ait Şekil 1'de görülen devre elde edilir. Elde edilen devrenin frekans yanıtı ise Şekil 2'de görülmektedir.



Şekil 1. Alçak geçiren logaritmik ortam filtre devresi

Elde edilen devrenin alçak geçiren, 500KHz kesim frekanslı, en fazla iletim bandı zayıflaması 0.5dB olan devreye ait frekans yanıtı Şekil 2'de görülmektedir.



Şekil 2. Devrenin frekans yanıtı

6. SONUÇ VE ÖNERİLER

Bu çalışmada öncelikle logaritmik ortamlı filtrelerin durum uzayında sentezinin günümüze kadar olan teorik gelişimi incelenmiş, farklı araştırmacıların değişik çalışmaları karşılaştırılarak eksik yönleri belirlenmiştir. Daha sonra logaritmik ortamlı filtrelerin geliştirilmiş sistematik teorisi şimdiye kadar yapılan araştırmalardan farklı olarak daha genel ve ayrıntılı haliyle geliştirilerek sunulmuştur. Teorik altyapının tamamlanmasının ardından logaritmik ortamlı filtrelerin gerçekleştirilebilmesindeki tüm özel durumları kapsayan ön, gerek ve (statik ve

dinamik hal) yeter şartları belirlenmiştir. Bu şartların tamamına gerçekleşme şartları ismi verilmiştir. Ayrıca bu şartları sağlamayan bir sistemin uygulanlaştırılmasındaki sorun nümerik bir örnek üzerinde incelenerek konunun sağlıklı ve tam olarak aktarılması hedeflenmiştir. Böylece bu teori ve yöntem kullanılarak n. dereceden gerçekleştirilebilir tüm transfer fonksiyonlarının logaritmik ortamda sentezi yapılabilir hale gelmiştir.

7. TEŞEKKÜR

Bu çalışma 105E088'nolu TÜBİTAK Kariyer Projesi tarafından desteklenmiştir. Katkılarından dolayı "TÜBİTAK EEEAG"ye teşekkür ederiz.

8. KAYNAKLAR

Adams, R. W. 1979. Filtering in Log Domain, Presented at 63rd AES Conf., New York, Preprint 1470.

Arslanalp, R. 2003. 'Logaritmik Ortamda Eliptik Filtre Yaklaşımının Gerçeklenmesi', Y. Lisans Tezi, PAÜ Fen Bil. Enst.

Choma, J. R. 1990. Signal Flow Analysis of Feedback Networks, IEEE Transaction on Circuits and Systems, Vol. 37.

Eskiyerli, M. H., Payne, A. J. and Toumazou, C. 1996. State Space Synthesis of Biquads Based on The MOSFET Square Law, Proceeding of IEEE ISCAS, Atlanta, Vol. 1, pp. 321-324.

Frey, D. 1998 State-Space Synthesis and Analysis of Log-Domain Filters, IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 45, Issue, pp. 1205-1211.

Frey, D. 2000. Future Implications of the Log Domain Paradigm, IEE Proc. Circuits Device Syst., Vol. 147, pp. 65-72.

Frey, D. R. 1993. Log-Domain Filtering: An Approach to Current-Mode Filtering, IEE Proceeding Vol. 140, No. 6, pp. 406-416.

Frey, D. R. and Tola, A. T. 1999. A State-Space Formulation for Externally Linear Class AB

Dynamical Circuits, IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 46, Issue 3, pp. 306-314.

Frey, D., Tsvividis, Y. P., Efthivoulidis, G. and Krishnapura, N. 2001 Syllabic-Companding Log Domain Filters, IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 48, Issue 4, pp. 329-339.

Frey, R. D. 1996. Exponential State Space Filters: A Generic Current Mode Design Strategy, IEEE Transaction on Circuits and Systems-I: Fundamental Theory and Applications, Vol. 43, No. 1, pp. 34-42.

Mulder, J., Van Der Woerd, A. C., Serdijn, W. A. and Van Roermund A. H. M. 1997. General Current-Mode Analysis Method for Translinear Filters, IEEE Transaction on Circuits and Systems-I: Fundamental Theory and Applications, Vol. 44. Issue 3, pp. 193-197.

Perry, D and Roberts, G. W. 1995. Log-Domain Filters Based on LC Ladder Synthesis, IEEE International Symposium on Circuits and Systems, Vol. 1, pp. 311-314.

Psychalions, C. and Vlassis, S. 2002. On the Realization of Log-Domain Elliptic Filters Using the Flow Graph Approach, IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 49, Issue 12, pp. 770-774.

Seevinck, E. 1990. Companding Current Mode Integrator: A New Circuit Principle for Continuous-Time Monolithic Filters, Electronic Letters, Vol. 26, pp. 2046-2047.

Tola, A. T. and Frey, D. R. 2000. A Study of Different Class AB Log Domain First Order Filters, Analog Integrated Circuits and Signal Processing, 22, pp. 57-70.

Tsvividis, Y. 1997. Externally Linear, Time-Invariant Systems and Their Application to Companding Signal Processors, IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 44.

Tsvividis, Y. P., Gopinathan, V. and Toth, L. 1990. Companding in Signal Processing, Electronics Letters, Vol. 26.

LOGARİTMİK ORTAM SÜZGEÇİNİN DURUM UZAYI VE BLOK MODELLEME YÖNTEMLERİ İLE SENTEZİ

Abdullah T. TOLA¹ Remzi ARSLANALP² Şaziye SÜRRAV YILMAZ³

^{1,2}Elektrik-Elektronik Mühendisliği Bölümü, Mühendislik Fakültesi,

³Elektronik ve Bilgisayar Eğitimi Bölümü, Teknik Eğitim Fakültesi,

Pamukkale Üniversitesi, 20070, Kınıklı, Denizli

e-posta: ¹attola@pamukkale.edu.tr, ²rarslanalp@pamukkale.edu.tr,

³ssurav@pamukkale.edu.tr

Anahtar Sözcükler: Logaritmik Ortam Süzgeçleri, Durum Uzayı Yöntemi, Blok Modelleme

ABSTRACT

A first order Class A type log domain filter is synthesized by combining the state space synthesis method and the block diagram synthesis method. By using Darlington topology, it is intended to overcome the in-band gain problem for the log domain circuits. Four required blocks for a log domain circuits are synthesized. Logarithm, exponentiating, exponential converter, and level shifting blocks are designed only using transistors and resistors. Using these blocks, a first order log domain filter is designed. The filter has a 500 kHz cutoff frequency and the transistors in the filter have 10µA DC currents. The filter is simulated in PSpice using 'ideal', default PSpice model with BF=10000, and CBIC-R type transistors. AC response, time domain response, noise and THD analysis are carried out.

1. GİRİŞ

Analog, sürekli zamanlı, akım modlu devreler ailesinde yer alan logaritmik ortam süzgeçleri düşük güç, yüksek doğrusalılık, geniş çalışma bandı gibi üstünlüklerinden dolayı son yıllarda tümdevre uygulamalarında tercih edilmektedir [1-4]. Logaritmik ortam devreleri gerek sentez yönteminde değişkenlerin ve giriş işaretlerinin bir fonksiyonla eşlenmesi gerekse devre elemanlarının doğrusal olmayan özgeçirilerinin kullanılması ile alışlagelmiş devre yapılarından ayrılmaktadır [1,2].

Logaritmik ortam süzgeçlerinin sentezinde durum uzayı, blok modelleme ve işaret akış diyagramı gibi çeşitli yöntemler kullanılmaktadır [4-6]. Bu çalışmada durum uzayı yöntemi ile blok modelleme yönteminin birlikte kullanıldığı karma bir yöntem kullanılacaktır. Blok modelleme ile yapılan çalışmalarda genelde pasif elemanlardan oluşan devrelerden hareketle logaritmik ortam süzgeçleri elde edilmiş, durum uzayı yönteminin kullanıldığı çalışmalarda ise transfer fonksiyonundan durum

denklemleri elde edilmiş ve devre sentezlenmiştir[1-6]. Bu çalışmada ise temel işlevleri yerine getiren bloklar durum denklemleri gereğince birbirine bağlanarak logaritmik ortam süzgeci elde edilmiştir. Böylece hem durum uzayı sentez yönteminin teorik sağlam yapısından vazgeçilmemiş, hem de belirlenen blok yapılar ile sentezde kolaylık sağlanmış olmaktadır[1-6].

Blok modellerin her biri genel yapı içerisinde farklı amaçları yerine getirmek için tasarlanmıştır. Bloklar aktif eleman olarak NPN, PNP BJT'lerden ve gerilim kaynaklarından; pasif eleman olarak ta direnç ve kondansatörlerden oluşmaktadır. Tasarımda en az sayıda pasif eleman kullanarak güç tüketimi en düşüğe tutulmaya çalışılmıştır. Ayrıca logaritmik ortam süzgeçlerinin önemli bir problemi olan ileri yön akım kazancının neden olduğu sorunlar kullanılan darlington yapı ile en aza indirilmeye çalışılmıştır [7-9].

Tasarlanan devrenin düşük güç tüketimine sahip olması, ileri yön akım kazancına daha az bağımlı olması, yüksek dereceli doğrudan gerçeklemeye uygun sistematiiklik içinde olması önemli üstünlükleri olarak gösterilebilir.

Teorik olarak tasarlanan logaritmik ortam süzgeç devresinin benzetimi PSpice programında yapılmıştır. Sonuçlar zaman ortamı, frekans ortamı, gürültü ve toplam harmonik bozulma (THD) olarak incelenmiş, elde edilen veriler sunulmuştur.

2. TASARIM

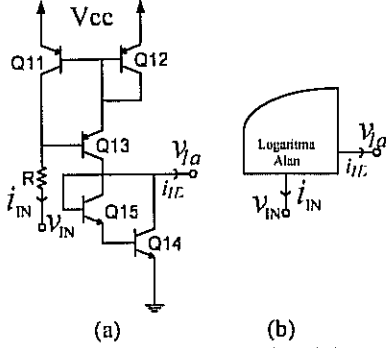
Bu çalışmada, A sınıfı birinci dereceden Butterworth yaklaşımına sahip alçak geçiren logaritmik ortam süzgeci, blok modelleme ve durum uzayı yönteminin birlikte kullanıldığı karma yöntem ile sentezlenecektir. Öncelikle temel işlem bloklarının tasarımı yapılacak, daha sonra bu bloklar durum uzayı yöntemi kullanılarak birleştirilip istenilen transfer fonksiyonunu sağlayan genel süzgeç devresi elde edilecektir.

2.1 Logaritma Alan

Logaritma alan devre, doğrusal giriş işaretinin logaritmasını alarak doğrusal olmayan ortama taşınmasını sağlar. Şekil 1a'da görülen devrenin uç denklemleri Denklem 1 ve Denklem 2'de ifade edilmiştir.

$$v_{1a} = 2V_T \ln \frac{i_{IN} - i_{1D}}{\sqrt{\beta I_S}} \quad (1)$$

$$i_{IN} = I_f + i_{in} \quad (2)$$



Şekil 1:(a) Logaritma alan devre (b) Blok gösterimi

2.2 Seviye Öteleyen

Seviye öteleyen devre, doğrusal olmayan işareti gerilim seviyesi olarak istenilen seviyeye çıkarmayı sağlar. İki düğüm arasında gerilim farkı istenildiği yerlerde kullanılır. Şekil 2a'da görülen seviye öteleyen devrenin uç denklemleri Denklem 3'de verilmiştir.

$$v_{2a} = v_{2b} + 2V_T \ln \frac{I_f - i_{2D1}}{\sqrt{\beta I_S}} \quad (3a)$$

$$-i_{2D1} = i_{2D2} \quad (3b)$$

2.3 Üstel Dönüştürücü

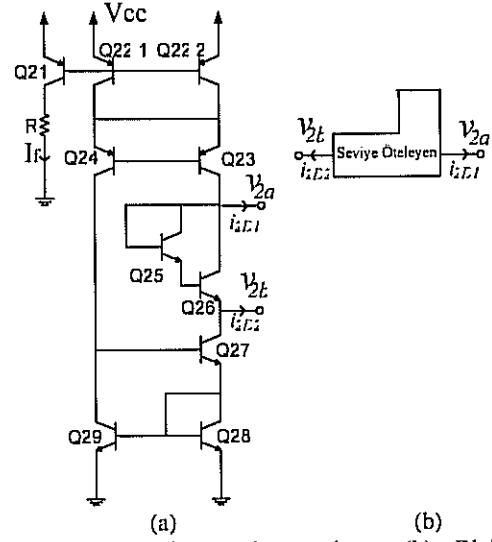
Üstel dönüştürücü devre, gerilimden akım elde etmek için üstel bir fonksiyon kullanan işlem bloğudur. Şekil 3a'da görülen üstel dönüştürücü devrenin uç denklemleri Denklem 4'deki gibidir.

$$i_{3D} = -I_f + \sqrt{\beta I_S} e^{\frac{v_{3b} - v_{3a}}{2V_T}} \quad (4)$$

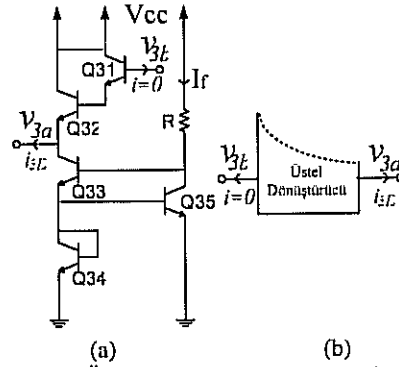
2.4 Üstel Alan

Üstel alan devre, doğrusal olmayan ortamdaki işareti tekrar doğrusal ortama taşıyan işlem bloğudur. Şekil 4'de üstel alan devre ve blok hali görülmektedir. Denklem 5'de de bu devreye ait uç denklemler verilmiştir.

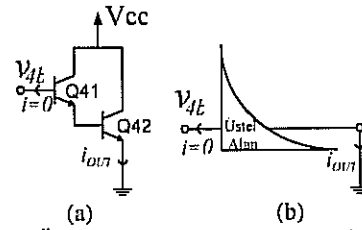
$$i_{OUT} = \sqrt{\beta I_S} e^{\frac{v_{4b}}{2V_T}} \quad (5)$$



Şekil 2:(a) Seviye öteleyen devre (b) Blok gösterimi



Şekil 3:(a) Üstel dönüştürücü devre (b) Blok gösterimi



Şekil 4:(a) Üstel alan devre (b) Blok gösterimi

2.5 Logaritmik Ortam Süzgeç Devresi

Temel işlem bloklarının uç denklemleri ile tanımlanmasından sonra Denklem 6'da görülen transfer fonksiyonundan durum uzayı yöntemi kullanılarak devre denklemleri elde edilecektir. Bu devre denklemleri temel işlem blokları ile gerçekleştirilecektir. Transfer fonksiyonuna ait durum uzayı denklemleri Denklem 7'de verilmiştir.

$$\frac{i_{OUT}}{i_{IN}} = \frac{\omega_0}{s + \omega_0} \quad (6)$$

$$\begin{aligned} \dot{x} &= -\omega_0 x + \omega_0 u \\ y &= x \end{aligned} \quad (7)$$

Burada, 'x' durum değişkeni, 'u' giriş işareti, 'y' çıkış işareti, ' ω_0 ' kesim frekansdır.

Durum değişkeninin ve giriş işaretinin Denklem 8'de görüldüğü gibi bir aktarım fonksiyonu ile eşlenmesi ve Denklem 9'da verilen yaklaşımın kabul edilmesiyle Denklem 7'deki durum denklemleri Denklem 10'daki devre denklemleri haline gelir [1,2,9].

$$x = \sqrt{\beta} I_S e^{\frac{v_x}{2V_T}}, u = \sqrt{\beta} I_S e^{\frac{v_u}{2V_T}} \quad (8)$$

$$2\omega_0 C V_T = \sqrt{\beta} I_S e^{\frac{v_f}{2V_T}} = I_f \quad (9)$$

$$C \dot{v}_{1x} = -I_f + \sqrt{\beta} I_S e^{\frac{v_u + V_f - v_x}{2V_T}} \quad (10a)$$

$$y = \sqrt{\beta} I_S e^{\frac{v_x}{2V_T}} \quad (10b)$$

Denklem 10a'yı (Kısım 2.3'te verilen) üstel dönüştürücü bloğunun a ucunu v_x gerilimine b ucunu $v_u + V_f$ gerilimine eşitleyerek ve a ucuna diğer bacağı topraklanmış bir kondansatör bağlayarak gerçekleştirilebilir. Bu durumda Denklem 11'deki eşitlikler elde edilir.

$$\begin{aligned} i_{3D} &= i_C = C \dot{v}_x \\ v_{3b} &= v_u + V_f \\ v_{3a} &= v_x \end{aligned} \quad (11)$$

Üstel dönüştürücünün b ucu iki gerilimin toplamından oluşmaktadır. Üstel dönüştürücünün b ucuna (Kısım 2.2'de verilen) seviye öteleyen blok bağlanırsa i_{2D1} akımı sıfıra eşit olur ve seviye öteleyen bloğun uçlarının gerilim farkı V_f 'ye eşit olur.

$$i_{2D1} = 0 \Rightarrow v_{2a} - v_{2b} = V_f \quad (12)$$

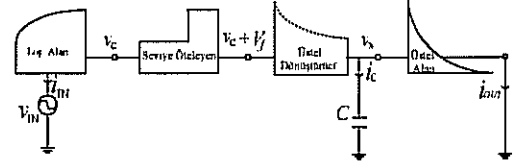
Seviye öteleyen bloğun a ucuna (Kısım 2.1'de verilen) logaritma alan devre bağlanırsa i_{1D} akımı sıfıra eşit olur. Giriş akımını aktıracak giriş gerilim kaynağı bağlandığında logaritma alan devrenin a ucu v_u gerilimine eşit hale gelir.

$$u = i_{1N}, i_{1D} = 0 \Rightarrow v_u = v_{1a} \quad (13)$$

Diğer taraftan çıkış fonksiyonu olan Denklem 10b'yi yerine getirmek için üstel dönüştürücü devrenin b ucuna (Kısım 2.4'te verilen) üstel alan devre bağlanır. Böylece üstel dönüştürücü bloğunun a ucu ile üstel alan bloğun b uçlarının gerilimleri eşit olur.

$$\begin{aligned} y &= \sqrt{\beta} I_S e^{\frac{v_{3a}}{2V_T}} \\ v_{3a} &= v_{4b} \end{aligned} \quad (14)$$

Şekil 5'de görüldüğü gibi verilen bloklar uygun olarak bağlanırsa Denklem 6'da görülen transfer fonksiyonunu gerçekleyen devre elde edilmiş olur.



Şekil 5: Birinci derece logaritmik ortam süzgecinin blok yapısı

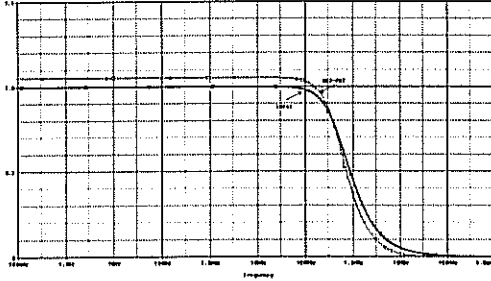
3. BENZETİM

Tasarlanan devre üç adet direnç, bir tane kondansatör ve BJT elemanlarından [1] oluşmaktadır. Kullanılan dirençlerin değeri 469K Ω , kondansatörün değeri 62pF, besleme gerilimi ise 6 voltur. Seçilen bu değerler ile Denklem 9 dikkate alındığında DC kutuplama akımı I_f 'nin değerinin 10 μ A, kesim frekansının da 500kHz olduğu ortaya çıkar.

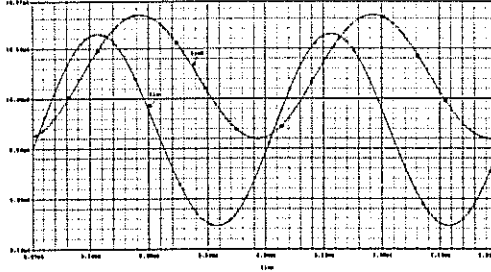
Tasarlanan devrenin öncelikle frekans cevabı incelenmiştir. Elde edilen sonuçlar PSpice'da ileri yön akım kazancınının 10000 yapıldığı varsayılan transistör kullanılarak elde edilen karakteristikle, Şekil 6'da görüldüğü gibi, karşılaştırılmıştır.

Zaman ortamı incelemesi olarak devre kesim frekansı civarlarında sürülmüş giriş ve çıkış akım değerleri Şekil 7'de sunulmuştur.

Süzgeç devresinin ürettiği gürültü, alçak geçiren karakteristiğinde ve iletim bandı kazancı yaklaşık 132 pA/ \sqrt{Hz} olarak tespit edilmiştir.



Şekil 6: Frekans cevabı



Şekil 7: Zaman ortamı çıkışı

Devrenin girişine farklı AC akım değerlerini elde edecek gerilim değerleri ile beslenerek çıkış akımı üzerindeki bozulma oranları tespit edilmiştir. Sonuçlar Tablo 1'de sunulmuştur.

Tablo 1: Farklı giriş akımlarına için % toplam harmonik bozulma oranları

| I_{in-p} | THD% |
|------------|--------|
| 1 μ A | 0.5485 |
| 2 μ A | 0.9465 |
| 4 μ A | 1.9867 |
| 8 μ A | 5.3291 |

4. SONUÇLAR

Bu çalışmada, temel blokların her biri bağımsız olarak farklı işlevleri yerine getirmek için tasarlanmıştır. Tasarımda en az sayıda pasif eleman kullanılmıştır. Bu da devrenin güç tüketimini azaltmıştır.

Devrenin frekans cevabı incelendiğinde; ideal cevaba göre iletim bandı kazancında yaklaşık %4 civarında artma meydana geldiği, kesim frekansında çok fazla değişim olmadığı görülmektedir. Devrenin ürettiği gürültü büyüklüğünün ve frekans cevabındaki kaymaların kabul edilebilir sınırlar içinde kaldığı söylenebilir.

Zaman ortamı çıktıları ve farklı giriş akımı tepe değerlerine göre oluşan % toplam harmonik bozulma oranları incelendiğinde giriş akımının değeri ile bozulmanın doğru orantılı olduğu bir defa daha görülmüştür.

Devrenin giriş işaretleri olarak akımın kullanılması, devre denklemlerinin akım tabanlı olması ve transfer fonksiyonunun A/A oranında ifadesiyle devredeki baskın büyüklük akım olur. Böylece, devrenin girişinde gerilim kaynağı görülmesine rağmen, devre akım modlu olarak kabul edilebilir.

Temel işlem bloklarının uygun olarak bağlanması ile yüksek dereceli ve karmaşık devreler bu sistematik tasarım basamakları takip edilerek gerçekleştirilebilir.

TEŞEKKÜR

Bu çalışma 105E088 nolu TÜBİTAK Kariyer projesi tarafından desteklenmiştir. Katkılarından dolayı TÜBİTAK EEEAG'ye teşekkür ederiz.

KAYNAKLAR

- [1]. Frey, D. R., Log-Domain Filtering: An Approach to Current-Mode Filtering, IEE Proceedings-g, Vol. 140, No.6, December 1993.
- [2]. Frey, D. R., State-Space Synthesis and Analysis of Log-Domain Filters, IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 45, No.9, 1998.
- [3]. Yang, F., Enz, C. and Van Ruymbek, G., Design of Low-Power and Low-Voltage Log-Domain Filters, Proc. IEEE ISCAS, vol. 1, 117-120, 1996.
- [4]. Punzerbeger, M. And Enz, C., Log-Domain Filters for Low-Voltage Low-Power Applications, Proc. Int. Workshop Low Power RF Integrated Circ., 1999
- [5]. Psychalinos, C. and Vlassis, S., On the Exact Realization of Log-Domain Elliptic Filters Using the Signal Flow Graph Approach, IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 49, No.12, 2002.
- [6]. Roberts, G. W. and Leung, V. W., Design and Analysis of Integrator-Based Log-Domain Filter Circuits, Kluwer Academic Publishers, ISBN: 079238699, New York, 2002.
- [7]. Kuntman, H. H., Analog Tümdevre Tasarımı, Birsen Yayınevi, ISBN 975-511-190-5, İstanbul, 1998.
- [8]. Sedra, A. S., Smith, K. C., Microelectronic Circuits, Third Edition Oxford University Pres, 646-662 p., New York 1991.
- [9]. Arslanalp, R. ve Tola, A. T., Logaritmik Ortam süzgeçlerinde iletim bandı kazancının darlington yapı kullanılarak iyileştirilmesi, IEEE SIU 2006 IEEE 14. Sinyal İşleme ve İletişim Uygulamaları Kurultayı 17-19 Nisan 2006, Antalya Türkiye.

ELEKTRONİK OLARAK AYARLANABİLİR KAREKÖK ORTAMLI SÜZGEÇ DEVRESİ

ELECTRONICALLY TUNABLE SQUARE-ROOT DOMAIN FILTER CIRCUIT

Remzi ARSLANALP¹, Abdullah T. TOLA²

^{1,2}Elektrik-Elektronik Mühendisliği Bölümü, Pamukkale Üniversitesi, 20017, Denizli
rarslanalp@pau.edu.tr, attola@pau.edu.tr

Özetçe

Bu bildiriye, alçak geçiren ve band geçiren süzgeç özellikleri olan elektronik olarak ayarlanabilir bir karekök ortam süzgeç devresi durum uzayı sentez yöntemi kullanılarak tasarlanmıştır. Devrenin gerçekleştirilmesi için durum uzayı gösterimine ilave bir DC giriş eklenmiştir. Sunulan süzgecin doğal frekansı akım kaynaklarının akımlarının değerlerini değiştirilerek ayarlanabilmektedir. Tasarımı yapılan süzgecin benzetimleri TSMC 0.35 μm CMOS teknolojisi kullanılarak PSpice programında yapılmıştır. Akım kaynaklarının akımlarının değeri değiştirilerek doğal frekans band geçiren süzgeç için 2.95MHz-8.31MHz arasında, alçak geçiren süzgeç için 3.67MHz-8.46MHz arasında ayarlanmıştır. Aynı zamanda THD analizi ve gürültü analizi yapılmıştır. Elde edilen sonuçlar sunulmuştur.

Abstract

In this paper, electronically tunable square root domain low pass and band pass filter is designed by using state space synthesis procedure. A dummy DC input is added to state space equations in order to realize the filter. Natural frequency of the proposed filter could be tuned by varying the currents of the current sources. The designed filter is simulated in PSpice using TSMC 0.35 μm CMOS technology parameters. By varying the values of the current sources, the natural frequencies is swept for 2.95MHz-8.31MHz and 3.67MHz-8.46MHz, for band pass and low pass filters respectively. Also THD and noise analysis are simulated. The obtained simulation results are given.

1. Giriş

Akım modlu devrelerin son nesil uygulamalarından olan karekök ortamlı devreler, yüksek frekans, düşük güç, düşük besleme gerilimi ve elektronik olarak ayarlanabilmesi sebebiyle bilim dünyasının ilgisini üzerinde toplamıştır. Karekök ortam devrelerinde kullanılan CMOS VLSI teknolojisinin günümüz tümleşik devre üretimine olan uyumu konunun gelişimine ayrı bir ivme vermiştir [1-6].

Karekök ortam devrelerinde MOSFET'in doyma bölgesindeki doğrusal olmayan I-V uç denklemi kullanıldığından dolayı düğümlerdeki salınım yapan gerilim genlik değeri azalır ve geniş dinamik çalışma aralığı sağlanmış olur [2]. İç düğümler arasında doğrusal olmayan ilişkinin olmasına rağmen tasarlanan devrelerde giriş çıkış arasındaki doğrusallık korunur.

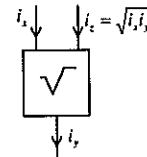
Günümüzde karekök ortamlı devrelerin süzgeç, osilatör gibi uygulamaları mevcuttur. Bu uygulamalarda temel olarak durum uzayı sentez yöntemi esas alınmıştır. Transfer fonksiyonundan elde edilen durum uzayı denklemlerinin gerçekleştirilebilmesi için DC dengelerin sağlanması gereklidir [7]. Literatürde yapılan çalışmalarda genelde DC dengelerin sağlandığı durum uzayı denklemleri seçilmiştir [1,3]. Bir başka deyişle yapılan çalışmalarda gerçekleştirilebilir durum uzayı denklemleri seçilmiştir. DC dengeleri iyi ayarlanmış bir sistem denkleminde elde edilen devrenin bozulma ve gürültü değerlerinin daha iyi olacağı bilinmektedir [7]. Bu sebepten gerçekleştirilebilen sistemlerin de DC dengelerinin daha iyi ayarlanması ile yüksek başarılı devreler elde etmek mümkündür.

Bu çalışmada, DC dengeleri uygun olmayan bir durum uzayı denklemi ilave girişler kullanılarak gerçekleştirilebilir hale getirilmiştir. Elde edilen durum uzayı denklem sistemi kullanılarak alçak geçiren ve band geçiren süzgecin birlikte olduğu elektronik olarak ayarlanabilir devre elde edilmiştir. Literatürdeki örneklerde genelde sadece uygun bir sistem denkleminde elde edilen tek fonksiyonlu süzgeçler tasarlanmıştır. Bu çalışmada ise uygunlaştırılmış durum uzayı denklemlerinden başlayarak 4 blokla hem alçak geçiren hem de band geçiren karakteristikli 2. derece bir karekök ortam süzgeç devresi elde edilmiştir. Elde edilen devrenin benzetimleri TSMC 0.35 μm , LEVEL 3 transistor parametreleri kullanılarak PSpice programında yapılmıştır.

2. Karekök Devresi

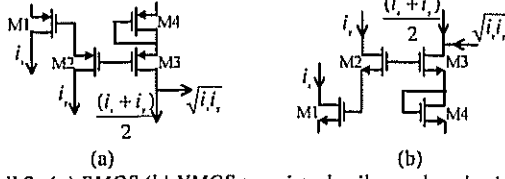
Karekök ortam devreleri translineer devreler ailesinin alt kollarından biridir [1-3]. MOSFET'lerden oluşan translineer çevrimin olabilmesinin şartı tüm elemanların doyma bölgesinde kalmasıdır. Kullanılan MOSFET elemanının doyma bölgesindeki basit karesel uç denklemi Denklem 1'de verilmiştir. Denklemde β , transistor geçiş iletkenliği, V_{th} transistorun eşik gerilim değerini belirtmektedir.

$$i_d = \beta(V_{gs} - V_{th})^2 \quad (1)$$



Şekil 1: Karekök devresinin blok yapısı

Karekök devresinin genel blok yapısı Şekil 1'de görüldüğü gibidir. Geometrik ortalama devresi olarak da adlandırılan yapı giriş akımlarının çarpımlarının karekökünü almaktadır. Karekök devresinin NMOS ve PMOS transistörler ile basit iç yapısı Şekil 2'de verilmiştir [1,3].



Şekil 2: (a) PMOS (b) NMOS transistörler ile yapılmış basit karekök devreleri

Şekildeki karekök devrelerinde akım çekişen transistörler (M1 ve M2) ile aynı akımın geçtiği seri transistörlerin (M3 ve M4) geçiş iletkenliği parametrelerinin arasındaki oran 1:2 seçilirse ve M3 transistörünün üzerinden akan akımdan i_x ve i_y nin aritmetik ortalaması ayrılırsa; i_x ve i_y nin geometrik ortalaması elde edilir.

3. Tasarım

Bu kısımda ikinci derece süzgeç, durum uzayı sentez yöntemi kullanılarak karekök alan bloklar yardımıyla tasarlanacaktır. Denklem 2'de tasarlanan iki fonksiyonlu süzgecin durum uzayı denklemleri görülmektedir.

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} -\frac{\omega_o}{Q} & -\omega_o \\ \omega_o & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} k1 \\ k2 \end{bmatrix} u + \begin{bmatrix} g1 \\ g2 \end{bmatrix} u2$$

$$y = \begin{bmatrix} 1 & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \quad (2)$$

Denklemde y çıkış, u giriş, u_2 DC şartları sağlamak için ilave edilmiş girişi belirtir. $k1$, $k2$ ve $g1$, $g2$ katsayıları, Denklem 3 ve Denklem 4'de görüldüğü gibi, süzgecin alçak geçiren ya da band geçiren olmasına göre değişen katsayılardır.

$$k1 = 0, k2 = -\omega_o \Rightarrow H(s) = \frac{\omega_o^2}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2} \quad (u2 = 0) \quad (3)$$

$$k1 = \omega_o, k2 = 0 \Rightarrow H(s) = \frac{\omega_o s}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2} \quad (u2 = 0)$$

$$AG \Rightarrow g1 = (1 + \frac{1}{Q})\omega_o, g2 = 0 \quad (4)$$

$$BG \Rightarrow g1 = \frac{\omega_o}{Q}, g2 = -\omega_o$$

Denklem 2'deki durum değişkenlerinin ve giriş işaretinin gerilimle eşlenmesi ve denklemin her iki tarafının (Kondansatörün sığası olarak kabul edilen) C sabit katsayısı ile çarpılıp Denklem 5'de görülen kabullerin yapılması ile her denklem bir düğüme ait akım eşitliğine dönüşür. 1 ve 2 numaralı düğümlere ait eşitlikler Denklem 6'da verilmiştir. İlk iki denklemin sol tarafındaki terimler bir ucu topraklanmış kondansatörün akımını ifade eder.

$$v_1 = \sqrt{\frac{i_1}{\beta}} + V_{th}, v_2 = \sqrt{\frac{i_2}{\beta}} + V_{th}, u = \sqrt{\frac{i_u}{\beta}} + V_{th} \quad (5)$$

$$u2 = \sqrt{\frac{I_{u2}}{\beta}} + V_{th}, C\omega_o = \sqrt{\beta I_f}, Q = 1$$

$$C\dot{v}_1 = -\sqrt{I_f i_1} - \sqrt{I_f i_2} + b\sqrt{I_f i_u} + d\sqrt{I_f I_{u2}}$$

$$C\dot{v}_2 = +\sqrt{I_f i_1} - a\sqrt{I_f i_u} + c\sqrt{I_f I_{u2}} \quad (6)$$

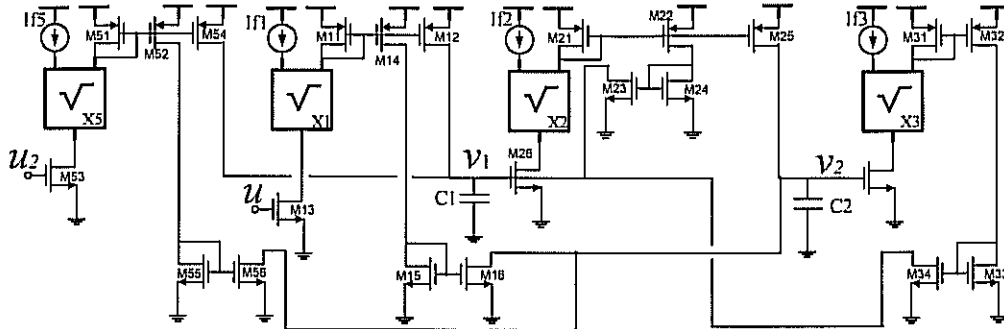
$$y = v_1$$

Bu denklemde a ve b değerlerinin aşağıdaki gibi seçilmesi ile AG veya BG süzgeç devreleri elde edilir.

$$AG \Rightarrow a = 1, b = 0, c = 0, d = 2$$

$$BG \Rightarrow a = 0, b = 1, c = -1, d = 1$$

Denklem 6'da elde edilen eşitlikler karekök alan bloklar, akım kaynakları, akım aynaları ve iki tane kondansatör ile Şekil 3'de görüldüğü gibi gerçekleşir. Denklem 6'da verilen devre denklemlerine uygun olarak alçak geçiren süzgeç için ise M52, M55, M56 transistörleri, band geçiren süzgeç için ise M14, M15 ve M16 transistörleri yalıtıma alınır. Bu işlem örneğin mikroişlemci destekli bir elektronik düzenek ile sağlanabilir.

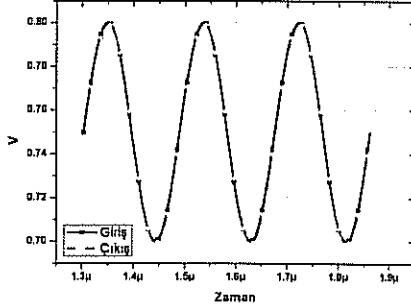


Şekil 3: Elektronik olarak ayarlanabilen çok fonksiyonlu karekök ortam süzgeç devresi

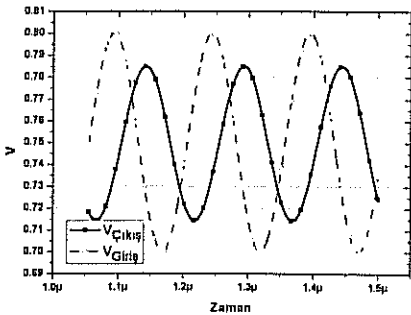
Devrenin girişine 750mV DC değere sahip 10mV ile 200mV arasında farklı genlikli değerler, ilave girişine 750mV DC değeri uygulanmıştır. Kondansatörlerin değeri birbirine eşit 5pF olarak belirlenmiştir. Elektronik olarak ayarlamaya imkân tanıyan I_f DC akım kaynaklarının değerleri 1 μ A ile 100 μ A arasında değişen değerler seçilmiştir. Farklı değerler ile zaman ortamı ve frekans ortamı analizleri yapılarak tasarlanan devrenin başarımı geniş yelpazede araştırılmıştır.

4. Benzetim

Elde edilen süzgeç devresinin benzetimlerinde TSMC 0.35 μ m LEVEL 3 transistor parametreleri kullanılmıştır. Tasarlanan süzgeç devresinin öncelikle zaman ortamında analizleri yapılmıştır. Bu benzetimlerde DC I_f akımı 50 μ A olarak seçilmiştir. Girişe 750 mV öteleme değerine sahip 50mV tepe değerli sinüs işaretli uygulanmıştır. Giriş işaretinin frekansları alçak geçiren süzgeç için 6.6334MHz, band geçiren süzgeç için ise de 5.3703 MHz olarak seçilmiştir. Giriş işareti ve çıkış işareti birlikte band geçiren süzgeç için Şekil 4'de, alçak geçiren süzgeç için Şekil 5'de sunulmuştur. Benzetimler band geçiren süzgeç için merkez frekansında, alçak geçiren süzgeç için de -3 dB zayıflamanın olduğu frekans değerinde yapılmıştır. Bu sebepten dolayı band geçiren süzgeç grafiğinde giriş işareti ile çıkış işareti aynı fazda ve aynı genliktedir. Alçak geçiren süzgeç grafiğinde ise genlikte zayıflama ve fazda kayma vardır.



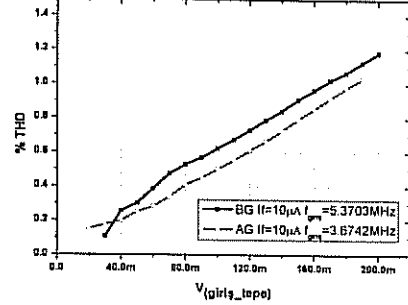
Şekil 4: 5.3703 MHz'de band geçiren süzgecin giriş-çıkış işaretleri



Şekil 5: 6.6334MHz'de alçak geçiren süzgecin giriş-çıkış işaretleri

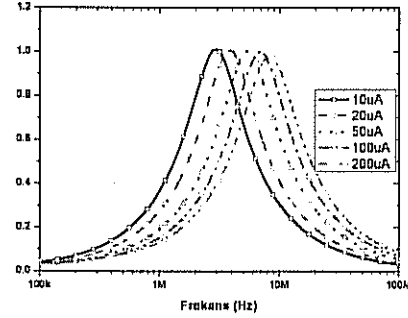
Zaman ortamı sonuçlarının elde edilmesinden sonra çıkış işaretinde oluşan %THD bozulma oranları araştırılmıştır.

Devrenin girişine 750mV DC değerinin üzerine 10mV ile 200mV arasında değişen farklı genlik tepe değerlerinde sinüs işareti uygulanmıştır. Alçak geçiren ve band geçiren devreler için elde edilen %THD bozulma değerleri grafik olarak Şekil 6'da verilmiştir.

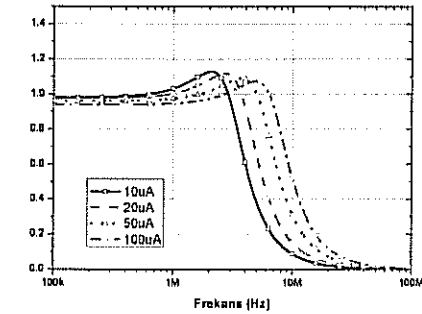


Şekil 6: Alçak geçiren ve band geçiren süzgeçler için farklı giriş tepe değerlerine karşılık % THD değerleri

Denklem 4'de görüldüğü gibi süzgeç devresi elektronik olarak ayarlanabilmektedir. Bu sayede I_f değerini değiştirilerek süzgecin kritik frekans değerleri ayarlanabilmektedir. Şekil 7'de band geçiren süzgecin I_f değeri 10 μ A ile 200 μ A arasında değiştirilmesi ile, Şekil 8'de ise alçak geçiren süzgecin 10 μ A ile 100 μ A arasında değiştirilmesi ile elde edilen farklı frekanslardaki giriş çıkış genlik oranları görülmektedir.

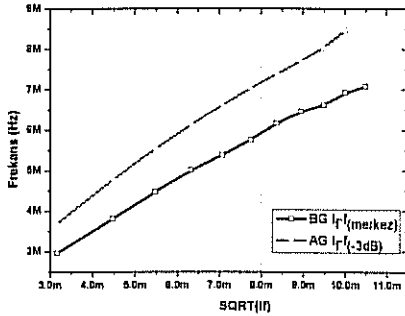


Şekil 7: Band geçiren süzgecin farklı I_f değerlerindeki frekans cevapları



Şekil 8: Alçak geçiren süzgecin farklı I_f değerlerindeki frekans cevapları

Şekil 9'da alçak geçiren ve band geçiren süzgeçleri için $\sqrt{I_f}$ - frekans değişimi grafik olarak sunulmuştur. Band geçiren süzgeç için merkez frekans, alçak geçiren süzgeç için ise $-3dB$ zayıflamanın olduğu frekans değeri dikkate alınmıştır.



Şekil 9: Alçak geçiren ve band geçiren süzgecin farklı I_f değerlerindeki frekans değerleri

Süzgeç devresi $I_f=10 \mu A$ akımında band geçiren süzgeç için $153nV/\sqrt{Hz}$, alçak geçiren süzgeç için $86nV/\sqrt{Hz}$ seviyelerinde gürültü ürettiği tespit edilmiştir.

5. Sonuçlar

Bu çalışmada alçak geçiren ve band geçiren süzgeç özellikleri olan, elektronik olarak ayarlanabilen karekök ortamlı süzgeç devresi tasarlanmıştır. Durum uzayı denklemlerinin gerçekleştirilme şartlarını sağlamaları için ilave girişler eklenmiştir. Tasarlanan devrenin zaman ortamı, frekans ortamı, %THD bozulma ve gürültü analizleri PSpice benzetim programında yapılmıştır. Tüm benzetimlerde TSMC 0.35 μm . LEVEL 3 transistor parametreleri kullanılmıştır. Tasarlanan

devrenin başarımı farklı akım, gerilim ve frekans değerlerinde araştırılmıştır. Elde edilen sonuçlar ayrıntılı olarak sunulmuştur.

6. Teşekkür

Bu çalışma 105E088 nolu TÜBİTAK Kariyer projesi tarafından desteklenmiştir. Katkılarından dolayı TÜBİTAK EEEAG'ye teşekkür ederiz.

7. Kaynakça

- [1] Eskiyeerli, M. and Payne, A., "Square Root Domain Filter Design and Performance", Analog Integrated Circuits and Signal Processing, 22, pp 231-243, 2000.
- [2] Kumar, J. V. and Rao, R. K., "A Low-Voltage Low Power CMOS Companding Filter", Proceedings of the 16th International Conference on VLSI Design, pp. 309-314, 2003.
- [3] Yu, G. J., Liu, B., Hsu, Y. C. and Huang, C., "Design of Log Domain Low Pass Filters by MOSFET Square Law", Proceedings of the Second IEEE Asia Pacific Conference pp. 9-12, 2000.
- [4] Mohammed, K. and Soliman, A. M., "A tunable Square Root Domain Oscillator", Analog Integrated Circuits and Signal Processing, 43, pp. 91-95, 2005.
- [5] Yu, G., Huang, C., Liu, B. and Chen, J., "Design Of Square Root Domain Filters", Analog Integrated Circuits and Signal Processing, 42, pp 49-59, 2005.
- [6] Menekay, S., Tarcan, R. C. ve Kuntman, H., "Doğruluğu Artırılmış Kare-Kök Devresi İle Kurulmuş Düşük Gerilime Uygun İkinci Dereceden Alçak Geçiren Süzgeç Tasarımı", s. 1-5, Elektrik, Elektronik ve Bilgisayar Mühendisliği Sempozyumu ve Fuarı, "ELECO'2006.
- [7] Tola, A. T., A Study of Nonideal Log Domain and Differential Class AB Filters, Ph.D. Dissertation, Lehigh University, 2000.

ELEKTRONİK AYARLANABİLİR LOGARİTMİK ORTAM EVRENSEL SÜZGEÇ DEVRESİ

Şaziye SURAV YILMAZ¹ Remzi ARSLANALP² Abdullah T. TOLA³

¹Elektronik ve Bilgisayar Eğitimi Bölümü, Teknik Eğitim Fakültesi,

^{2,3}Elektrik-Elektronik Mühendisliği Bölümü, Mühendislik Fakültesi,
Pamukkale Üniversitesi, 20070, Kınıklı, Denizli

e-posta: ¹ssurav@pau.edu.tr, ²rarslanalp@pau.edu.tr, ³attola@pau.edu.tr,

ÖZET

Bu çalışmada birinci dereceden, AB sınıfı fark alan yapıda evrensel bir süzgeç devresi logaritmik ortamda tasarlanmıştır. Tasarlanan elektronik ayarlanabilir süzgeç devresi ideal (BF=10000) ve CIBIC-R (NR200N-2X NPN) transistörleri kullanılarak PSpice programında analiz edilmiş, 500KHz kesim frekansında alçak geçiren, yüksek geçiren ve tüm geçiren süzgeç karakteristikleri elde edilmiştir. Bununla birlikte tasarlanan devredeki akım kaynaklarının değerleri değiştirilerek 50KHz, 500KHz ve 5MHz kesim frekansları elde edilmiştir.

1.GİRİŞ

Süzgeç devrelerinin tasarımında logaritmik ortamın kullanılmaya başlanması ile akım modlu, aktif süzgeç devreleri içerisine farklı bir yaklaşım eklenmiştir [1]. Bu yaklaşım düşük güç tüketimi, düşük bozulma oranı, elektronik ayarlanabilirlik ve yüksek doğrusalılık gibi özellikleri sebebi ile daha fazla ilgi çekmekte ve bu konudaki çalışmalar gün geçtikçe artmaktadır [2-5].

Genlik uygunlaştırmalı süzgeçler olarak ta adlandırılan logaritmik ortam süzgeçleri geniş bir dinamik giriş aralığına sahip olup yeni nesil akım modlu süzgeçler olarak kabul edilmektedirler [6, 7]. Logaritmik ortam süzgeçlerinin tasarımında farklı yöntemler [2, 5] kullanılmakla birlikte bu konuda ilk sistematik yöntem olarak bilinen durum uzayı sentez yöntemi günümüze kadar pek çok araştırmacı tarafından kullanılmıştır [1-3, 6-9].

Bazı işaret işleme uygulamalarında ayarlanabilir süzgeçlere ihtiyaç duyulmaktadır [10]. Bu konuda farklı elektronik elemanlar ve sentez yöntemleri kullanılarak tasarlanmış ayarlanabilir süzgeçler mevcuttur [10-12].

Bu çalışmada, birinci dereceden transfer fonksiyonuna sahip; yüksek geçiren (YG), alçak geçiren (AG), tüm geçiren (TG) çıkışı

karakteristikleri ve tabii frekansı elektronik olarak ayarlanabilir bir logaritmik ortam süzgeci tasarlanmıştır. Tasarım durum uzayı sentez yöntemi kullanılarak, AB sınıfı fark alan devre yapısında gerçekleştirilmiştir. Tasarlanan devre PSpice programıyla, ideal (BF=10000 alınan varsayılan transistör) ve CIBIC-R (NR200N-2X NPN) [1] transistör modelleri kullanılarak, farklı tabii frekanslar için analiz edilmiş ve benzetim sonuçları sunulmuştur.

2. TASARIM

AB sınıfının en kolay uygulandığı yapı fark alıcı devre yapısıdır. Buna göre AB sınıfı kullanılarak yapılan tasarımlarda giriş işareti bir akım ayırıcı (splitter) devre kullanılarak her zaman pozitifte kalan iki girişe ayrılmaktadır [2]. AB sınıfı için geliştirilen bir teori ile A sınıfı yapıda gerçekleştirilemeyen devrelerin tasarım sorunu ortadan kaldırılmış ve istenen tüm transfer fonksiyonları logaritmik ortamda gerçekleştirilebilir hale getirilmiştir [3]. Günümüze kadar yapılmış çalışmalarda AB sınıfı yapının daha geniş bir çalışma aralığı sunmasının yanında düşük gerilim ve düşük güç uygulamaları için de uygun olduğu görülmüştür [1].

Birinci dereceden süzgeç devresine ait en genel transfer fonksiyonu Denklem 1'de verildiği gibidir.

$$\frac{I_{\text{çıkış}}}{I_{\text{giriş}}} = \frac{a_1 s + a_0}{s + \omega_0} \quad (1)$$

Verilen transfer fonksiyonunda a_0 ve a_1 parametrelerinin aldığı değerlere göre tasarlanan süzgecin çıkış karakteristiği farklılık göstermektedir. Yani, transfer fonksiyonun pay parametreleri değiştirilerek birinci dereceden AG, YG ve TG süzgeç devresi transfer fonksiyonu elde edilebilmektedir. Buna göre çalışmada kullanılan AG, YG ve TG süzgeç devreleri için pay parametrelerinin değişimi Tablo 1'de verilmektedir.

Tablo 1: Süzgeç türlerine göre pay parametreleri

| Süzgeç Türü | a_0 | a_1 |
|-------------|-------------|-------|
| AG | ω_0 | 0 |
| YG | 0 | 1 |
| TG | $-\omega_0$ | 1 |

Logaritmik ortam süzgeçlerinin durum uzayı sentezi kullanılarak AB sınıfı fark alan devre yapısında tasarımı yapılırken giriş işareti, çıkış işareti ve durum değişkenleri iki ayrı devre parçasını ifade edecek şekilde sağ ve sol kısım olarak ifade edilmektedir [3]. Bu teoriye göre kullanılan giriş işareti, çıkış işareti ve durum değişkenleri Denklem 2'de görüldüğü gibi L ve R alt indisli iki kısımda ifade edilmiştir.

$$u = u_L - u_R \quad (2.a)$$

$$y = y_L - y_R \quad (2.b)$$

$$x_1 = x_{1L} - x_{1R} \quad (2.c)$$

Durum uzayı sentezi kullanılarak birinci dereceden AB sınıfı fark alan yapıda logaritmik ortam süzgeci tasarlanırken ilk olarak Denklem 2'de verilen giriş-çıkış ifadelerine göre sistem denklemleri elde edilir. Bu sistem denklemleri devrenin L ve R kısımlarına ait ayrı ayrı elde edilir. Denklem 1'de verilen transfer fonksiyonuna göre elde edilen sistem denklemlerinin sol devre parçasına ait olanları Denklem 3'te görüldüğü gibidir.

$$\frac{dx_{1L}}{dt} = \dot{x}_{1L} = -\omega_0 x_{1L} + k_1 u_L - \frac{\omega_0}{I_f} x_{1L} x_{1R} \quad (3.a)$$

$$y_L = x_{1L} + k_2 u_L \quad (3.c)$$

Farklı çıkış karakteristikleri veren süzgeç devrelerinin transfer fonksiyonuna bağlı olarak sistem denklemleri de değişmektedir. Bu değişim pay parametrelerine bağlı olarak tasarlanan devrede kullanılan akım kaynaklarının değerlerinin değişimine de yansımaktadır. Birinci dereceden tasarımlarda farklı çıkış karakteristikleri Denklem 3'te verilen sistem denklemlerinde k_1 ve k_2 parametrelerinin değişimi olarak görülmektedir. Sistem denklemlerindeki bu katsayıların değişimi devre üzerinde I_{f1} ve I_{f2} akım kaynaklarının değerlerini belirlemekte ve farklı çıkış karakteristikleri için bu akım kaynakları farklı değerler almaktadır. Birinci dereceden devrelerde k_1 ve k_2 katsayılarının AG, YG ve TG karakteristiklerine göre aldığı değerler Tablo 2'de verilmiştir.

İstenilen herhangi bir süzgeç devresinin durum uzayında tasarımı yapılırken sistem denklemlerinin elde edilmesinden sonra; giriş ve durum

değişkenlerine doğrusal olmayan bir fonksiyon yardımı ile eşlenmeler uygulanarak denklemler doğrusal olmayan ortama taşınmaktadır [1]. Durum değişkenleri ve giriş işaretine uygulanan aktarım fonksiyonları ile eşlenmelerin L devre parçasına ait denklemleri Denklem 4'te verilmektedir.

Tablo 2: k katsayılarının değişimi

| Süzgeç Türü | k_1 | k_2 |
|-------------|--------------|-------|
| AG | ω_0 | 0 |
| YG | $-\omega_0$ | 1 |
| TG | $-2\omega_0$ | 1 |

$$u_L = I_s e^{\frac{v_{0L}}{V_T}} \quad (4.a)$$

$$x_{1L} = I_s e^{\frac{v_{1L}}{V_T}} \quad (4.b)$$

Giriş işareti ve durum değişkenleri Denklem 4'de verildiği gibi elde edildikten sonra Denklem 3'te yerlerine konursa sistem denklemleri doğrusal olmayan ortama taşınmış olur. Daha sonra bu sistem denklemleri üzerinde bazı matematiksel işlemler uygulanarak denklemler işlenen değişken akım olacak şekilde düzenlenirse Denklem 5'te verilen devre denklemleri elde edilir.

$$C \dot{v}_{1L} = -\omega_0 C V_T + k_1 C V_T e^{\frac{(v_{0L} - v_{1L})}{V_T}} - I_s e^{\frac{v_{2R}}{V_T}} \quad (5.a)$$

$$y_L = I_s e^{\frac{v_{1L}}{V_T}} + k_2 I_s e^{\frac{v_{0L}}{V_T}} \quad (5.b)$$

Denklem 5'te elde edilen devre denklemleri bir ucu toprağa bağlı bir kondansatörün diğer ucu için yazılmış Kirchhoff'un akım kanunu olarak tanımlanabilir. Buna göre Denklem 5.a'daki devre denkleminde soldaki terim bir kondansatör üzerinden geçen akımı ifade ederken, sabit terim bir akım kaynağının akımını, üstel olarak verilen terimler ise bir transistörün kollektör akımını göstermektedir. Bu denklemlerin akım kaynakları, kondansatörler ve transistörler kullanılarak gerçekleştirilmesi ile Şekil 1'deki birinci dereceden evrensel süzgeç devresi elde edilir. Devre denklemlerinden de yola çıkıldığında Şekil 1'deki evrensel süzgeç devresinde yer alan bağımsız akım kaynaklarının değerleri Denklem 6'da verildiği gibidir.

$$I_{f1} = \omega_0 C V_T \quad (6.a)$$

$$I_{f2} = k_1 C V_T \quad (6.b)$$

4. SONUÇLAR

Bu çalışmada, birinci dereceden çıkış karakteristiği elektronik olarak ayarlanabilir logaritmik ortam süzgeci tasarlanmıştır. Tasarımda birinci dereceden AG, YG ve TG süzgeç fonksiyonları aynı devrede gerçekleştirilerek, karakteristikleri aynı devrede tek noktadan elektronik kontrollü olarak elde edilebilmektedir. Devrenin 500KHz tabii frekansında ideal ($BF=10000$) ve CBIC-R taransistör modelleri kullanılarak PSpice programında analizleri yapılmış ve elde edilen sonuçlar sunulmuştur.

Bu çalışmada tasarlanan devre tamamen akım modlu olup devre üzerindeki bazı transistörlerin iletme bazılarının yalıtıma geçirilmesi ile çıkış karakteristiği kullanıcının ihtiyacına göre elde edilebilmektedir. Bu işlem küçük bir mikrodenetleyici kullanılarak gerçekleştirilebilir. Çalışma sonucunda tasarlanan devrede mevcut bağımsız akım kaynaklarının değerleri değiştirilerek devrenin tabii frekansı elektronik olarak ayarlanabilmektedir. Bu durum alçak geçiren devre üzerinde 50KHz, 500KHz ve 5MHz frekansları için akım kaynaklarının değerleri değiştirilerek gerçekleştirilmiş ve sonuçları sunulmuştur.

Bununla birlikte yapılan çalışmada tasarlanan evrensel süzgeç devresi logaritmik ortamda gerçekleştirildiği için logaritmik ortam süzgeç devrelerinin temel özelliklerini içermektedir.

TEŞEKKÜR

Bu çalışma 105E088 nolu TÜBİTAK Kariyer projesi tarafından desteklenmiştir. Katkılarından dolayı TÜBİTAK EEEAG'ye teşekkür ederiz.

KAYNAKLAR

[1] Frey, D. R., Log-Domain Filtering: An Approach To Current-Mode Filtering, IEEE Proceeding Vol. 140, 1993.

[2] Tola, A. T., Frey, D. R., A Study of Different Class AB Log Domain First Order Filters, Analog Integrated Circuits and Signal Processing, 22, 163-176, 2000.

[3] Frey, D.R.; Tola, A.T., A State-Space Formulation for Externally Linear Class AB Dynamical Circuits, Circuits and Systems II: Analog and Digital Signal Processing, Vol. 46, Issue: 3, pp. 306-314, March 1999

[4] Toth, L., Efthivoulidis, G. And Tsividis, Y. P., Noise Analysis Of Externally Linear Systems, IEEE Transaction On Circuits And Systems-II: Analog And Digital Signal Processing, Vol. 47, 2000.

[5] Psychalinos, C. and Vlassis, S., On the Exact Realization of Log-Domain Elliptic Filters Using the Signal Flow Graph Approach, IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 49, No.12, 2002.

[6] Frey, D. R., Log Domain Filtering for RF Applications, IEEE Journal of Solid-State Circuits, vol. 31 pp.1468-1475, 1996.

[7] Tola, A. T., A Study of Nonideal Log Domain and Differential Class AB Filters, PhD. Dissertation, Lehigh University, 2000.

[8] Surav Yılmaz, Ş., Logaritmik Ortam Filtrelerinin Sistemik Sentezi, Pamukkale Üniversitesi Fen Bilimleri Enstitüsü Yüksek Lisans Tezi, Denizli 2005.

[9] Surav Yılmaz, Ş., Tola A. T., Birinci Dereceden Logaritmik Ortam Süzgeç Devrelerinin Tasarımı İçin Bir Bilgisayar Programının Geliştirilmesi, 4. Uluslararası İleri Teknolojiler Sempozyumu, Eylül 2005, Konya. s. 209-213.

[10] Kuntman H., Sayın O. K., CMOS ECCII ile Yüksek Dereceden Akım-Modlu Ayarlanabilir Süzgeç Tasarımı, ELECO 2004, s.11-16., 2004.

[11] Tola, A. T., Surav Yılmaz, Ş., Arslanalp, R., İkinci Dereceden Programlanabilir Ve Elektronik Ayarlanabilir Evrensel Süzgeç Devresinin Logaritmik Ortamda Tasarımı, SİU 2005, Kayseri 2005

[12] Tola, A. T., Arslanalp, R. Surav Yılmaz, Ş., Akım Modlu Elektronik Olarak Ayarlanabilen AB Sınıfı Fark Alan Tip Logaritmik Ortam KHN Süzgecinin Tasarımı, SİU 2005, Kayseri 2005

İKİNCİ DERECEDEN ELEKTRONİK AYARLANABİLİR LOGARİTMİK ORTAM SÜZGEÇ TASARIM PROGRAMININ VISUAL C# ORTAMINDA GELİŞTİRİLMESİ

Şaziye Surav Yılmaz, Elektronik ve Bilgisayar Eğt. Böl., Pamukkale Üniversitesi, Denizli

Remzi Arslanalp, Elektrik-Elektronik Mühendisliği Böl., Pamukkale Üniversitesi, Denizli

Abdullah T. Tola, Elektrik-Elektronik Mühendisliği Böl., Pamukkale Üniversitesi, Denizli

Logaritmik ortam süzgeçleri ortaya konduğu zamandan bu yana sürekli zamanlı, aktif süzgeçler sınıfı içinde düşük gerilim, düşük güç tüketimi, yüksek doğrusallık, elektronik ayarlanabilirlik gibi özellikleri ile birçok araştırmacının ilgisini çekmiştir. Bu süzgeçlerin sistematik sentezi için en çok kullanılan yöntemlerden birisi durum uzayı sentez yöntemidir. Yöntem farklı tasarımlar için sistematik bir yol sunmasına karşın içerdiği işlem basamaklarının karmaşıklığı en önemli eksikliğidir. Bu karmaşık işlem basamaklarından ortaya çıkabilecek hataları giderebilmek, daha hızlı ve daha güvenilir tasarımlar yapabilmek için bir yazılım geliştirilmesine ihtiyaç duyulmuştur. Visual C# ortamında geliştirilen bu yazılım ile ikinci dereceden herhangi bir süzgeç transfer fonksiyonu kullanılarak logaritmik ortam süzgeç devresini tasarlamak mümkün olabilmektedir. Bu çalışmada gerçekleştirilen yazılım ile ikinci dereceden, Butterworth yaklaşımına sahip, 500KHz kesim frekansında alçak geçiren bir logaritmik ortam süzgeç devresi tasarımı sunulmuştur.

1. Giriş

Logaritmik ortam süzgeçleri konusunda ilk çalışma 1979 yılında Adams tarafından geliştirilmiştir [1]. Bu tarihten sonra 1993 yılında Frey tarafından sistematik bir sentez yöntemi [2] geliştirilene kadar bu konuda herhangi bir çalışmaya rastlanmamaktadır. Bundan sonra logaritmik ortam süzgeçleri konusunda çalışmalar artmış ve düşük güç tüketimi [3,4], düşük bozulma oranı [5,6], elektronik ayarlanabilirlik [7,8] ve yüksek doğrusallık [9] gibi özellikleri sebebi ile konu üzerindeki ilgi artarak devam etmiştir.

Logaritmik ortam süzgeçleri konusunda günümüze kadar yapılan pek çok çalışmada farklı sentez yöntemleri ortaya konmuştur [1, 7-12]. Bu yöntemlerden en çok kullanılanları durum uzayı yöntemi [1,7] ve işaret akış diyagramı yöntemidir [11]. Bu çalışmada AB sınıfı fark alan devre yapısında logaritmik ortam süzgeçlerinin durum uzayı sentezi yöntemi kullanılmıştır [7, 9, 13-14].

Logaritmik ortam süzgeçlerinin durum uzayı sentezi yöntemi bir dizi matematiksel işlemler içermekte ve bu işlem adımlarından sonra elde edilen devre denklemleri kullanılarak devre sentezi gerçekleştirilebilmektedir. Bu sentez yöntemi kullanılarak devre tasarlanmak istenildiğinde ilk olarak sisteme ait transfer fonksiyonu ele alınır. Transfer fonksiyonundan çeşitli kabullenmeler ve dönüşümler yapılarak giriş işareti, çıkış işareti ve durum değişkenlerini içeren sistem denklemleri elde edilir. Elde edilen sistem denklemlerine daha sonra bazı dönüşümler uygulanarak her bir elemanın uç bağlantılarına sahip devre denklemleri elde edilir. Oluşturulan devre denklemlerine göre transistör, bağımsız akım kaynağı ve bir ucu topraklanmış kondansatör elemanları kullanılarak istenen süzgeç devresi elde edilir. Durum uzayı sentez yöntemine göre tasarlanan devre uygun koşullarda çalıştırıldığında memnun edici bir performans göstermektedir. Bununla birlikte transfer fonksiyonunda küçük bir değişiklik ile farklı bir süzgeci en baştan tasarlamaya başlamak tüm işlem basamaklarının tekrarlanması anlamına gelmektedir. Bu ise oldukça zahmetli ve zaman alıcıdır. Bu durum göz önüne alınarak Visual C# ortamında durum uzayı sentez yöntemi ile AB sınıfı fark alan yapıda logaritmik ortam süzgeç tasarımı yapan bir yazılım geliştirilmiştir. Bu yazılımın ilk aşamada sadece birinci dereceden logaritmik ortam süzgeç devresi tasarımı yapan versiyonu geliştirilmiş ve daha önce bir sempozyumda sunulmuştur [14]. Bu çalışmada ise ikinci dereceden tasarım yapan versiyonu örnek bir uygulama ile sunulmaktadır.

Yazılım ikinci dereceden genel bir transfer fonksiyonunu logaritmik ortam süzgeç devresi olarak tasarlayabilmekte ve elde edilen devrenin doğruluk kontrolünün yapılabilmesi için PSpice analiz programına uygun kodları oluşturmaktadır. Bu çalışmada sunulan yazılıma örnek olarak ikinci derece, 500KHz kesim frekansında, Butterworth yaklaşımına sahip alçak geçiren süzgeç karakteristiğine ait bir transfer fonksiyonundan logaritmik ortam süzgeci tasarlanmıştır. Yapılan tasarımın programa girilen analiz parametrelerine uygun olarak PSpice programında frekans (.AC) ve zaman (.TRAN) ortamı analizleri yapılmıştır. Örnek sentez için programın tasarım parametrelerinin girildiği ekran görüntüleri tasarımın anlatıldığı kısımda ve PSpice analizi ile elde edilen çıktılar sonuçlar kısmında sunulmuştur. Programın geliştirilmesi gereken kısımları tartışılmıştır.

2. Kullanılan Sentez Yöntemi

Durum uzayı sentez yöntemini kullanarak logaritmik ortamda tasarım süzgeç tasarımı yapılırken ilk olarak tasarlanacak sisteme ait devre parametreleri durum değişkenleri olarak tanımlanır, daha sonra sisteme ait transfer fonksiyonu ve bu parametreler kullanılarak sistem denklemleri elde edilir. Bu denklemler giriş işareti, çıkış işareti ve durum değişkeni terimlerini içermektedir. Elde edilen sistem denklemlerindeki giriş işareti ve durum değişkenlerine üstel eşleme fonksiyonları uygulanmakta bunun sonunda elde edilen denklemler üzerinde bazı sadeleştirme işlemlerinin yapılması ile devre denklemleri elde edilir. Logaritmik ortam süzgeç devresi tasarımına uygun yapıda devre denklemleri oluşturulduktan sonra transistör, bağımsız akım kaynağı ve bir ucu topraklanmış kondansatör elemanları kullanılarak istenilen logaritmik ortam süzgeç devresi elde edilebilmektedir. Bu basamaklar genel olarak durum uzayı sentez yöntemi kullanılarak bir logaritmik ortam süzgeci tasarlamak için takip edilmesi gereken adımlardır. Bu işlem basamakları ikinci dereceden genel bir transfer fonksiyonu için ayrıntılı olarak sunulmuştur.

İkinci dereceden en genel yapıda bir transfer fonksiyonu (1)'de gösterilmektedir.

$$H(s) = \frac{n_2 s^2 + n_1 s + n_0}{s^2 + d_1 s + d_0} \quad (1)$$

Logaritmik ortam süzgeçlerinin durum uzayında sentezi yapılırken farklı işaret işleme sınıfları kullanılabilir. Bu sınıflardan en kapsamlı olması ve tüm transfer fonksiyonlarının gerçekleştirilmesine olanak sağlaması [7-9] sebebi ile AB sınıfı yapı kullanılarak bu çalışma gerçekleştirilmiştir. AB sınıfı yapı kullanılması ile sistem denklemleri ve dolayısı ile devre denklemleri benzer elemanlara sahip iki simetrik devre yapısını ortaya çıkarmaktadır. Bu yapı da devrenin sağ kısmı ve sol kısmı olarak ifade edilmektedir. (1)'de verilen transfer fonksiyonuna durum uzayı sentez yöntemine göre giriş işareti, çıkış işareti ve durum değişkenleri içeren bazı dönüşümler uygulandığında sol devre kısmına ait sistem denklemleri (2)'de verildiği gibi en genel yapıda zaman ortamında elde edilmektedir.

$$\begin{aligned} \frac{dx_{1L}}{dt} &= \dot{x}_{1L} = \omega_0 x_{2L} + (n_1 - d_1 n_2) u_L - \frac{\omega_0}{I_f} x_{1L} x_{1R} \\ \frac{dx_{2L}}{dt} &= \dot{x}_{2L} = (-d_1) x_{2L} + \left(\frac{d_0}{\omega_0} \right) x_{1R} + \left(\frac{d_1^2 n_2 - d_1 n_1 - d_0 n_2 + n_0}{\omega_0} \right) u_L - \frac{\omega_0}{I_f} x_{2L} x_{2R} \\ y_L &= x_{1L} + n_2 u_L \end{aligned} \quad (2)$$

Sentez yönteminin diğer bir aşamasında elde edilen sistem denklemlerine logaritmik ortama uygun olarak bazı eşleştirmelerin uygulanması ve bu şekilde devre denklemlerinin elde edilmesi mevcuttur. Buna göre Sistem denklemleri (2)'deki gibi olan ikinci dereceden bir süzgeç devresi için AB sınıfı fark alan yapıda devre denklemleri (3)'de ve (4)'de verildiği gibidir.

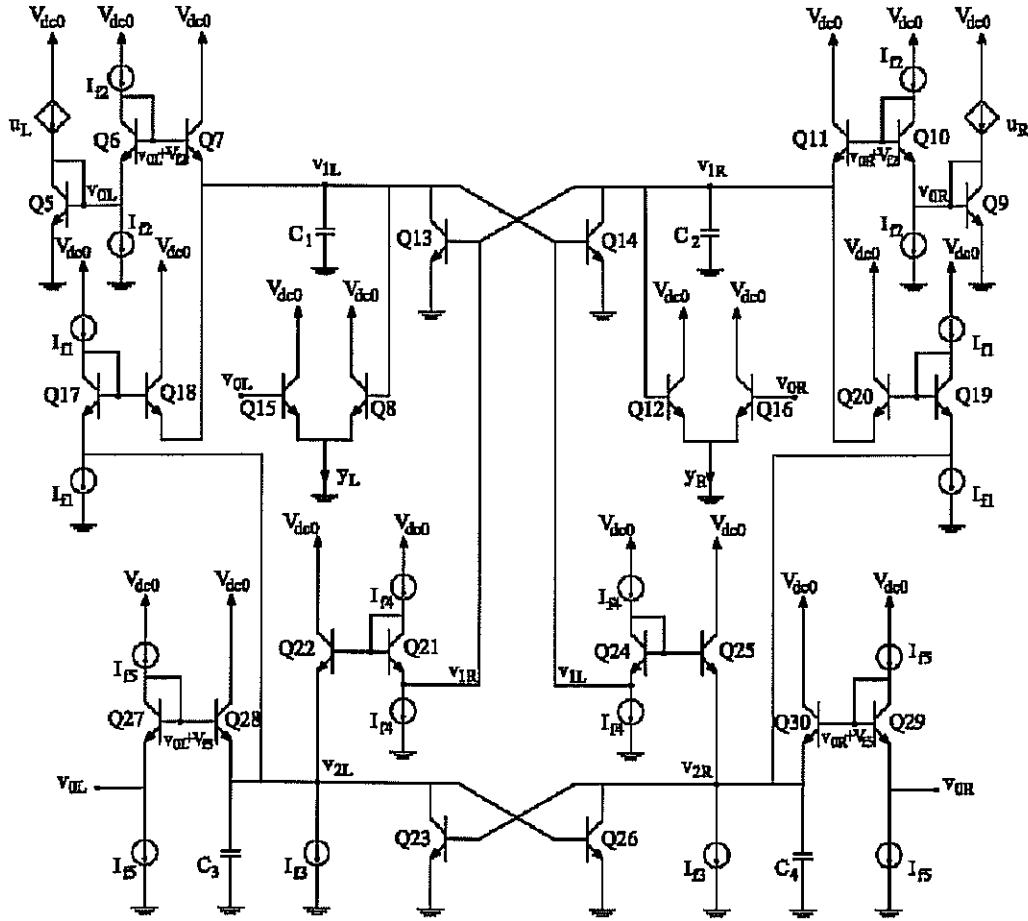
$$\begin{aligned} C \dot{v}_{1L} &= I_S e^{\frac{(V_{f1} + v_{2L} - v_{1L})}{V_T}} + I_S e^{\frac{(V_{f2} + v_{0L} - v_{1L})}{V_T}} - I_S e^{\frac{v_{1R}}{V_T}} \\ C \dot{v}_{2L} &= -I_{f3} + I_S e^{\frac{(V_{f4} + v_{1R} - v_{2L})}{V_T}} + I_S e^{\frac{(V_{f5} + v_{0L} - v_{2L})}{V_T}} - I_S e^{\frac{v_{1R}}{V_T}} \end{aligned} \quad (3)$$

$$y_L = I_S e^{\frac{v_{1L}}{V_T}} + n_2 I_S e^{\frac{v_{0L}}{V_T}} \quad (4)$$

(3)'de ve (4)'de verilen devre denklemlerindeki bazı akım kaynaklarının değerlerine ait eşitlikler (5)'de verildiği gibi tanımlanmaktadır.

$$\begin{aligned} I_{f1} &= \omega_0 C V_T \\ I_{f2} &= (n_1 - d_1 n_2) C V_T \\ I_{f3} &= d_1 C V_T \\ I_{f4} &= \frac{d_0 C V_T}{\omega_0} \\ I_5 &= \frac{(d_1^2 n_2 - d_1 n_1 - d_0 n_2 + n_0)}{\omega_0} C V_T \end{aligned} \quad (5)$$

Bu tanımlamalar ve devre denklemleri göz önünde bulundurulduğunda en genel yapıda tasarlanan AB sınıfı fark alan yapıda logaritmik ortam süzgeç devresi Şekil 1'de verildiği gibidir.



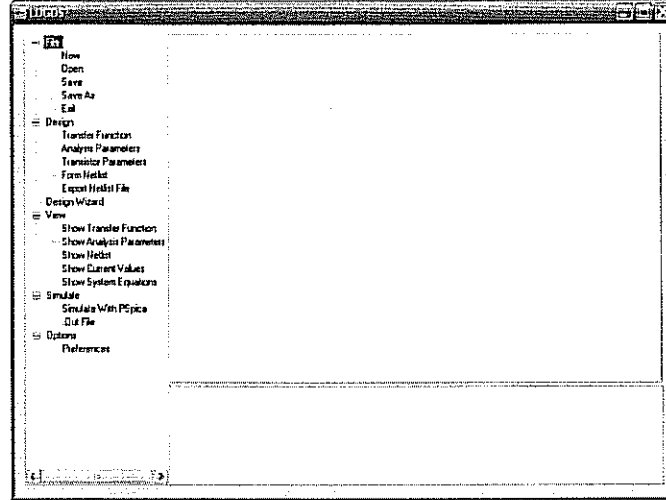
Şekil1: İkinci dereceden AB sınıfı fark alan devre yapısında logaritmik ortam süzgeç devresi

Tasarlanan bu devre yapısında ikinci dereceden alçak geçiren, yüksek geçiren, tüm geçiren ve çentik süzgeç karakteristikleri bazı elemanların değerlerinin değiştirilmesi ve bazı elemanların devreye alınıp

devreden çıkarılması ile elde edilebilmektedir. Farklı türlerdeki süzgeçlere ait değişiklikler transfer fonksiyonu katsayılarının değişimine paralel olarak devreye yansımaktadır.

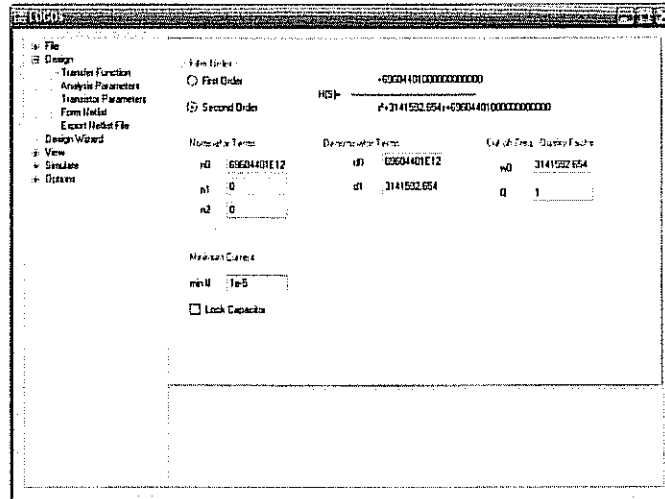
3. Gerçekleştirilen Program ve Alçak Geçiren Süzgeç Uygulaması

Bu çalışmada gerçekleştirilen logaritmik ortam sentez (LOGOS) programı Visual C# 6.0 ortamında geliştirilmiştir. Geliştirilen program ile ikinci dereceden AB sınıfı fark alan devre yapısında logaritmik ortam süzgecinin tasarımı gerçekleştirilerek PSpice ortamında analiz için uygun metin dosyası şeklinde kullanıcıya sunulmaktadır. Gerçekleştirilen programa ait açılış ekranı görüntüsü ve menüler Şekil 2'de verildiği gibidir.



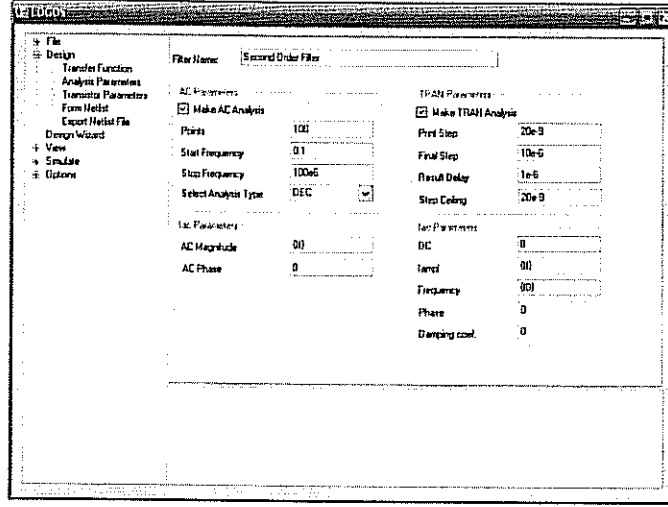
Şekil 2: Program açılış ekranı

LOGOS programı ikinci dereceden farklı türlerde logaritmik ortam süzgeçlerinin sentezini ve devre tasarımını otomatik olarak gerçekleştirmektedir. Bunu yaparken ilk olarak kullanıcıdan tasarlanmasını istenen logaritmik ortam süzgecine ait transfer fonksiyonu pay ve payda katsayıları girdi olarak alınmaktadır. Transfer fonksiyonu parametreleri girdi ekranı Şekil 3'te verildiği gibidir. Örnek olarak ikinci dereceden 500KHz kesim frekansına sahip bir logaritmik ortam süzgecini LOGOS kullanarak tasarlamak için transfer fonksiyonuna ait pay ve payda parametreleri Şekil 3'te görüldüğü gibi girilmektedir.



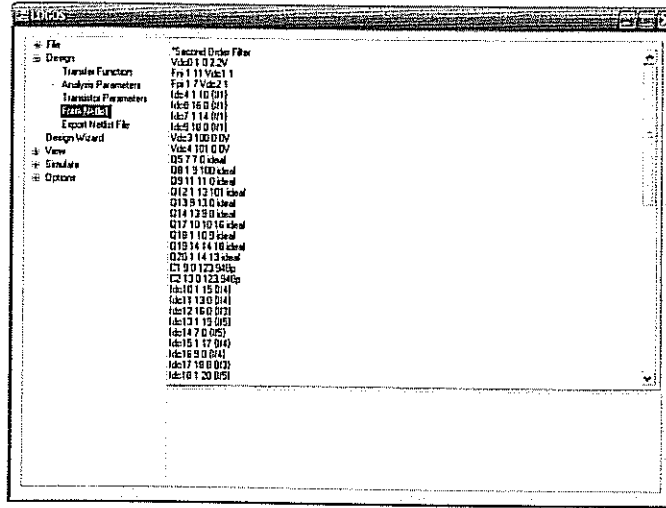
Şekil 3: Transfer fonksiyonu girdi ekranı

LOGOS programı transfer fonksiyonu parametrelerini girdi olarak aldıktan sonra arka planda durum uzayı sentez yöntemine uygun olarak gerekli hesaplamaları yaparak devrenin tasarım için gerekli akım kaynağı değerleri ve transistor bağlantılarını belirler. Devre çıktısı PSpice programına uygun yapıda metin şeklinde elde edileceği için çıktı dosyasından doğrudan PSpice analizi yapılabilmesi avantajlı olacaktır. Bu sebeple gerekli analiz parametrelerinin tasarlanacak devrenin kesim frekansı ve akım kaynağı değerlerine uygun olarak programa verilmesi sağlanmıştır. Bu amaçla analiz parametreleri girdi ekranı örnek olarak gerçekleştirildiğimiz ikinci dereceden alçak geçiren süzgeç devresine uygun değerlerde Şekil 4'te verildiği gibidir. Girilen bu analiz parametreleri sayesinde tasarlanacak olan devreye ait PSpice zaman ve frekans ortamı analiz sonuçlarına ulaşabilmek mümkün olmaktadır.



Şekil 4: Analiz parametreleri giriş ekranı

Transfer fonksiyonu ve analiz parametreleri girdi olarak alındıktan sonra arka planda istenen süzgeç devresi tasarım için hazır hale gelmiştir. Bu aşamada tasarım menüsünde bulunan *form nelist* komutu tasarımı gerçekleştirip bizim tasarlanan devreye ulaşmamızı sağlar. Daha önceden girmiş olduğumuz parametrelere göre tasarlanan ikinci dereceden süzgeç devresine ait metin dosyası Şekil 5'te verildiği gibidir.

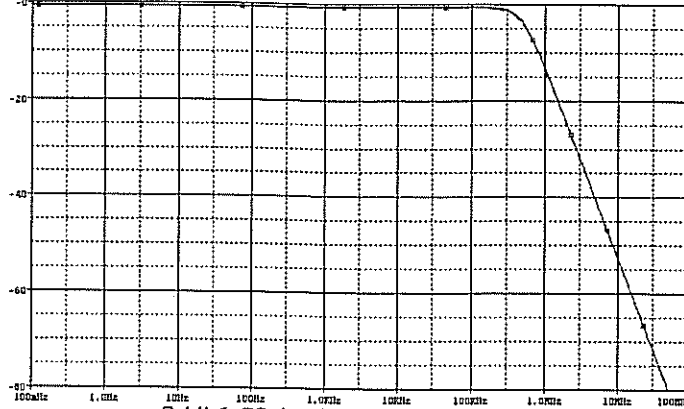


Şekil 5: Programın netlist çıktısı

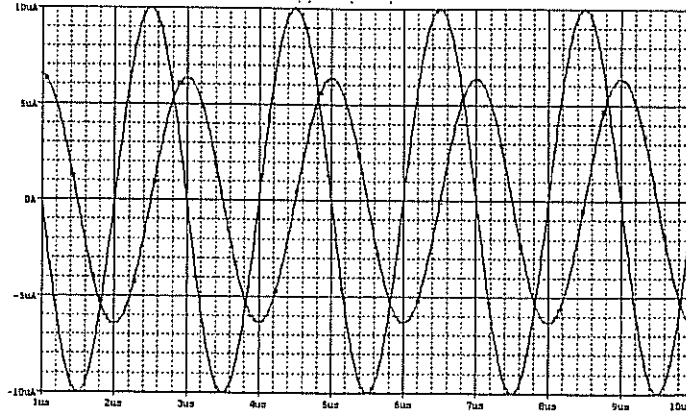
LOGOS programı devre tasarlama kısmı "design" menüsünde tamamlanmaktadır. Bunun dışındaki diğer menüler devre ve tasarım parametrelerine istenilen herhangi bir anda ulaşılabilmesini sağlayan kontrol amaçlı menülerdir. Örneğin *view* menüsündeki komutlar kullanılarak programa daha önce girilmiş olan

parametrelere, devrede kullanılan bağımsız akım kaynağı değerleri ile tasarım esnasında kullanılan sistem denklemlerine kullanıcının doğrudan ulaşabilmesine olanak sağlanmıştır.

Devreye ait *netlist* formu program tarafından doğrudan oluşturulduğu için programdaki zaman ve frekans ortamı analizleri için gerekli olan parametreler süzgecin kutup frekansına uygun olarak girildikten sonra programdaki *simulate with PSpice* komutu ile devre doğrudan analiz edilebilmektedir. Analiz sonucunda devreye ait sonuçlara doğrudan ulaşmak mümkündür. Daha önce girilen değerlere göre tasarlanan ikinci dereceden 500KHz kesim frekansına sahip logaritmik ortam süzgecinin programdaki *simulate with PSpice* komutu kullanılarak PSpice programında analiz edilmesinden Şekil 6'da verilen frekans ortamı cevabı ve Şekil 7'de verilen zaman ortamı cevabına ulaşılmıştır.



Şekil 6: PSpice frekans ortamı cevabı



Şekil 7: PSpice zaman ortamı cevabı

Görüldüğü gibi gerçekleştirilen LOGOS programı; verilen girdi parametrelerine göre hem istenilen transfer fonksiyonuna ait devreyi tasarlayabilmekte, hem de tasarladığı devrenin analizinin PSpice ile yapılabilmesine olanak sağlamaktadır.

3. Sonuçlar

Bu çalışmada AB sınıfı fark alan yapıda ikinci dereceden logaritmik ortam süzgeçlerinin durum uzayı metodu kullanılarak Seevinck tipi geçici girişler kullanılarak sentezi hakkında teorik olarak çalışılmış ve bu sentezi hızlı ve güvenilir şekilde yapabilen ve tasarlanan devrenin PSpice analizinin kolayca yapılabilmesine olanak sağlayan yazılım Visual C# ortamında geliştirilmiştir. Geliştirilen yazılımda ikinci dereceden süzgeç devrelerine ait herhangi bir transfer fonksiyonu giriş bilgisi olarak alınırken; tasarlanan devreye ait devre yapısı PSpice analiz sonuçları ve ara basamaklardaki denklem formları çıktı olarak sunulmaktadır. Ayrıca bu çalışmada geliştirilen yazılım kullanılarak tasarlanan ikinci dereceden bir logaritmik ortam süzgeç tasarımı basamakları ayrıntılı olarak verilmiş ve tasarlanan devreye ait PSpice analizi zaman ortamı ve frekans ortamı çıktıları sunulmuştur.

Teşekkür

Bu çalışma 105E088 nolu TÜBİTAK Kariyer projesi tarafından desteklenmiştir. Katkılarından dolayı TÜBİTAK EEEAG'ye teşekkür ederiz.

4. Kaynakça

- [1] Adams, R. W., Filtering in the Log Domain, Presented at the 63rd AES Audio Engineering Soc. Conf., New York, May, 1979.
- [2] Frey, D. R., Log-Domain Filtering: An Approach to Current-Mode Filtering, IEEE Proceeding Vol. 140, 1993.
- [3] Enz, C., Punzerberger, M. And Python D., Low-Voltage Log-Domain Signal Processing in CMOS and BiCMOS, , IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 46, 1999.
- [4] Kumar, J. V. and Rao, K. P., A Low-Voltage Low-Power CMOS Comanding Filter, Proceedings of the 16th International Conference on VLSI Design, 2003.
- [5] Toth, L., Efthivoulidis, G. And Tsividis, Y. P., Noise Analysis of Externally Linear Systems, IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 47, 2000.
- [6] Toth, L., Efthivoulidis, G. And Tsividis, Y. P., Noise Analysis Of Externally Linear Systems, IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 47,2000.
- [7] Tola, A. T., Frey, D. R., A Study of Different Class AB Log Domain First Order Filters, Analog Integrated Circuits and Signal Processing, 22, 163-176, 2000.
- [8] Tola, A. T. Surav Yılmaz, Ş. ve Arslanalp, R., İkinci Dereceden Programlanabilir ve Elektronik Ayarlanabilir Evrensel Süzgeç Devresinin Logaritmik Ortamda Tasarımı, SIU05, Kayseri 2005.
- [9] Frey, D.R.; Tola, A.T., A State-Space Formulation for Externally Linear Class AB Dynamical Circuits, IEEE Transaction on Circuits and Systems II: Analog and Digital Signal Processing, Vol. 46, Issue: 3, pp. 306-314, March 1999
- [10] Perry, D. and Roberts, G. W., Log-Domain Filters Based on LC Ladder Synthesis, IEEE International Symposium on Circuits and Systems, vol. 1, pp. 311-314, 1995.
- [11] Psychalinos, C. and Vlassis, S., On the Exact Realization of Log Domain Elliptic Filters Using the Signal Flow Graph Approach, IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 49, pp. 770-774, 2002.
- [12] Edwards, R.T. and Cauwenberghs, G., Synthesis of Log-domain Filters from First-Order Building Blocks, Analog Integrated Circuits and Signal Processing, vol. 22, pp. 177-186, 2000.
- [13] Surav Yılmaz, Ş., Logaritmik Ortam Filtrelerinin Sistematik Sentezi, Pamukkale Üniversitesi Fen Bilimleri Enstitüsü Yüksek Lisans Tezi, Denizli 2005.
- [14] Surav Yılmaz, Ş. ve Tola A. T., Birinci Dereceden Logaritmik Ortam Süzgeç Devrelerinin Tasarımı İçin Bir Bilgisayar Programının Geliştirilmesi, IATS05, s. 209-211, 28-30 Eylül 2005 Konya/Türkiye.