



**Veri Merkezi veya Haberleşme Sistemleri için Faz  
Kaydırmalı Tam Köprü Bir DC-DC Dönüştürücünün Yüksek  
Verimli Optimum Tasarım Yaklaşımı**

**Program Kodu: 3001**

**Proje No: 114E010**

Proje Yürütücüsü:  
**Yrd. Doç. Dr. Sevilay ÇETİN**

Bursiyer:  
Alparslan ASTEPE

EKİM 2015  
DENİZLİ



## ÖNSÖZ

Yüksek verimli güç dönüşümü, enerji kaynaklarının giderek tükenmesi, küresel ısınmanın her geçen gün artması yüzünden, güç elektroniği devrelerinin tasarımında önemli bir parametre olmuştur. Veri merkezi ve haberleşme (telekom) sistemlerinde enerji talebi hızlı bir şekilde artması ve enerji fiyatlarının yükselmesi bu alanda yüksek verimli güç kaynaklarının tasarlanmasını zorunlu hale getirmektedir. Bu alanda son yıllarda yoğun akademik ve endüstriyel çalışmalar yapılmaktadır. “Veri Merkezi veya Haberleşme Sistemleri için Faz Kaydırmalı Tam Köprü Bir DC-DC Dönüştürücünün Yüksek Verimli Optimum Tasarım Yaklaşımı” başlıklı bu projede, enerjinin verimli kullanılması alanında bilim ve teknolojiye katkı sağlanması hedeflenmiştir. Bu proje çalışmasında ortaya çıkan, teorik ve uygulamalı olarak doğrulanan tasarım yaklaşımının bundan sonraki akademik çalışmalara ışık tutacağı düşünülmektedir. Aynı zamanda sunulan tasarım yaklaşımının, endüstriyel uygulamalarda kullanılmasıyla ulusal ekonomiye katkı sağlayacağı ve dış kaynaklara bağımlı olan enerji ihtiyacını azaltıcı yönde etki yapacağı beklenmektedir. Bu projenin, ulusal ve uluslararası düzeyde, bilim ve teknolojiye katkı sağlamasını, iyi bir referans olmasını dilerim.

Bu projede geliştirilen tasarım yaklaşımı TÜBİTAK tarafından 114E010 proje numarası ile desteklenmiştir.

Proje prototipinin malzeme temini aşamasındaki çalışmalara katkı sağlayan bursiyer Alparslan Astepe’ ye teşekkür ederim.

Ekim, 2015

Dr. Sevilay Çetin



## İÇİNDEKİLER

ÖNSÖZ .....	i
İÇİNDEKİLER.....	ii
TABLO VE ŞEKİL LİSTELERİ .....	iii
ÖZET .....	v
ABSTRACT .....	vii
1. GİRİŞ VE LİTERATÜR ÖZETİ.....	1
2.GEREÇ VE YÖNTEM.....	5
2.1 PSFB Dönüştürücü Çalışma Prensipleri.....	6
2.2 Dönüştürücü Tasarımı .....	8
2.2.1 Yarıiletkenlerin Belirlenmesi .....	8
2.2.2 Manyetik Devre Elemanlarının Belirlenmesi.....	11
2.3 Kendinden tetiklemeli sürme devresinin detaylı performans analizi ve optimum tasarımı yapılması.....	14
2.3.1 Gate Geriliminin Salınım Analizi .....	16
2.3.2 Gövde Diyotunun İletimi Analizi .....	20
2.4 Simülasyon Çalışmaları .....	28
2.5 PCB tasarımları .....	37
2.6 Prototip Tasarımı ve Deneysel Ölçüm Sonuçları.....	43
3. BULGULAR VE TARTIŞMA .....	55
Kaynaklar .....	57

## TABLO VE ŞEKİL LİSTELERİ

<b>Tablo 1.</b> PSFB dönüştürücüde SiC ve Cool MOSFET yarıiletkenlerin performans karşılaştırması.....	10
<b>Tablo 2.</b> 80 kHz çalışma frekansı için transformatör ve çıkış filtre endüktansı tasarım parametreleri.....	12
<b>Tablo 3.</b> 100 kHz çalışma frekansı için transformatör ve çıkış filtre endüktansı tasarım parametreleri.....	13
<b>Tablo 4.</b> 120 kHz çalışma frekansı için transformatör ve çıkış filtre endüktansı tasarım parametreleri.....	14
<b>Tablo 5</b> Güç devresi ve sürücü devre için elde edilen tasarım parametreleri.....	28
<b>Şekil 1</b> PSFB PWM dönüştürücü devre şeması.....	2
<b>Şekil 2</b> (Xie vd., 2001)' de sunulan kendinden tetiklemeli sürücü devre topolojisi.....	3
<b>Şekil 4</b> (Alou vd., 2001)' de sunulan kendinden tetiklemeli sürücü devre ve sürme sinyalleri.	4
<b>Şekil 5</b> (Fernández vd., 2009)' de sunulan (a) kendinden tetiklemeli sürücü devre topolojisi ve (b) çalışma prensibine ait dalga şekilleri.....	4
<b>Şekil 6</b> PSFB DC-DC dönüştürücü (a) devre şeması ve (b) temel dalga şekilleri.....	6
<b>Şekil 7</b> (Alou vd., 2001)' de sunulan kendinden tetiklemeli sürme devresi ve dalga şekilleri.	15
<b>Şekil 8</b> SR gate gerilimi salınımı.....	16
<b>Şekil 9</b> Sürücü eşdeğer devre diyagramları; (a) yardımcı sargı üzerinde gerilim var iken ( $t_0-t_1$ ), (b) ölü zaman aralığında ( $t_2-t_3$ ).....	17
<b>Şekil 10</b> Gate geriliminin, (a) $R_g$ , (b) $R_p$ ve (c) $C_{GS}$ 'nin fonksiyonu olarak, farklı $L_e$ değerleri için değişimi.....	19
<b>Şekil 11</b> $R_g$ 'nin fonksiyonu olarak farklı $L_e$ değerleri için (a) yükselen kenar ve (b) düşen kenar gecikme süreleri değişimi.....	21
<b>Şekil 12</b> (a) $R_p$ ' nin fonksiyonu olarak farklı $L_e$ değerleri için (a) yükselen kenar ve (b) düşen kenar gecikme süreleri değişimleri.....	23
<b>Şekil 13</b> $C_{GS}$ 'nin fonksiyonu olarak farklı $L_e$ değerleri için (a) yükselen kenar ve (b) düşen kenar gecikme süreleri değişimleri.....	24
<b>Şekil 14</b> SR1'in çalışmasına ait dalga şekilleri.....	25
<b>Şekil 15</b> Gövde diyodu iletim kaybının $L_e$ 'nin fonksiyonu olarak değişimi.....	26
<b>Şekil 16.</b> Gövde diyotunun iletim kaybının ve verimin gate-source kondansatörüne bağlı olarak değişimi.....	27
<b>Şekil 17.</b> $C_{GS}$ ve $L_e$ ' ye bağlı verim değişimi eğrileri.....	27
<b>Şekil 18</b> (a) Simülasyonu yapılan PSFB dönüştürücünün devre şeması, (b) Saber simülasyon diyagramı.....	29

<b>Şekil 19</b> SR'lerin kontrol sinyalleri, $R_g=4\Omega$ , $R_p=82\Omega$ , $C_{GS}=5x9.62\text{ nF}$ , $L_e=28\text{ nH}$ . ....	29
<b>Şekil 20</b> (a) Farklı $R_g$ değerleri için SR gate kontrol sinyallerinin değişimi (b) yükselen kenar ve (c) düşen kenar. $R_p=82\Omega$ , $C_{GS}=5x9.62\text{ nF}$ , $L_e=28\text{ nH}$ . ....	31
<b>Şekil 21</b> (a) Farklı $R_p$ değerleri için SR gate kontrol sinyallerinin değişimi (b) yükselen kenar ve (c) düşen kenar. $R_p=82\Omega$ , $C_{GS}=5x9.62\text{ nF}$ , $L_e=28\text{ nH}$ . ....	32
<b>Şekil 22</b> (a) Farklı $C_{GS}$ değerleri için SR gate kontrol sinyallerinin değişimi (b) yükselen kenar ve (c) düşen kenar. $R_p=82\Omega$ , $R_g=4\Omega$ , $L_e=28\text{ nH}$ . ....	33
<b>Şekil 23</b> Farklı $L_e$ değerleri için SR gate kontrol sinyallerinin değişimi (a) yükselen kenar ve (b) düşen kenar. $R_p=82\Omega$ , $R_g=4\Omega$ , $C_{GS}=5x9.62\text{ nF}$ . ....	34
<b>Şekil 24</b> (a) SR1 ve gövde diyotu iletim aralıkları (b) yükselen kenar, (c) düşen kenar. $R_g=4\Omega$ , $R_p=82\Omega$ , $C_{GS}=5x9.62\text{ nF}$ , $L_e=28\text{ nH}$ . ....	36
<b>Şekil 26</b> Primer anahtarlarının ZVS ile iletme geçişi, (a) geciken B kolundaki S2 anahtarı, (b) gecikmeyen A kolundaki S4 anahtarı. $R_g=4\Omega$ , $R_p=82\Omega$ , $C_{GS}=5x9.62\text{ nF}$ , $L_e=28\text{ nH}$ . ....	37
<b>Şekil 27</b> PSFB dönüştürücünün primer ve sekonder tarafı için PCB tasarımı: (a) Primer tarafı PCB tasarımı, (b) 5xSR'nin paralel bağlandığı sekonder tarafı. ....	39
<b>Şekil 28</b> Çoklu SR'lerin bağlandığı sekonder tarafı PCB tasarımı: (a) 8xSR'nin paralel bağlandığı durum. (b) 10xSR'nin paralel bağlandığı durum. ....	41
<b>Şekil 29</b> Üretilen PCB kartları. ....	43
<b>Şekil 30</b> (a) Tasarlanan transformatör ve (b) PSFB DC-DC dönüştürücü prototipinin fotoğrafı. ....	44
<b>Şekil 31</b> Tam yük altında SR'lerin gerilimi dalga şekilleri. (a) 3xSR, (b) 5xSR, (c) 8xSR, (d) 10xSR. $R_g=3.9\Omega$ , $R_p=82\Omega$ . ....	46
<b>Şekil 32.</b> Yük durumuna göre 3-8xSR çalışma durumları için verim eğrileri. $R_g=3.9\Omega$ , $R_p=82\Omega$ . ....	47
<b>Şekil 33</b> (a) Farklı $R_g$ değerleri için SR'nin gate gerilimi değişimi, (b) genişletilmiş yükselen kenar ve (c) genişletilmiş düşen kenar. $R_p=82\Omega$ , $C_{GS}=5x9.62\text{ nF}$ . ....	48
<b>Şekil 34.</b> Farklı $R_g$ değerleri için yük koşullarına göre verim ölçümü. ....	49
<b>Şekil 35</b> (a) Farklı $R_p$ değerleri için SR'nin gate gerilimi değişimi, (b) genişletilmiş yükselen kenar ve (c) genişletilmiş düşen kenar. $R_g=3.9\Omega$ , $C_{GS}=5x9.62\text{ nF}$ . ....	50
<b>Şekil 36</b> $R_p$ değişimine göre farklı yük durumlarda verim ölçümü. ....	51
<b>Şekil 37</b> 5xSR çalışma durumu için gate gerilimi dalga şekilleri, (a) genişletilmiş yükselen kenar ve (b) genişletilmiş düşen kenar. $R_g=3\Omega$ , $R_p=82\Omega$ , $C_{GS}=5x9.62\text{ nF}$ . ....	52
<b>Şekil 39</b> Geciken koldaki anahtarlar için ZVS durumu. ....	53
<b>Şekil 40</b> Gecikmeyen koldaki S <sub>2</sub> anahtarının ZVS ile iletme geçmesi. ....	53
<b>Şekil 41</b> Prototipin elektronik yük ekranında görünen çıkış gerilim ve akım değerleri. ....	54



## ÖZET

Bu projede de veri merkezleri veya haberleşme sistemlerinde kullanılmak üzere yüksek verimli ve yüksek güç yoğunluklu bir DC-DC dönüştürücünün optimum tasarımı amaçlanmaktadır. Bu amaç doğrultusunda, 400 V' luk bir DC güç kaynağından beslenen, yaklaşık 1 kW gücünde ve 12 V çıkış gerilimli ve tam yükteki verimi %94'ün üzerinde olan bir sunucu adaptörü prototipi tasarlanması hedeflenmiştir.

Son zamanlarda güç elektroniğindeki gelişmeler, düşük fiyat avantajı yanında, veri merkezleri, haberleşme sistemleri, elektrikli araç gibi bazı uygulamalardaki sınırlı yer ve hacim gerekliliklerinden dolayı yüksek güç yoğunluğu üzerine yoğunlaşmış durumdadır. Bununla beraber, özellikle veri merkezi uygulamalarında giderek artan enerji talebi ve yükselen enerji fiyatları, enerjinin verimli kullanılması gerekliliğini de beraberinde getirmiştir. Bu sebeple yüksek verimli güç dönüşümü, enerji tasarrufu ve küçük soğutucu boyutları için güç elektroniği alanında giderek önemli bir faktör olmaktadır.

Temel çalışma prensibinde yumuşak anahtarlama ile çalışan rezonanslı dönüştürücüler ve faz kaydırmalı tam köprü (PSFB) dalga genişlik modülasyonlu (PWM) DC-DC dönüştürücüler orta güçlü uygulamalarda yaygın olarak kullanılmaktadırlar. Seri, paralel, LCC ve LLC gibi rezonanslı dönüştürücüler yumuşak anahtarlama olarak çalıştıkları için anahtarlama kayıplarını önemli ölçüde düşürürler fakat sinusoidal olarak değişen akımın rms değeri iletim kayıplarının artmasına sebep olur. Veri merkezi veya haberleşme uygulamalarında, yüksek çıkış akımının oluşturduğu sekonder tarafı iletim kayıpları en kritik parametre olduğu için rezonanslı dönüştürücüler bu tür uygulamalar için çok uygun değildir. PSFB dönüştürücü, prensip olarak primer tarafında sıfır gerilim anahtarlama (ZVS) ile anahtarların iletime girmesini sağlarken, PWM ile çalışmayı sürdürmektedir ve iletim kayıpları geleneksel PWM dönüştürücüye yakındır. Çalışma frekansı sabittir ve basit bir kontrol metoduna sahiptir. Bu yüzden bu projede PSFB PWM DC-DC dönüştürücü topolojisi seçilmiştir ve daha sonra yüksek verim için tasarım optimizasyonuna odaklanılmıştır. Yüksek çıkış akımı göz önünde bulundurularak, sekonder tarafı için orta uçlu bir doğrultucu tercih edilmiş ve bu doğrultucuda oluşan yüksek iletim kayıpları ile baş edebilmek için optimum sayıda MOSFET' in paralel bağlanmasından oluşan SR' ler kullanılmıştır. SR' leri sürmek için aktif kontrol devresi gerekliliğini ortadan kaldırarak kendinden tetiklemeli bir sürme devresi düşünülmüştür. Bu tasarım yaklaşımı, her biri yaklaşık 100 A akım taşıma kapasitesine sahip belirlenen sayıda MOSFET' in paralel bağlanmasını gerektirmektedir. Bu durumda, değeri artan gate-source kapasitesi, sürme devresinden yeterli bir şarj akımı gerektirdiği gibi çoklu MOSFET bağlantısının oluşturduğu gate yolundaki parazitik endüktans ile gate-source kapasitesi arasında düşük frekansta anahtara zarar verebilecek bir rezonans oluşabilir. Bu yüzden güvenli ve optimum bir tasarım için kendinden tetiklemeli sürme devresinin detaylı bir



performans analizi yapılarak mümkün olan paralel bağlı MOSFET sayısı belirlenmiş ve en yüksek verimi veren optimum sürücü tasarımı elde edilmiştir. Ayrıca, yapılması planlanan tasarım yaklaşımında, primer tarafı yarıiletkenlerin, güç transformatörü ve çıkış filtre endüktansı gibi manyetik elemanların optimizasyonları kayıp analizi ile yüksek verim açısından incelenmiştir.

Sunulan teorik performans analizi 1 kW çıkış gücü ve 12 V çıkış gerilimine sahip bir prototip ile uygulamalı olarak doğrulanmıştır. Proje önerisinde hedeflendiği gibi tasarlanan sunucu adaptörünün maksimum verimi yarı yükte %95.15 ve tam yükte %94.44 olarak elde edilmiştir. Maksimum verime ulaşabilmek için sekonder tarafında SR' leri temsil etmek üzere farklı sayıda paralel MOSFET bağlantıları test edilmiş ve beş adet paralel kombinasyonun en güvenilir, verimli bir çalışma durumu olduğu ortaya koyulmuştur. Projede elde edilen tasarım yaklaşımı, veri merkezleri veya haberleşme sistemlerinde kullanılan güç kaynaklarında kullanılabilir. Proje kapsamında, uluslararası konferans kitapçığında basılan bir bildiri ve Science Ctation Index Expanded' da taranacak bir makale kabulü elde edilerek bilimsel birikime katkı sağlanmıştır. Aynı zamanda, sunulan tasarım yaklaşımının kullanılmasıyla endüstriyel olarak yüksek verim ve tasarruflu enerji kullanımına ve böylece ulusal ekonomiye ve teknolojiye katkı sağlanması beklenmektedir.

**Anahtar Kelimeler:** Tasarım optimizasyonu, yüksek verim, senkron doğrultucu, kendinden tetiklemeli sürme devresi, faz kaydırmalı tam köprü DC-DC dönüştürücü.



## ABSTRACT

The aim of this project is an optimum design of a high efficient DC-DC converter for data center or telecom systems. For this purpose, a server adapter design rated around 1kW, with 12V DC output voltage, fed from 400 V DC input source and with the efficiency above %94 was designed.

Recently, research in power converters area has focused on high power density due to the advantage of cost reduction, limited space and weight requirements in some application area like telecom/data center, electric vehicle/aircraft. When they used in data center application, increasing energy consumption due to more energy demand and rising energy price require high efficiency power conversion. Therefore high efficiency power conversion is getting more important key parameter in converter design in order to save energy and reduce cooling size.

For medium power applications, resonant converter and phase shifted full bridge (PSFB) PWM DC-DC converter topologies which are working inherently with soft switching are widely used. Resonant converters, such as series, parallel, LCC and LLC converters, can achieve soft switching to significantly reduce the switching loss, but at the expense of increased conduction loss due to increased rms currents. Since secondary conduction loss is most critical for the high efficiency due to high output current, these resonant converters are deemed not suitable for data center or telecom applications. PSFB converter has the advantage of achieving zero-voltage switching (ZVS) on the primary while maintaining essentially PWM operation such that the conduction loss is comparable with a conventional PWM converter. They also operate at constant switching frequency and with simple control method. Hence this topology was selected for this project and then the focus was on design optimization to maximize the efficiency. A center-tapped rectification circuit was selected for the secondary considering the high output current. The optimum number of parallel connected MOSFETs for each SR was optimized for the center taped rectifier on the secondary side to reduce the conduction losses further. A self-driven circuit was selected to avoid the need for an additional active control circuitry on the secondary. This design approach requires each SR to use of multiple parallel MOSFETs each rated approximately 100A. The large gate capacitance and the their charge current required from the driver circuit and the long interconnects to the gate terminals due to the parallel combination of the MOSFET can occur low-frequency resonance that may destroy the gate terminal of the MOSFETs. Therefore a detailed self driver performance analysis for the SR using multiple parallel MOSFETs was carried out for optimum and reliable design. In the design approach, primary side semiconductor optimization, the magnetic components optimization were also evaluated by loss analysis for maximum efficiency.





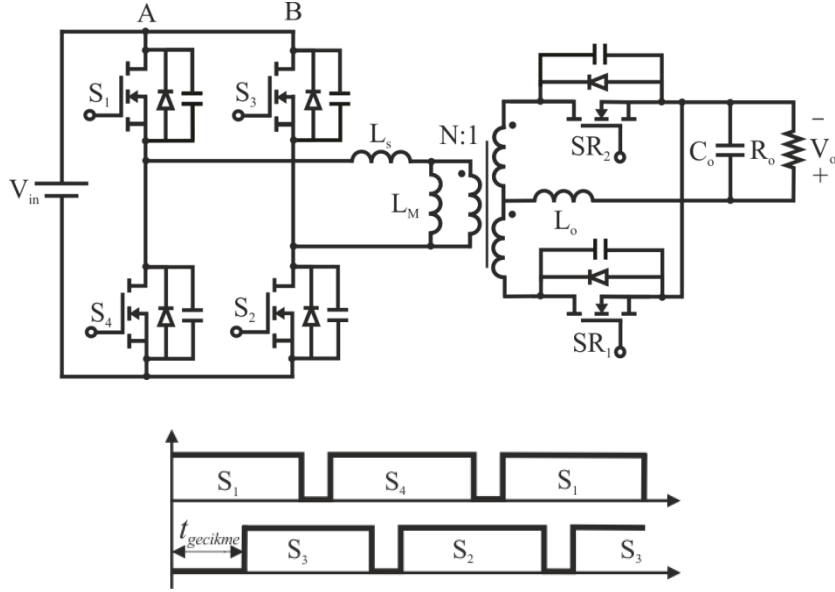
The proposed theoretical performance analysis was validated by a prototype rated 1 kW and with 12 V output voltage. As the target of the project, the maximum efficiency was obtained as 95.15% and 94.44% under half and full load condition, respectively. In order to reach maximum efficiency, five MOSFETs were connected in parallel as SR on the secondary side. This design approach can be applied the power supply using in data center and telecom applications. In project scope, a conference paper was published in the proceedings of an international conference and a paper acceptance to be published in a journal indexed in SCI has been received. By this way, a scientific contribution to the literature has been provided. It is also expected to provide contribution in the industrial area, national economy and technology using energy more efficiently with the method provided in this project.

**Key Words:** Design optimization, high efficiency, synchronous rectifier, self-driving, phase shifted full bridge converter.

## 1. GİRİŞ VE LİTERATÜR ÖZETİ

Son zamanlarda güç elektroniğindeki gelişmeler, düşük fiyat avantajı yanında, veri merkezleri, haberleşme sistemleri, elektrikli araç gibi bazı uygulamalardaki sınırlı yer ve hacim gerekliliklerinden dolayı yüksek güç yoğunluğu üzerine yoğunlaşmıştır (Kolar vd., 2008; Zhao vd., 2009; Badstuebner vd. 2011; Badstuebner vd., 2010). Yüksek güç yoğunluğu ancak frekansın yükseltilmesi ile sağlanabilir ve yükselen frekans beraberinde anahtarlama ve nüve kayıplarını artırarak verimin düşmesine sebep olur. Bununla beraber, özellikle veri merkezi uygulamalarında giderek artan enerji talebi ve yükselen enerji fiyatları, enerjinin verimli kullanılması gerekliliğini de beraberinde getirmiştir. Bu yüzden yüksek verimli güç dönüşümü, enerji tasarrufu ve daha küçük soğutucu boyutları sağlamak için giderek daha önemli bir parametre olmaktadır.

Veri merkezi veya haberleşme sistemleri gibi orta güçlü uygulamalarda, faz kaydırmalı tam köprü (PSFB) dönüştürücü yüksek verimli dönüştürme, yüksek güç yoğunluğu, basit kontrol prensibi ve düşük elektromanyetik girişim (EMI) gibi avantajları doğrultusunda yaygın olarak kullanılmaktadır (Zhao vd., 2008; Badstuebner vd., 2011; Badstuebner vd., 2010; Kim vd. 2014; Gu vd., 2013; Zhao vd., 2008; Biela vd., 2009; Xu vd., 2005; Sable ve Lee, 1989; Wu vd., 2009; Zhang vd., 2004; Yang, 2003; Kwon vd., 1999; Watson ve Lee, 1998; Redl vd., 1991). PSFB dönüştürücü temel devre şeması ve çalışma prensibini oluşturan anahtarların faz kaydırma kontrol metodu Şekil 1’de verilmiştir. Burada  $S_1$ - $S_4$  primer tarafındaki yarıiletken anahtarları,  $L_s$  transformatörün kaçak endüktansını,  $L_M$  mıknatıslanma endüktansını oluşturur. Sekonder tarafında,  $SR_1$  ve  $SR_2$  senkron doğrultucuları,  $L_o$  çıkış filtre endüktansını,  $C_o$  çıkış filtre kondansatörünü ve  $R_o$  çıkış yükünü temsil etmektedir.  $V_{in}$  giriş gerilim kaynağı ve  $V_o$  çıkış gerilimidir. Çapraz anahtarlardan ( $S_1$ - $S_2$  veya  $S_3$ - $S_4$ ) herhangi birinin kontrol sinyali geciktirilerek, transformatörün kaçak endüktansında depolanan enerji ile ilk önce anahtarın parazitik kondansatörü deşarj edilir ve daha sonra ilettime girmesi sağlanır. Burada kaçak endüktansta depolanan enerji kondansatörleri deşarj edecek yeterlilikte olmalıdır. Transformatörün kaçak endüktansı genelde kontrol edilemeyeceği için burada transformatörün primerine seri ilave bir endüktans bağlanır. MOSFET’lerin ZVS ile ilettime geçmesi yük akımına bağlıdır. Bu yüzden kritik yük akımına göre endüktans değeri belirlenebilir. ZVS anahtarlama için ölü zaman da uygun olarak seçilmesi gereken bir parametredir. Anahtarların parazitik kondansatörlerinin şarjı/deşarjı için yeterli ölü zaman sağlanmalıdır. Ters rezonansı önlemek için primer akımı ölü zaman bitmeden önce sıfıra düşmemelidir (Bakan vd., 2013).



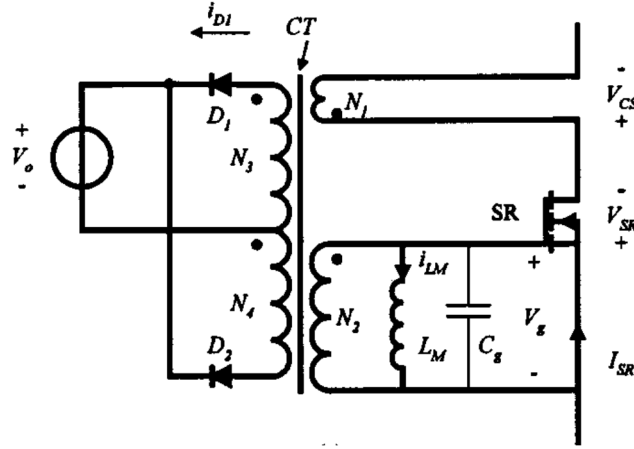
**Şekil 1** PSFB PWM dönüştürücü devre şeması.

PSFB dönüştürücü genellikle sunucu adaptörü gibi düşük gerilimli ve yüksek akımlı iki aşamalı bir güç dönüşüm sisteminin, ikici aşamasındaki DC-DC dönüşüm için kullanılır. Bu tür sistemlerde, toplam kaybın büyük kısmını, sekonder tarafındaki doğrultucularda ve çıkış filtre endüktansında meydana gelen iletim kayıpları oluşturur. Bu yüzden, yüksek verimli ve optimum bir tasarım, sekonder tarafında meydana gelen iletim kayıpları göz önünde bulundurularak yapılmalıdır (Badstuebner vd. 2011; Badstuebner vd., 2010). Şekil 1' de görülen sekonder tarafındaki orta uçlu doğrultucu iletim kayıplarının azaltılmasına yardımcı olacaktır.

Düşük çıkış gerilimli uygulamalarda, yüksek iletim kayıpları ile başa çıkabilmek için SR'ler yaygın olarak kullanılmaktadır. Literatürde yüksek verim elde edebilmek için çok sayıda MOSFET' in paralel bağlanmasından oluşan SR' lerin kullanıldığı, 25 kHz'de %99 verimle çalışan bir dönüştürücü tasarımı sunulmuştur (Badstuebner vd., 2010). Fakat burada, paralel bağlı MOSFET' ler için aktif gate kontrol devreleri kullanılmış ve çok sayıda paralel MOSFET bağlantısı kontrol devresini karmaşıktırıştır. Ayrıca MOSFET' lerin ve sürücü devrelerinin PCB boyutlarını artırması, aktif sürücü devrelerin izoleli güç kaynağı gereksinimi, dönüştürücünün boyutlarını ve toplam maliyetini artırmıştır.

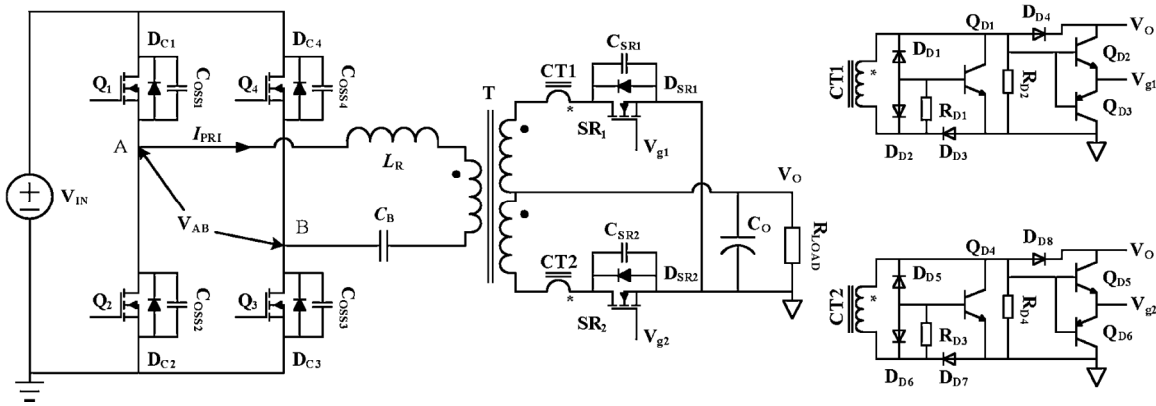
Bu durumda, doğrudan güç transformatörü kullanılmasıyla elde edilen kendinden tetiklemeli sürme devreleri, aktif sürme devreleriyle karşılaştırıldığında daha basit ve ucuz bir sonuç vermektedir. Özellikle paralel bağlı MOSFET' lardan oluşan SR' nin sürülmesinde, devre karmaşıklığını azaltmak için tercih edilebilir bir yöntemdir. Literatürde, farklı kendinden tetiklemeli sürücü çalışmaları sunulmuştur. (Xie vd., 2001)' de, düşük çıkış gerilimi ve yüksek çıkış akımlı uygulamalar için kendinden tetiklemeli bir sürme devresi sunulmuştur, bu metotta Şekil 2' de görüldüğü gibi çıkış akımı bir akım trafosu ile algılanmakta ve algılanan akım,

ilave olarak eklenen bir güç dönüşüm devresi ile çıkış DC güç kaynağına iletilmektedir. Burada eklenen ilave devre, sürücü devrenin karmaşıklığını ve toplam fiyatını artırmaktadır.



**Şekil 2** (Xie vd., 2001)' de sunulan kendinden tetiklemeli sürücü devre topolojisi.

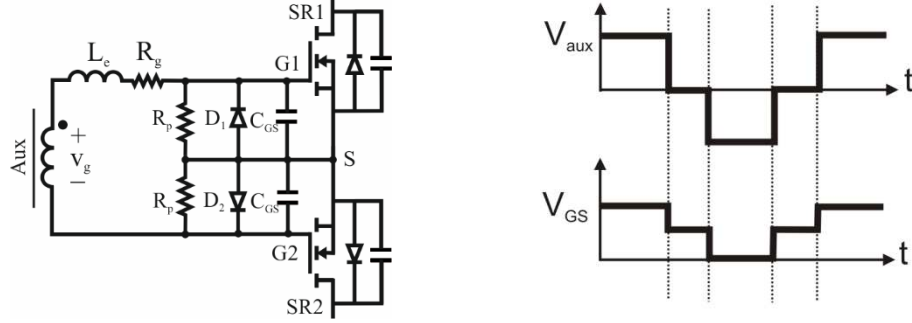
Bir başka çalışmada, SR kullanan bir PSFB dönüştürücünün analizi ve optimum tasarımı sunulmuştur (Zhao vd., 2009; Zhao vd., 2008). Bu çalışmada, Şekil 3' de görünen karmaşık bir kendinden tetiklemeli sürme devresi (Zhang vd., 2003) kullanılmıştır ve bu devre akım algılanması için iki akım transformatörü gerektirir. Devredeki eleman sayısı fazla olduğu için karmaşık ve pahalı bir devredir.



**Şekil 3** (Zhao vd., 2009) ve (Zhao vd., 2008)' de kullanılan kendinden tetiklemeli sürme devresi.

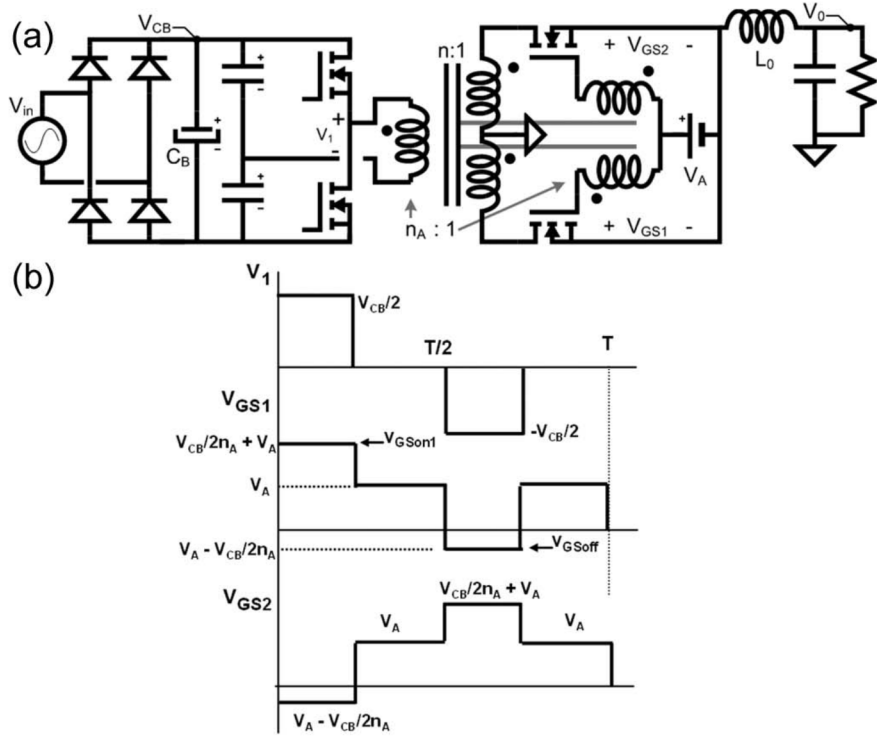
Daha basit ve ucuz bir kendinden tetiklemeli sürücü devre, (Alou vd., 2001)' de sunulmuştur. Şekil 4'de verilen bu yöntem, kontrol sinyali elde etmek için yardımcı bir sargı yardımıyla, doğrudan primere uygulanan gerilimin dönüşümünü kullanır. Doğrudan sekonder gerilimini kullanan klasik sürme devrelerinden farklı olarak, ölü zaman aralığında her iki SR' sinin aynı anda iletimde kalmasını sağlar. Çalışmada, sürücünün performansı kaçak endüktans etkisi üzerine farklı transformatör tasarımları ile incelenmiş ve 25 W' lık düşük

güçte bir prototip ile doğrulanmıştır. Çoklu paralel bağlı MOSFET'lerden oluşan bir SR' nin gate-source kapasitesini, gate yolundaki parazitik endüktansın etkilerini, gerekli şarj akımını ve gövde diyotunun iletim aralığını inceleyen detaylı bir performans analizi sunulmamıştır.



**Şekil 4** (Alou vd., 2001)' de sunulan kendinden tetiklemeli sürücü devre ve sürme sinyalleri.

Şekil 5'de görünen, (Fernández vd., 2009)' de, sunulan kendinden tetiklemeli sürücüde, SR'leri sürmek için çıkış filtre endüktansının gerilimi olan  $V_A$  kullanılmıştır ve bu şekilde, ölü zaman aralığında da her iki SR' nin iletimde kalması başarılmıştır. Fakat bu devrede hem iki tane yardımcı sargı hem de  $V_A$  gerilimini elde etmek için çıkış filtre endüktansı ile kuplajlı ekstra bir sargı ve doğrultucu devre kullanılmıştır. Bu sürücü topolojisi, (Alou vd., 2001)' de sunulan devre ile karşılaştırıldığında daha karmaşık ve tasarımı zordur.



**Şekil 5** (Fernández vd., 2009)' de sunulan (a) kendinden tetiklemeli sürücü devre topolojisi ve (b) çalışma prensibine ait dalga şekilleri.

Bu projede, SR'lerin kontrolü için basit ve ucuz olması ve yeterli çalışma şartlarını sağlaması gibi öne çıkan özellikleri doğrultusunda (Alou vd., 2001)'deki devrenin kullanılmasına karar verilmiştir. Bu devre ile primer gerilimi sıfır olduğunda dahi tek bir yardımcı sargının kullanılması ile SR'ler iletimde kalabilecek ve böylece iletim kayıplarını minimum düzeyde tutulmasına imkan sağlanabilecektir.

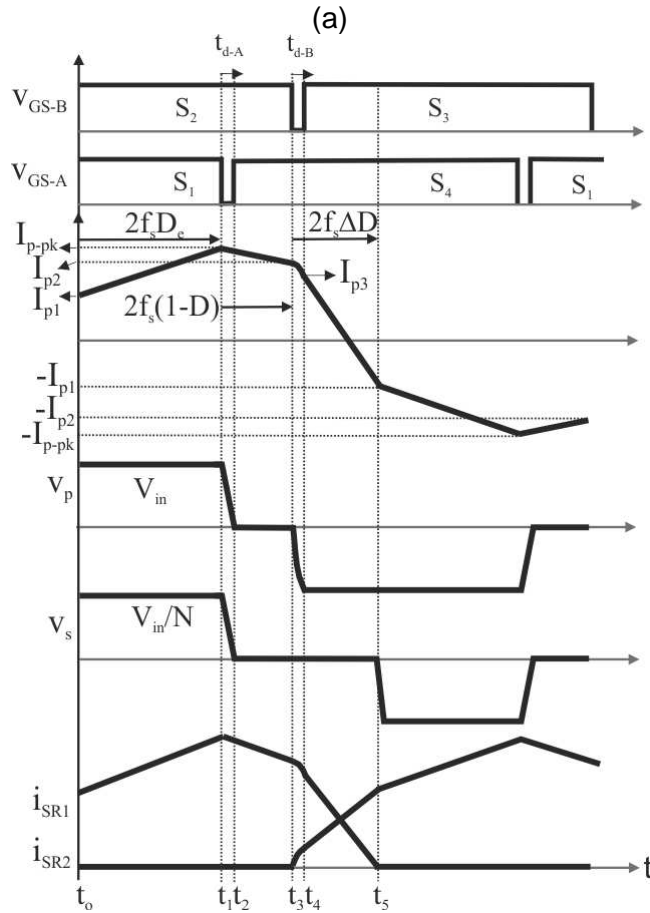
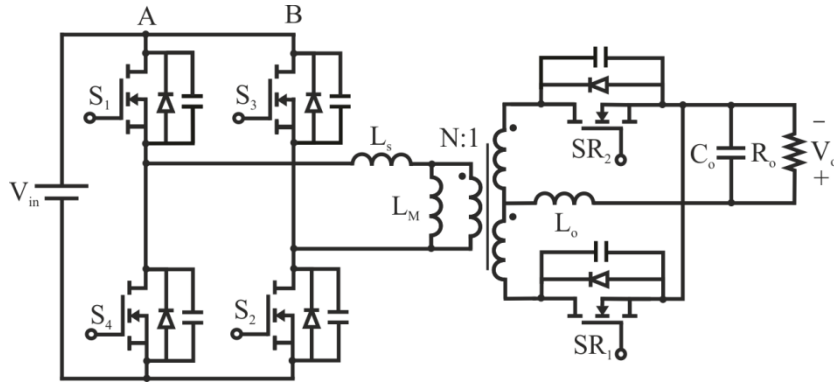
Sürme devresinde, çok sayıda ve yüksek akım taşıma kapasitesine sahip MOSFET'lerin paralel bağlanması sonucu, gate-source kapasitesi ve iletim yolundaki parazitik endüktans değerleri artmaktadır. Bu durumda paralel bağlı MOSFET'lere zarar verebilecek nitelikte, gate kontrol gerilimi üzerinde düşük frekanslı bir rezonans oluşur. Bu projede, PSFB DC-DC dönüştürücünün temel güç katı tasarım parametreleri belirlendikten sonra SR'lerin güvenli çalışmasını sağlamak için belirlenen sürücü devresinin, parazitik ve kaçak endüktanslar ile gate-source kapasitesi arasındaki rezonansı ve gövde diyotunun iletimini inceleyen detaylı bir performans analizi sunulmuştur. Burada, iletim kayıpları ile ters toparlanma kayıplarını en aza indirmek için gövde diyotunun iletim aralığı mümkün olduğunca kısa tutulmaya çalışılarak optimum sürücü tasarımı belirlenmiştir. Teorik analiz ve tasarım sonuçlarını doğrulamak için 80 kHz anahtarlama frekansı ile çalışan, yaklaşık 1 kW gücünde ve 12 V çıkış gerilimine sahip bir dönüştürücü için Saber simülasyonu yapılmıştır. Son olarak, teorik tasarımı ve simülasyonu tamamlanan dönüştürücünün, prototipi kurulmuş ve deneysel doğrulama sonuçları elde edilmiştir. Deneysel çalışmalar sonucunda, optimum sürücü tasarımı ile maksimum verim tam yükte %94.44 ve yarı yükte %95.15 olarak elde edilmiştir.

## 2.GEREÇ VE YÖNTEM

Gerçekleştirilmesi planlanan PSFB dönüştürücü için öncelikle tasarım parametreleri belirlenmelidir. Güç katının tasarımı için yarıiletken anahtarların ve manyetik devre elemanlarının belirlenmesi üzerinde durulmalıdır. Devrenin tasarım parametrelerinin belirlenebilmesi için ilk önce temel çalışma prensibi bilinmelidir. Daha sonra tasarım parametreleri çıkarılabilir. Güç devresinin tasarımı belirlendikten sonra, sekonder tarafında kullanılacak olan kendinden tetiklemeli sürme devresinin yüksek verim açısından optimizasyonu yapılmalıdır. Sürücü performansını etkileyen devre elemanları belirlenmeli ve sürücünün detaylı performans analizi, gate geriliminin salınımı ve SR'lerin gövde diyotlarının iletimi açısından incelenmelidir. Teorik olarak tasarımı belirlenen dönüştürücünün çalışması simülasyon çalışmaları ve laboratuvarında kurulan bir prototip ile doğrulanmalıdır. Laboratuvar prototipi için öncelikle PCB tasarımları yapılmalıdır. Bu aşamalar aşağıda sırası ile incelenmiştir.

## 2.1 PSFB Dönüştürücü Çalışma Prensibi

PSFB dönüştürücü devre şeması ve dönüştürücüye ait dalga şekilleri Şekil 6'da verilmiştir. Çalışma periyodunun başında  $S_1$  ve  $S_2$  anahtarı iletimdeyken sekonder tarafında  $SR_1$  çıkışa enerji aktarır.  $t=t_1$  anında  $S_1$  anahtarı kesime girer ve böylece yansıyan yük akımı  $S_1$  ve  $S_4$  anahtarlarının parazitik kondansatörlerini şarj/deşarj eder. Burada, yük akımı oldukça yüksek olduğu için kondansatörler bütün yük koşullarında tamamen şarj/deşarj olabilir. Kondansatörlerin şarj/deşarj işlemi tamamlandıktan sonra  $t=t_2$  anında  $S_4$  anahtarının gövde diyodu iletime geçer ve dönüştürücünün primeri kısa devre olur. Böylece dönüştürücü



(b)

Şekil 6 PSFB DC-DC dönüştürücü (a) devre şeması ve (b) temel dalga şekilleri.

serbest dolaşım aralığında çalışmaya başlar ve bu aralıkta girişten çıkışa güç transferi yoktur. Sekonder tarafında yalnızca  $SR_1$  akımı iletmeye devam eder. Gövde diyodu iletimdeyken,  $S_4$  anahtarına kontrol sinyali uygulanır ve  $S_4$  anahtarı ZVS ile iletme geçer.  $S_2$  anahtarı  $t=t_3$  anında kesime girer ve transformatörün kaçak endüktansında depolanan enerji,  $S_2$  ve  $S_3$  anahtarlarının parazitik kondansatörlerini şarj/deşarj etmeye başlar. Bu arada sekonder tarafında  $SR_2$  doğal olarak iletme geçer ve  $SR_1$  ile  $SR_2$  arasında çıkış akımı komutasyonu başlar. Çıkış akımı komutasyonu sırasında transformatörün sekonderi kısa devre olur ve çıkış akımı artık primer tarafına yansıyamaz. Bu sebeple  $S_2$  ve  $S_3$  anahtarlarının parazitik kondansatörlerinin şarj/deşarj edilebilmesi için transformatörün kaçak endüktansında depolanan enerji yeterli olmalıdır.  $S_3$  anahtarının parazitik kondansatörü tamamendeşarj olduktan sonra,  $t=t_4$ 'de  $S_3$ 'ün gövde diyodu iletime geçer ve  $S_3$  ZVS ile iletme geçmeye hazır hale gelir.  $S_3$ 'ün ters paralel bağlı diyodunun iletime geçmesi ile primere ters yönde giriş gerilimi uygulanmaya başlar. Böylece primer akımı hızlı bir şekilde ( $V_{in}/L_s$ ) hızı ile azalır. Sekonder tarafında,  $SR_1$  ile  $SR_2$  arasındaki komutasyon  $t=t_5$ 'de sona erer ve  $SR_2$  tek başına yük akımını çıkışa iletmeye başlar. Böylece bir yarı çalışma periyodu tamamlanır. Periyodun diğer yarısı aynı çalışma prensibi ve ters yöndeki primer gerilimi ile devam eder.

Dönüştürücünün B kolundaki anahtarların ZVS ile iletme geçmesi,  $SR_1$  ve  $SR_2$  arasındaki çıkış akımı komutasyonundan dolayı yük koşullarına bağlıdır. Hafif yük koşullarında, dönüştürücünün B kolundaki anahtarların ZVS ile anahtarlamaı zayıflayabilir. ZVS anahtarlamanın sürdürülmesi için transformatörün kaçak endüktansı ve ilave endüktanstan oluşan  $L_s$ 'nin enerjisi aşağıda belirtildiği gibi kondansatörlerin enerjisinden yüksek olmalıdır.

$$\frac{1}{2}L_s I_{p-cr}^2 \geq \frac{1}{2}C_{p-B} V_{in}^2 \quad (1)$$

Yukarıdaki eşitlikte  $I_{p-cr}$  ve  $C_{p-B}$ , kritik primer akımını ve eşdeğer parazitik kondansatörü ifade eder. Böylece, kritik primer akımı aşağıdaki gibi yazılabilir:

$$I_{p-cr} = V_{in} \sqrt{\frac{C_{p-B}}{L_s}} \quad (2)$$

ZVS ile iletme geçmenin başarılabilmesi için rezonans süresi  $\delta_R$ 'nin, en fazla rezonans periyodunun dörtte biri kadar olması gerekmektedir:

$$\delta_R = \frac{T_r}{4} = \frac{\pi}{2} \sqrt{L_s C_{p-B}} \quad (3)$$

Çıkış akımı komutasyonu sırasında, çıkışa bir enerji transferi olmadığı için kayıp bağlı iletim süresi  $\Delta D$  oluşur ve dönüştürücünün çıkış gerilim kazancı aşağıdaki gibi yazılır:



$$V_o = \frac{V_{in}}{N} (D - \Delta D). \quad (4)$$

Yukarıdaki eşitlikte,  $\Delta D$  rezonans süresini de içeren haliyle aşağıdaki gibi ifade edilir:

$$\Delta D = \frac{2L_s(I_{p3} + I_{p1})f_s}{V_{in}} + 2\delta_R f_s. \quad (5)$$

Toplam bağıl iletim süresi ile kayıp bağıl iletim süresi arasındaki fark efektif bağıl iletim süresi  $D_{eff}$ 'i vermektedir:

$$D_{eff} = D - \frac{2L_s(I_{p3} + I_{p1})f_s}{V_{in}} - 2\delta_R f_s. \quad (6)$$

Yukarıdaki eşitlikte,  $I_{p3}$  B kolundaki parazitik kondansatörlerin şarj/deşarj tamamlandıktan sonra ki primer akım değeridir. Endüktans akımı bir ilk değere sahip seri bir rezonans devresinin çözümünden sonra aşağıdaki gibi yazılabilir:

$$I_{p3} = \sqrt{I_{p2}^2 - \frac{V_{in}^2 C_{p-B}^2}{L_s^2}}. \quad (7)$$

$I_{p2}$ , serbest dolaşım aralığı tamamlandıktan sonraki primer akım değerinin ifade etmektedir. Bu akım değeri, B kolundaki anahtarların ZVS ile iletme geçebilmeleri için kritik primer akım değerine eşit olmalı veya daha büyük olmalıdır.

$$I_{p2} \geq I_{p-cr} \quad (8)$$

$I_{p1}$  akımı primer akımının minimum değere sahip olduğu çalışma noktasını göstermektedir ve sekonderden yansıyan akıma göre aşağıdaki gibi ifade edilebilir:

$$I_{p1} = \frac{1}{N} (I_o - \frac{\Delta I_o}{2}). \quad (9)$$

## 2.2 Dönüştürücü Tasarımı

### 2.2.1 Yarıiletkenlerin Belirlenmesi

Primer tarafındaki yarıiletkenlerin belirlenmesinde, SiC ve Cool MOSFET'lerin performansları incelenmiştir. Bu inceleme yapılırken anahtarların iletim kayıpları, kesime girme sırasındaki meydana gelen anahtarlama kayıpları, parazitik kondansatörlerinin etkileri, ZVS ile iletme geçme durumları göz önünde bulundurulmuştur.

Anahtarların iletim kayıpları anahtar içinden geçen akımın değeri aşağıdaki gibi hesaplanabilir:

$$P_{con} = I_{prsw}^2 R_{on} \quad (10)$$

Yukarıdaki eşitlikte,  $R_{om}$  yarıiletkenin katalogdan elde edilen iletim direncini gösterir.  $I_{prsw}$ , primer anahtarlarından geçen akımın rms değerini ifade eder ve Şekil 2'de verilen dalga şekilleri yardımı ile aşağıdaki gibi hesaplanabilir.

$$I_{prsw}^2 = \frac{1}{T_s} \left[ \int_{t_0}^{t_1} \left( I_{p1} + \frac{(I_{p-pk} - I_{p1})2f_s}{D_e} t \right)^2 dt + \int_{t_1}^{t_3} \left( I_{p2} + \frac{(I_{p-pk} - I_{p2})2f_s}{(1-D)} t \right)^2 dt + \int_{t_3}^{t_5} \left( I_{p2} - \frac{(I_{p2} + I_{p1})2f_s}{\Delta D} t \right)^2 dt \right] \quad (11)$$

Yukarıdaki eşitlikte verilen  $I_{p-pk}$ ,  $I_{p2}$  çalışma noktaları aşağıdaki gibi yazılabilir:

$$I_{p-pk} = \frac{1}{N} \left( I_o + \frac{\Delta I_o}{2} \right) \quad (12)$$

$$I_{p2} = \frac{1}{N} \left[ I_o + \frac{\Delta I_o}{2} \right] - \frac{V_o'}{L_o' + L_s} (1-D) \frac{1}{2f_s} \quad (13)$$

Yukarıda yazılan eşitliklerde  $V_o'$  ve  $L_o'$  primere yansıyan çıkış gerilimini ( $nV_o$ ) ve çıkış filtre endüktansını ( $n^2L_o$ ) ifade etmektedir.

Anahtarların kesime girmesi sırasındaki turn-off anahtarlama kayıpları aşağıdaki eşitlik ile hesaplanır:

$$P_{sw,off} = \frac{1}{2} V_{in} I_{p-pk} f_s t_{rv} \quad (14)$$

Burada  $I_{p-pk}$ , primer akımının tepe değeridir ve anahtarların bu akım ile kesime girdiği kabul edilmiştir.  $t_{rv}$  anahtarların katalogunda verilen anahtar geriliminin yükselme süresidir.

A kolundaki anahtarların iletime girme kaybı, dönüştürücünün ZVS ile iletime girme özelliğinden dolayı ihmal edilmiştir. Bununla beraber, hafif yüklerde B kolundaki anahtarların ZVS ile iletime girmesi zayıflar ve sert anahtarlama ile iletime girerler. Böylece, parazitik kondansatörler, MOSFET' ler üzerinden deşarj olurlar ve meydana gelen anahtarlama kaybı aşağıdaki gibi eşitlik ile hesaplanabilir:

$$P_{sw,on} = \frac{1}{2} C_{p-B} V_r^2 f_s \quad (15)$$

Burada,  $V_r$ , parazitik kondansatörün deşarjından sonra geriye kalan gerilimi ifade eder. Bu gerilim, parazitik kondansatör ile  $L_s$  arasındaki rezonanstan hareketle aşağıdaki gibi hesaplanabilir:

$$V_r = V_{in} - \sqrt{\frac{L_s}{C_{p-B}}} I_{p2} \quad (16)$$

Primer tarafındaki anahtarların seçiminde B kolundaki anahtarların ZVS ile iletme geçme şartlarını sağlayabilmek için ölü zaman seçimi de önemlidir. Ölü zaman aralığı, ZVS zaman aralığından büyük olmalıdır:

$$t_{d-B} \geq t_{d-off} + t_{rv} \quad (17)$$

Verilen eşitlikte,  $t_{d-off}$  kesime grime gecikme süresini ve  $t_{rv}$  anahtar geriliminin yükselme süresini ifade etmektedir. Gerekli ölü zaman ZVS zaman aralığından büyük olması gerektiği gibi aynı zamanda ters rezonansı önlemek için primer akımı sıfıra ulaşmadan önce sona ermelidir.

Tablo 1' de Cool MOSFET ve SiC MOSFET yarıiletken anahtarların performans karşılaştırması özetlenmiştir. Bunun için her bir anahtar 400V DC giriş gerilimde güvenli çalışabilecek şekilde seçilmiştir. 1 kW çıkış gücü ve 80 kHz anahtarlama frekansı için tasarım incelenmiştir. Hesaplamalarda, transformatör dönüştürme oranı N:25 ve  $L_s=15 \mu H$  olarak belirlenmiştir.

**Tablo 1.** PSFB dönüştürücüde SiC ve Cool MOSFET yarıiletkenlerin performans karşılaştırması.

Yarıiletken Anahtar	$t_{d-off}+t_{rv}$	$\bar{\sigma}_{R+} t_{linear}$	ZVS için Gerekli Ölü Zaman	İletim Kaybı	Turn-off Anh. Kaybı	Kayıp Duty
Cool MOSFET SPW55N80C3 800 V, 55A	209 ns	275ns+83ns =358ns	209ns< $t_{d-B}$ <358ns	1.75W	44.23W	%3.2
SiC CMF20120D 1200 V, 42 A	78 ns	77ns+83ns =160ns	78ns< $t_{d-B}$ <160ns	1.87W	16.57W	%2.8

SiC MOSFET daha fazla gerilim dayanımına sahip olmasına rağmen daha düşük güç kaybı göstermektedir. Bu avantajı doğrultusunda, PSFB tasarımı için SiC MOSFET'lerin daha güvenilir ve uygun olduğu görülmektedir.

Sekonder tarafındaki yarıiletkenler için paralel bağlı SR'ler ile iletim kayıplarını azaltma yoluna gidilmiştir. SR'leri sürmek için basit ve ucuz olan kendinden tetiklemeli bir sürme devresi tercih edilmiştir. Sürme devresinin performansına göre paralel bağlı SR'lerin sayısına karar verilecektir. Bu durumda SR'ler için iletim kayıpları aşağıdaki gibi yazılabilir.

$$P_{con-SR} = \frac{I_{SR-rms}^2 R_{on-SR}}{n_{SR}} \quad (18)$$

Burada,  $I_{SR-rms}$  SR'lerin içinden geçen akımı ifade eder ve primer yarıiletkenlerinde olduğu gibi benzer prensiple hesaplanır.  $R_{on-SR}$ , SR'lerin iletim direncini ve  $n_{SR}$  paralel bağlı SR sayısını gösterir. SR'ler, serbest dolaşım aralığında, üzerlerindeki gerilim sıfır iken iletme geçerler ve çıkış akımı komutasyonu sırasında, akım diğer SR'ye aktarıldıktan sonra kesime girerler. Bu yüzden anahtarlama kayıpları ihmal edilebilir.

Her bir yarıiletken anahtar için sürücü kayıpları aşağıda verilen eşitliklerle hesaplanabilir. Burada,  $Q_{gate}$  yarıiletken anahtarların toplam gate şarjını ifade eder ve değeri katalogdan elde edilebilir.  $V_{GS-MOSFET}$  ve  $V_{GS-SR}$ , primer tarafındaki MOSFET'lerin ve SR'lerin gate-source gerilim değerini ifade etmektedir.

$$P_{Dr-MOSFET} = V_{GS-MOSFET} Q_{gate} f_s \quad (19)$$

$$P_{Dr-SR} = n_{SR} \times V_{GS-SR} Q_{gate} f_s \quad (20)$$

## 2.2.2 Manyetik Devre Elemanlarının Belirlenmesi

Manyetik devre elemanlarının tasarımı yüksek frekanslı transformatör ve çıkış filtre endüktansının tasarımından oluşmaktadır. Transformatör nüvesinde meydana gelen manyetik akı yoğunluğu değişimi aşağıdaki verilen eşitlik ile hesaplanabilir. Maksimum akı yoğunluğu,  $B_{m-Tr}$ , manyetik akı yoğunluğu değişimi  $\Delta B_{Tr}$ ' nin yarısına eşittir.

$$\Delta B_{Tr} = \frac{V_{in} D}{2f_s N_p A_{c-Tr}} \quad (21)$$

Yukarıdaki eşitlikte  $A_{c-Tr}$  nüve kesit alanını gösterir. Transformatör sargıları için geniş yüzeyli bakır folyolar tercih edilmiştir. Bakır folyo, yüksek frekanslarda tercih edilen litz teli ile karşılaştırıldığında, transformatör nüvesinde daha fazla doluluk oranını sağlar ve mekanik dayanımı daha yüksektir. Transformatör bakır kayıpları bakır folyo sargıların direnci hesaplanarak aşağıdaki gibi bulunabilir.

$$P_{Cu-pr} = I_{p-rms}^2 R_{pr} \quad (22)$$

$$R_{pr} = \frac{\rho l}{tw} \quad (23)$$

Yukarıdaki eşitliklerde,  $\rho$  bakırın öz direncini,  $l$  bakır folyo uzunluğunu,  $t$  bakır folyo kalınlığını ve  $w$  bakır folyo genişliğini göstermektedir.  $I_{p-rms}$ , primer akımının rms değerini gösterir ve Şekil 2'de verilen dalga şekilleri yardımı ile hesaplanır.

Transformatör nüve kayıpları, nüvenin malzeme katalogunda verilen değişim eğrileri ile hesaplanabilir.

Çıkış filtre endüktansında meydana gelen manyetik akı çıkış akımı ile kontrol edilmektedir ve aşağıdaki eşitlik kullanılarak hesaplanabilir.

$$B_{m-Lo} = \frac{(I_o + \Delta I_o / 2)L_o}{N_{Lo}A_{c-Lo}} \quad (24)$$

Çıkış filtre endüktansındaki manyetik akı değişimi oldukça küçük olduğu için nüve kayıpları ihmal edilebilir.

Tablo 2, 3 ve 4' de farklı çalışma frekanslarında, manyetik devre elemanları ve yarıiletkenler için elde edilen kayıp sonuçları ve bu sonuçların verime olan etkisi görülmektedir. Optimum transformatör tasarımlarında genellikle bakır ve nüve kayıplarının birbirine yakın olması istenmektedir. Tablolarda elde edilen sonuçlarda, E55 nüvesinin kullanıldığı tasarımda, nüve kayıplarını bakır kayıplarına göre daha yüksek olarak elde edilmiştir. E70 nüvesinin kullanıldığı tasarımda, bakır kayıpları ve nüve kayıpları değer olarak birbirine yakındır ve en yüksek verim elde edilmiştir. E65 nüveli tasarımda, bakır ve nüve kayıpları değerleri yine birbirine yakın iken verimi de %95'in üzerindedir.

**Tablo 2.** 80 kHz çalışma frekansı için transformatör ve çıkış filtre endüktansı tasarım parametreleri.

Parametreler	$P_o=1 \text{ kW}$ , $V_o=12 \text{ V}$ , $V_{in}=400 \text{ V}$ , $N=25$ , $D_{eff}=0.75$ , 80 kHz		
Transformatör	E65/32/27, $B_m=0.07T$ , $N_p=25$ , $N_s=1$ Nüve Kayıpları=3.14 W, İletim Kayıpları=2.5 W	E55/28/21, $B_m=0.1T$ $N_p=25$ , $N_s=1$ Nüve Kayıpları=4.4 W, İletim Kayıpları=2.14 W	E70/33/32, $B_m=0.055T$ $N_p=25$ , $N_s=1$ Nüve Kayıpları=2 W İletim Kayıpları=2.57 W
Çıkış Endüktansı	U Tipi $A_c=1200 \text{ mm}^2$ $B_m=0.09 T$ , $N_{Lo}=1$ , $L_o=1.1 \mu H$ Nüve Kayıpları=0.18 W İletim Kayıpları=1.1 W	U Tipi $A_c=1200 \text{ mm}^2$ $B_m=0.09 T$ , $N_{Lo}=1$ , $L_o=1.1 \mu H$ Nüve Kayıpları=0.18 W İletim Kayıpları=1.1 W	U Tipi $A_c=1200 \text{ mm}^2$ $B_m=0.09 T$ , $N_{Lo}=1$ , $L_o=1.1 \mu H$ Nüve Kayıpları=0.18 W İletim Kayıpları=1.1 W
Primer Anahtarları	SiC CMF20120D 1200V, 42 A, $R_{dson}=80m\Omega$ Anh. Kayıpları=16.52 W İletim Kayıpları=1.75 W	SiC CMF20120D 1200V, 42 A, $R_{dson}=80m\Omega$ Anh. Kayıpları=16.52 W İletim Kayıpları=1.75 W	SiC CMF20120D 1200V, 42 A, $R_{dson}=80m\Omega$ Anh. Kayıpları=16.52 W İletim Kayıpları=1.75 W
Sekonder Anahtarları	5 x IRFP4110Pbf 100V, 180A, $R_{dson}=3.5m\Omega$ İlet. Kayıpları=10.76 W	5 x IRFP4110Pbf 100V, 180A, $R_{dson}=3.5m\Omega$ İlet. Kayıpları=10.76 W	5 x IRFP4110Pbf 100V, 180A, $R_{dson}=3.5m\Omega$ İlet. Kayıpları=10.76 W
Verim %	96.12	96.20	96.37

**Tablo 3.** 100 kHz çalışma frekansı için transformatör ve çıkış filtre endüktansı tasarım parametreleri.

Parametreler	$P_o=1 \text{ kW}$ , $V_o=12 \text{ V}$ , $V_{in}=400 \text{ V}$ , $N=25$ , $D_{eff}=0.75$ , 100 kHz		
Transformatör	E65/32/27, $B_m=0.056\text{T}$ , $N_p=25$ , $N_s=1$ Nüve Kayıpları=2.36W, İletim Kayıpları=2.5W	E55/28/21, $B_m=0.1\text{T}$ $N_p=25$ , $N_s=1$ Nüve Kayıpları=4.4W, İlet.m Kayıpları=2.14W	E70/33/32, $B_m=0.055\text{T}$ $N_p=25$ , $N_s=1$ Nüve Kayıpları=2W İletim Kayıpları=2.57W
Çıkış Endüktansı	U Tipi $A_c=1200 \text{ mm}^2$ $B_m=0.09 \text{ T}$ , $N_{Lo}=1$ , $L_o=1.1 \mu\text{H}$ Nüve Kayıpları=0.19W İletim Kayıpları=1.1 W	U Tipi $A_c=1200 \text{ mm}^2$ $B_m=0.09 \text{ T}$ , $N_{Lo}=1$ , $L_o=1.1 \mu\text{H}$ Nüve Kayıpları=0.18W İletim Kayıpları=1.1 W	U Tipi $A_c=1200 \text{ mm}^2$ $B_m=0.09 \text{ T}$ , $N_{Lo}=1$ , $L_o=1.1 \mu\text{H}$ Nüve Kayıpları=0.18W İletim Kayıpları=1.1 W
Primer Anahtarları	SiC CMF20120D 1200V, 42 A, $R_{dson}=80\text{m}\Omega$ Anh. Kayıpları=20.61W İletim Kayıpları=1.75W	SiC CMF20120D 1200V, 42 A, $R_{dson}=80\text{m}\Omega$ Anh. Kayıpları=20.61W İletim Kayıpları=1.75W	SiC CMF20120D 1200V, 42 A, $R_{dson}=80\text{m}\Omega$ Anh. Kayıpları=20.61W İletim Kayıpları=1.75W
Sekonder Anahtarları	5 x IRFP4110Pbf 100V, 180A, $R_{dson}=3.5\text{m}\Omega$ İlet. Kayıpları=10.76W	5 x IRFP4110Pbf 100V, 180A, $R_{dson}=3.5\text{m}\Omega$ İlet. Kayıpları=10.76W	5 x IRFP4110Pbf 100V, 180A, $R_{dson}=3.5\text{m}\Omega$ İlet. Kayıpları=10.76W
Verim %	95.91	95.80	95.98

Tasarımlarda, primer sargılar için 0.15 mm, sekonder sargılar için 0.25mm kalınlıklarında ve 0.40 mm genişliğinde bakır foiller kullanılmıştır. Çıkış filtre endüktansı, tasarımların hepsinde aynıdır ve düşük iletim kaybı elde etmek için geniş kesit alanına sahip bir nüve kullanılmıştır. Burada, bobin sarımı için bakır foil kullanılması durumunda, iletim kayıplarını düşük tutmak için kalın ve geniş yüzeyli bir foil kullanmaya ihtiyaç vardır. Bu durumda bakır foile şekil vermek ve sargıları oluşturmak tasarımı güçleştirecektir. Bu yüzden litz teli kullanılmaya karar verilmiş ve 1200 adet 0.20 mm çapında litz teli bobin tasarımında kullanılmıştır. Primer tarafındaki yarıiletkenler için SiC MOSFET'ler ve sekonder tarafındaki her bir SR için 5 MOSFET paralel bağlı olarak kullanılmıştır. Hesaplamalarda, SR'lerin gövde diyotlarının iletimi ihmal edilmiştir. Gövde diyotunun iletim analizi ilerleyen aşamalarda tekrar ele alınacaktır. Her bir tasarım farklı çalışma frekanslarında test edilmiştir. Frekans arttıkça yükselen anahtarlama kayıpları verimi düşürmektedir. Bu durumda, projenin yüksek verim hedefi doğrultusunda 80 kHz çalışma frekansında tasarım yapılmasına karar verilmiştir.

Prototip tasarımında, nüve hacmini küçük tutabilmek için E65 nüvesi ile tasarıma başlanması tercih edilmiştir.

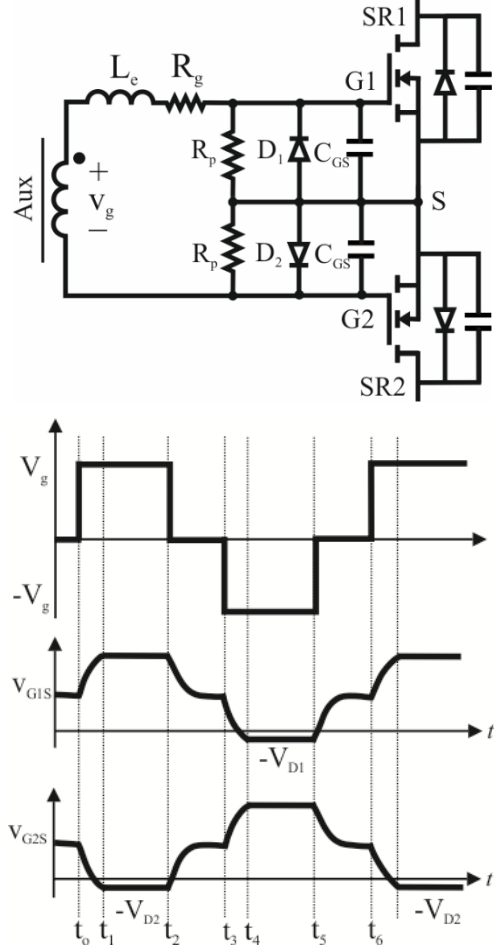
**Tablo 4.** 120 kHz çalışma frekansı için transformatör ve çıkış filtre endüktansı tasarım parametreleri.

Parametreler	$P_o=1 \text{ kW}$ , $V_o=12 \text{ V}$ , $V_{in}=400 \text{ V}$ , $N=25$ , $D_{eff}=0.75$ , 120 kHz		
Transformatör	E65/32/27, $B_m=0.047\text{T}$ , $N_p=25$ , $N_s=1$ Nüve Kayıpları=2.12W, İletim Kayıpları=2.5W	E55/28/21, $B_m=0.1\text{T}$ $N_p=25$ , $N_s=1$ Nüve Kayıpları=4.4W, İletim Kayıpları=2.14W	E70/33/32, $B_m=0.055\text{T}$ $N_p=25$ , $N_s=1$ Nüve Kayıpları=2W İletim Kayıpları=2.57W
Çıkış Endüktansı	U Tipi $A_c=1200 \text{ mm}^2$ $B_m=0.09 \text{ T}$ , $N_{Lo}=1$ , $L_o=1.1 \mu\text{H}$ Nüve Kayıpları=0.2W İletim Kayıpları=1.1 W	U Tipi $A_c=1200 \text{ mm}^2$ $B_m=0.09 \text{ T}$ , $N_{Lo}=1$ , $L_o=1.1 \mu\text{H}$ Nüve Kayıpları=0.18W İletim Kayıpları=1.1 W	U Tipi $A_c=1200 \text{ mm}^2$ $B_m=0.09 \text{ T}$ , $N_{Lo}=1$ , $L_o=1.1 \mu\text{H}$ Nüve Kayıpları=0.18W İletim Kayıpları=1.1 W
Primer Anahtarları	SiC CMF20120D 1200V, 42 A, $R_{dson}=80\text{m}\Omega$ Anh. Kayıpları=24.68W İletim Kayıpları=1.75W	SiC CMF20120D 1200V, 42 A, $R_{dson}=80\text{m}\Omega$ Anh. Kayıpları=24.68W İletim Kayıpları=1.75W	SiC CMF20120D 1200V, 42 A, $R_{dson}=80\text{m}\Omega$ Anh. Kayıpları=24.68W İletim Kayıpları=1.75W
Sekonder Anahtarları	5 x IRFP4110Pbf 100V, 180A, $R_{dson}=3.5\text{m}\Omega$ İlet. Kayıpları=10.76W	5 x IRFP4110Pbf 100V, 180A, $R_{dson}=3.5\text{m}\Omega$ İlet. Kayıpları=10.76W	5 x IRFP4110Pbf 100V, 180A, $R_{dson}=3.5\text{m}\Omega$ İlet. Kayıpları=10.76W
Verim %	95.50	95.44	95.57

### 2.3 Kendinden tetiklemeli sürme devresinin detaylı performans analizi ve optimum tasarımının yapılması

Kendinden tetiklemeli sürme devreleri, kontrol sinyallerini üretmek için doğrudan güç transformatörünü kullandığı için tasarımı kolay, ucuz, üstelik güç yoğunluğu ve hacmin önemli olduğu veri merkezi gibi uygulamalarda avantajlıdır. Bu projede, PSFB DC-DC dönüştürücü tasarımında sunulan paralel bağlı SR' ler için (Alou vd., 2001)' de sunulan kendinden tetiklemeli sürme devresi kullanılmıştır. Kullanılan sürücünün devre şeması ve çalışma prensibine ait dalga şekilleri Şekil 7'de verilmiştir. Burada  $L_e$  yardımcı (Aux) sargının

oluşturduğu kaçak endüktansı ile PCB tasarımında oluşan gate yolundaki parazitik (stray) endüktansın toplamını temsil etmektedir.  $R_g$  gate yoluna bağlanan dirençtir.  $R_p$  gate-source terminaline bağlanan paralel dirençleri,  $C_{GS}$  her bir SR'nin gate-source kondansatörünü gösterir.  $G_1$  ve  $G_2$  paralel bağlı SR'lerin gate terminallerini ve S noktası source terminalini gösterir.



**Şekil 7** (Alou vd., 2001)' de sunulan kendinden tetiklemeli sürme devresi ve dalga şekilleri.

Bu devrede, yardımcı sargıya yansıyan primer gerilimi SR'leri sürmek için kullanılmıştır. Devrenin analizini basitleştirmek için yardımcı sargı üzerine düşen gerilimin sabit olarak  $V_g$  veya  $-V_g'$  ye eşit olduğu kabul edilmiştir.

Yardımcı sargının gerilimi pozitif olduğunda, üst taraftaki kondansatör şarj ve alt taraftaki deşarj olur. Alt taraftaki kondansatörün gerilimi sıfır olduğunda  $SR_1$  iletme geçer ve  $SR_2$ 'nin gate-source gerilimi  $-V_{D2}$  olur. Transformör geriliminin polaritesi değiştiğinde, aynı akım bu kez alt taraftaki kondansatörü şarj ve üst taraftakini deşarj eder. Böylece  $SR_2$  iletme geçer ve  $SR_1$  gate-source terminali  $-V_{D1}$  ile kırılır. Ölü zaman çalışma aralığında, kondansatörlerden birinin deşarjı, diğer kondansatörü şarj eder ve her iki kondansatörün

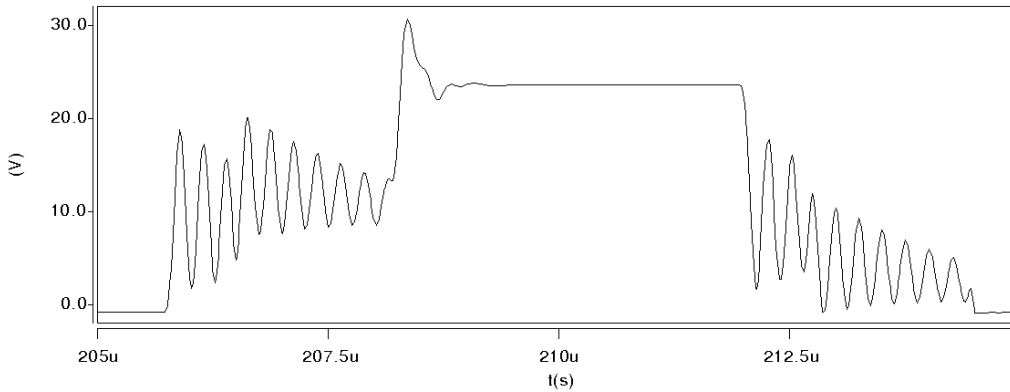


gerilimi aynı seviyede kalır. Bu şekilde, transformator gerilimi sıfır olsa bile her iki SR'nin gate gerilimi eşik (threshold) geriliminin üzerinde tutularak, iletimde kalmaları sağlanabilir.

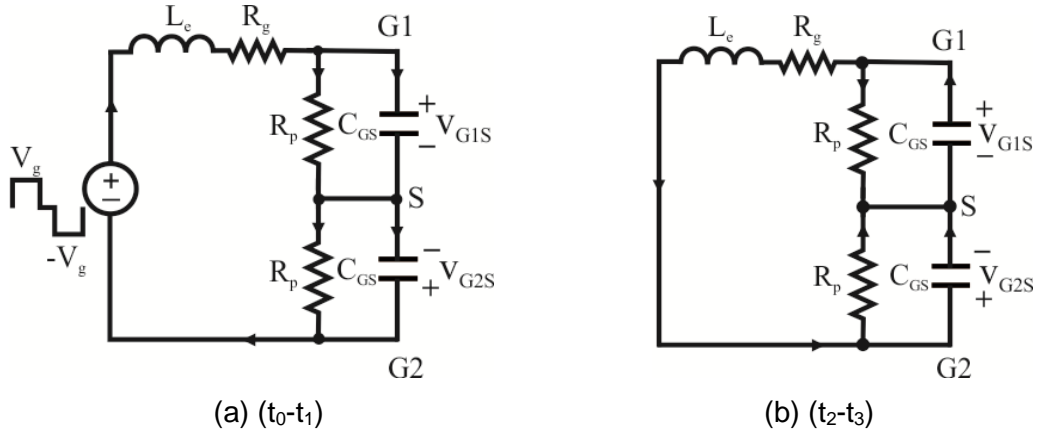
Bu projede sunulan PSFB dönüştürücü tasarımı yüksek çıkış akımının sebep olduğu iletim kayıplarının azaltılabilmesi için paralel bağlı SR'leri gerektirir. Bu tasarım yaklaşımında, paralel bağlı SR'ler uzun bir gate hattı oluşturur ve bu hattın oluşturduğu parazitik endüktans eşdeğer gate-source kondansatörü ile düşük frekanslı, anahtara zarar verebilecek bir rezonansa sebep olabilir. Bu rezonans, gate hattına bağlanan seri bir direnç ile sönümlenebilir fakat iletime ve kesime girme gecikme süreleri antiparalel diyotun iletimini önlemek için göz önünde bulundurulmalıdır. Ters paralel diyotun iletim süresi, iletim kayıplarıyla beraber ters toparlanma kayıplarını önlemek için de oldukça önemlidir. Bu sebeple, güvenilir ve optimum sürücü parametrelerinin belirlenebilmesi için gate gerilimindeki rezonansı, gövde diyotunun iletimini ve paralel bağlı SR sayısını inceleyen aşağıdaki detaylı performans analizi sunulmuştur.

### 2.3.1 Gate Geriliminin Salınım Analizi

Yardımcı sargının kaçak endüktansı ile uzun gate hattındaki parazitik endüktans paralel bağlantının sebep olduğu eşdeğer büyük değerli gate-source kondansatörü ile rezonans oluşturur. Bu rezonans problemi Şekil 8'de Saber ile gerçekleştirilen simülasyonla gösterilmiştir. Burada görüldüğü gibi gate geriliminin tepe değeri anahtara zarar vermeyecek güvenli bir seviyede tutulmalıdır. Ölü zaman aralığında ise gate gerilimi eşik gerilimi seviyesinin üzerinde kalmalıdır, rezonans yolu ile bu seviyenin altına düşmemelidir. Bu sebeple, gate geriliminin salınım analizi, yardımcı sargı üzerinde gerilim var iken ve ölü zaman aralığı için ayrı ayrı değerlendirilebilir. Her iki durum için sürücünün eşdeğer devreleri Şekil 9'da verilmiştir.



Şekil 8 SR gate gerilimi salınımı.



**Şekil 9** Sürücü eşdeğer devre diyagramları; (a) yardımcı sargı üzerinde gerilim var iken ( $t_0-t_1$ ), (b) ölü zaman aralığında ( $t_2-t_3$ ).

**Yardımcı Sargının Gerilim Değerine Sahip Olduğu Durum ( $t_0-t_1$ ):** Yardımcı sargı üzerinde gerilim olduğunda, sürücünün eşdeğer devresi Şekil 9(a)'da verilmiştir. Şekil 7'de bu çalışma aralığı için dalga şekilleri  $t_0-t_1$  aralığında gösterilmiştir. Bu durumda, eşdeğer devre analizinden elde edilen, her bir SR için gate gerilimi eşitliği aşağıdaki gibi çıkarılabilir. Bu analizde,  $v_{G1S}(t_0)=v_{G2S}(t_0)=V_{th}$ ,  $v_g(t_0)=V_g$  olduğu farz edilmiştir. Bu eşitlikler kullanılarak maksimum gate gerilimi değeri güvenli seviyelerde tutulabilir.

$$v_{G1S}(t) = v_{G1S}(t_0) + \frac{V_g R_p}{2R_p + R_g} \left[ \begin{array}{l} 1 + e^{-\frac{1}{2}\alpha(t-t_0)} (-\cosh(\frac{1}{2}(t-t_0)\sqrt{\alpha^2 - 4\beta})) \\ - \frac{\alpha}{\sqrt{\alpha^2 - 4\beta}} \sinh(\frac{1}{2}(t-t_0)\sqrt{\alpha^2 - 4\beta}) \end{array} \right] \quad (25)$$

$$v_{G2S}(t) = v_{G2S}(t_0) - \frac{V_g R_p}{2R_p + R_g} \left[ \begin{array}{l} 1 + e^{-\frac{1}{2}\alpha(t-t_0)} (-\cosh(\frac{1}{2}(t-t_0)\sqrt{\alpha^2 - 4\beta})) \\ - \frac{\alpha}{\sqrt{\alpha^2 - 4\beta}} \sinh(\frac{1}{2}(t-t_0)\sqrt{\alpha^2 - 4\beta}) \end{array} \right] \quad (26)$$

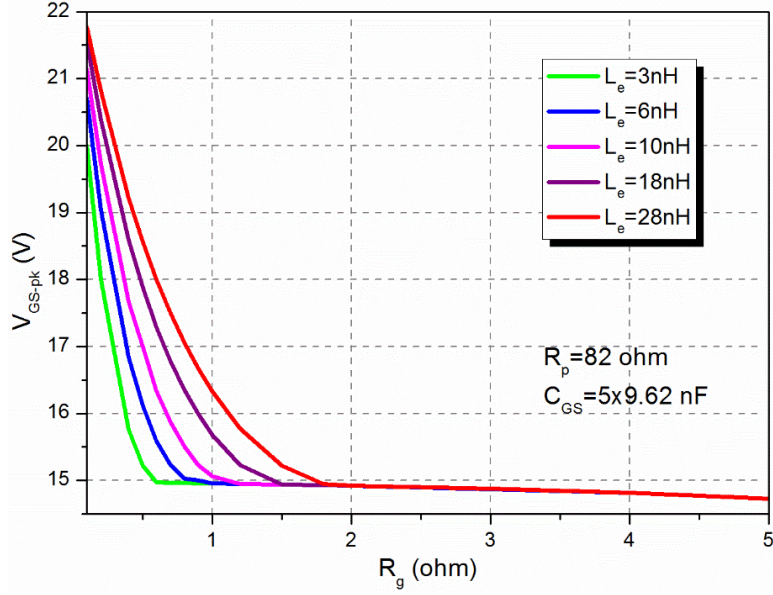
$$\alpha = \frac{R_g R_p C_{GS} + L_e}{L_e C_{GS} R_p} \quad (27)$$

$$\beta = \frac{2R_p + R_g}{L_e C_{GS} R_p} \quad (28)$$

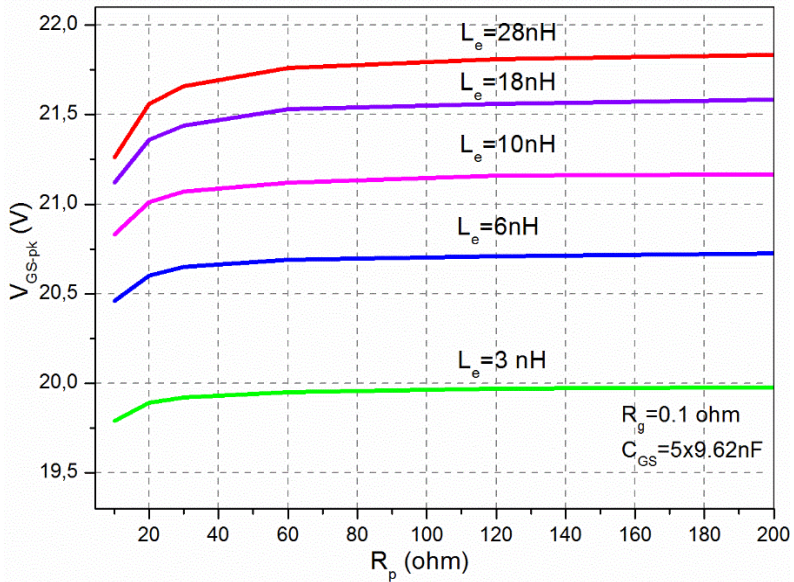
Güvenilir bir sürücü tasarımı için her bir SR' nin gate gerilimi, SR'nin kataloğunda verilen maksimum uygulanması gereken gerilimden küçük olmalıdır. Kesim durumunda ise gate gerilimi, gate terminaline ters paralel bağlı diyotun negatif yöndeki gerilim düşümüne (-0.7V) eşit olmalıdır.

Gate geriliminin maksimum değeri  $R_g$ 'nin fonksiyonu olarak farklı  $L_e$  değerleri için hesaplanarak Şekil 10(a)'daki grafikte değişimleri verilmiştir. Şekilden görüldüğü gibi düşük

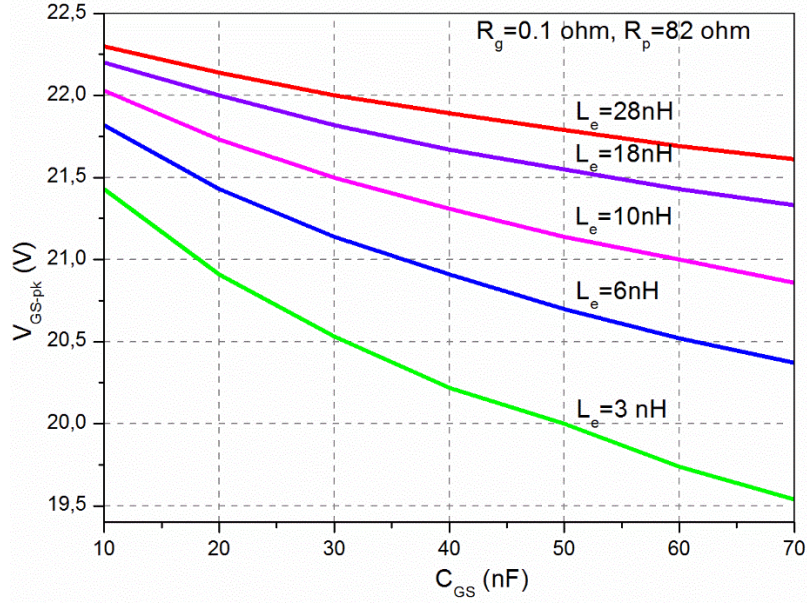
değerli  $L_e$  ve yüksek değerli  $R_g$  gate gerilimindeki salınımları sınırlar. Gate geriliminin maksimum değeri,  $2 \Omega$ 'un üzerindeki  $R_g$  değerlerinde,  $L_e$  değeri değişse bile iyi bir sönümlenme olduğu için sabit kalmaktadır. Gate terminaline paralel bağlı dirençlerin değerinin azalması gate geriliminin davranışını iyileştirmektedir özellikle salınının iyi sönümlenmediği  $0.1\Omega$ 'luk  $R_g$  direncinin kullanıldığı durumdaki elde edilen değişimler Şekil 10(b)'de verilmiştir. Bununla beraber,  $R_p$  dirençleri, gate gerilimi salınınının sönümlenmesi için çok büyük etki göstermemektedir. Burada iyi bir sönümlenme için önemli olan parametreler  $L_e$  ve  $R_g$ 'dir.



(a)



(b)



(c)

**Şekil 10** Gate geriliminin, (a)  $R_g$ , (b)  $R_p$  ve (c)  $C_{GS}$ 'nin fonksiyonu olarak, farklı  $L_e$  değerleri için değişimi.

Gate geriliminin salınımında, gate-source kapasitesinin artması, gate şarj akımını sınırlamaktadır ve bu etki gate geriliminin tepe değerini düşürmektedir. Bununla beraber, gate-source kapasitesinin artıran paralel bağlı SR'lerin sayısının artması, uzayan gate yolundaki parazitik endüktansın değerini de artırmaktadır. Bu sebeple, gate gerilimin tepe değeri, Şekil 10(c)'de görüldüğü gibi gate-source kapasitesinin değeri artsa bile artan  $L_e$  değeri ile yüksek seviyelerde kalmaktadır.

**Ölü Zaman Aralığı Durumu ( $t_2-t_3$ ):** Ölü zaman aralığı için gate sürücüsünün eşdeğer devresi Şekil 9(b)'de ve çalışmasına ait dalga şekilleri Şekil 7'deki  $t_2-t_3$  ve  $t_5-t_6$  aralıklarında verilmiştir. Bu çalışma aralığında, üst taraftaki gate-source kapasitesi deşarj ve alt taraftaki gate-source kapasitesi şarj olmaya başlar. Bu çalışma aralığı için gate gerilimi değişimi ifadesi eşdeğer devre analizinden aşağıdaki gibi çıkartılabilir. Bir önceki çalışma aralığı ( $t_1-t_2$ ), kararlı çalışma durumunu temsil eder ve ölü zaman aralığının başında, gate gerilimi  $v_{G1S}(t_2)=V_g-V_{Rg}-V_{D1}$ ,  $v_{G2S}(t_2)=-V_{D1}$  olarak farz edilmiştir. Burada  $V_{Rg}$ ,  $R_g$  direncinin gerilim düşümüdür.

Her bir SR için gate gerilimi ifadeleri aşağıdaki gibi yazılabilir:

$$v_{GIS}(t) = v_{GIS}(t_2) - \frac{(V_g - V_{Rg} - V_{D1})R_p}{2R_p + R_g} \left[ \begin{array}{l} 1 + e^{-\frac{1}{2}\alpha(t-t_2)} (-\cosh(\frac{1}{2}(t-t_2)\sqrt{\alpha^2 - 4\beta})) \\ -\frac{\alpha}{\sqrt{\alpha^2 - 4\beta}} \sinh(\frac{1}{2}(t-t_2)\sqrt{\alpha^2 - 4\beta}) \end{array} \right] \quad (29)$$

$$v_{G2S}(t) = v_{G2S}(t_2) + \frac{(V_g - V_{Rg} - V_{DI})R_p}{2R_p + R_g} \left[ \begin{array}{l} 1 + e^{-\frac{1}{2}\alpha(t-t_2)} (-\cosh(\frac{1}{2}(t-t_2)\sqrt{\alpha^2 - 4\beta})) \\ -\frac{\alpha}{\sqrt{\alpha^2 - 4\beta}} \sinh(\frac{1}{2}(t-t_2)\sqrt{\alpha^2 - 4\beta}) \end{array} \right] \quad (30)$$

$$v_{GIS}(t) = v_{G2S}(t_2) \geq V_{th} \quad (31)$$

Bu çalışma aralığında, sürücü devre parametrelerinin gate gerilimi salınımı üzerine etkileri, yukarıda verilen yardımcı sargı üzerinde gerilim olduğu durumdaki gibidir. Bu çalışma aralığında önemli olan parametre, gate gerilimi seviyesinin belirlenen iletme geçme gecikme zamanı,  $t_{don}$ ' dan sonra ve kesime geçme gecikmesi olan  $t_{doff}$ ' dan önce eşik gerilimi'nin üzerinde tutulmasıdır. Burada,  $t_{don}$  ve  $t_{doff}$  süreleri, gövde diyotunun iletimde kalma süresini minimum tutarak iletim kayıplarını azaltabilmek için mümkün olduğu kadar kısa olmalıdır.

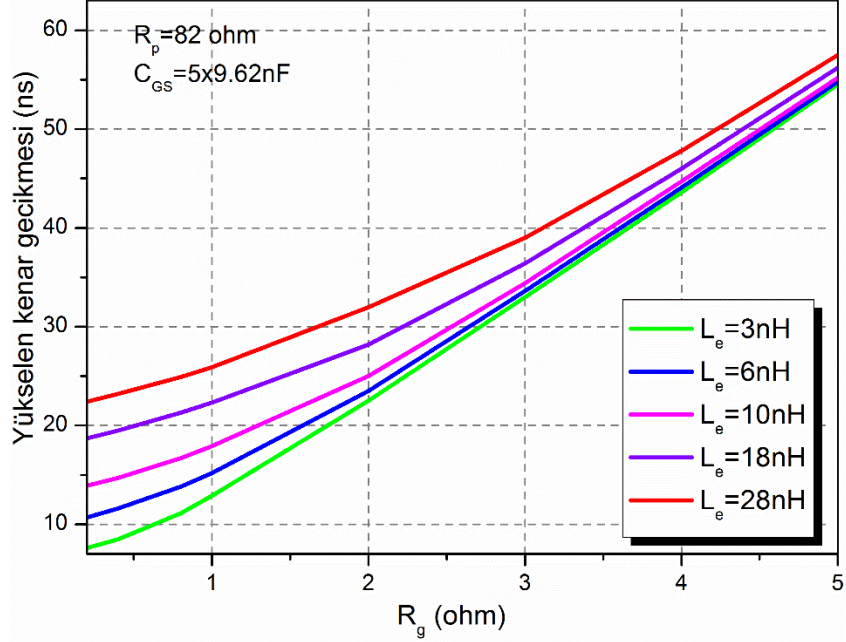
### 2.3.2 Gövde Diyotunun İletim Analizi

Gate yolundaki direnç ve endüktans etkisi ile gate geriliminin yükselme hızında bir gecikme meydana gelmektedir ve bu gecikme sırasında eşik geriliminin alt seviyelerinde SR'nin gövde diyotu çıkış akımını iletmektedir. Bu durumda gövde diyotunun iletme geçmesi iletim kayıplarını artırırken, aynı zamanda ters toparlanma güç kayıplarını da oluşturmaktadır. Ölü zaman aralığında elde edilen eşitlikler yardımı ile gate gerilimi değişimleri elde edilir ve böylece iletme ve kesime girme gecikme süreleri hesaplanabilir. Gate geriliminin yükselme ve düşme kenarlarında oluşan gecikme süreleri,  $R_g$ 'nin fonksiyonu olarak farklı  $L_e$  değerleri için hesaplanmış ve Şekil 11'de grafik olarak verilmiştir. Hesaplamalarda 2V eşik gerilim değerine sahip, beş adet paralel bağlı IRFP4110Pbf MOSFET kullanılmıştır. Gecikme süreleri,  $R_g$ ,  $R_p$  ve  $C_{GS}$ 'nin fonksiyonu olarak elde edilmiştir.

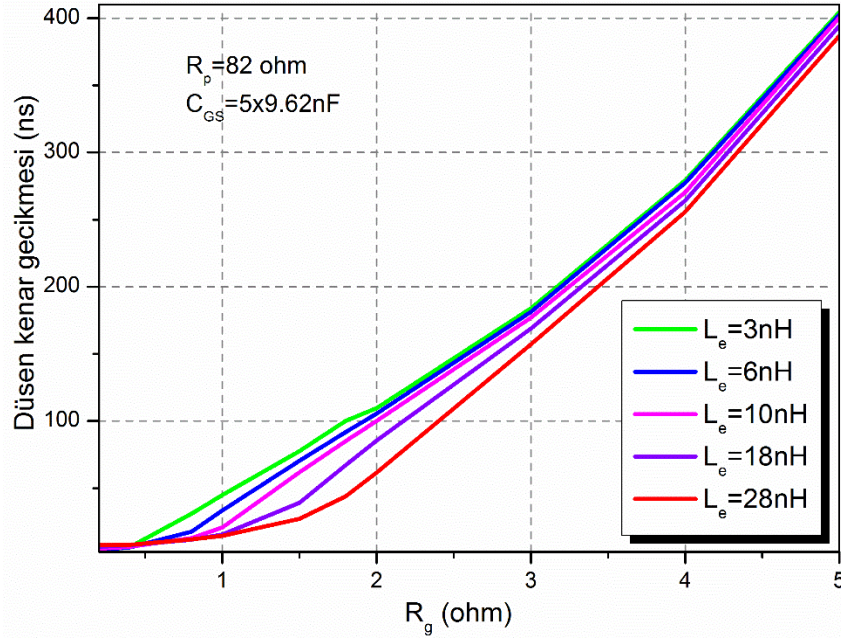
Tahmin edildiği gibi Şekil 11(a), gate yolundaki artan  $L_e$  ve  $R_g$  değerleri gate geriliminin yükselen kenarındaki gecikmeyi artırmaktadır. Şekil 11(b)'de görüldüğü gibi, kesime girme geçişinde, artan  $L_e$ , aynı  $R_g$  değeri için gate geriliminin düşen kenarındaki gecikmeyi kısaltmaktadır.  $R_g$  değerleri küçük iken  $C_{GS}$  ve  $L_e$  arasındaki rezonans iyi bir şekilde sönmülmeyeceği için gate geriliminin düşen kenarındaki gecikme süresi, küçük  $L_e$  değerleri için kısa ve büyük  $L_e$  değerleri için uzun görünmektedir.  $R_g$  değerleri yükseldikçe değişimler daha netlik kazanmaktadır. Bu çalışma durumunda,  $R_g$  direncinin artışı, gate-source kapasitesinin deşarjını sınırlar ve gate geriliminin düşen kenarında daha uzun bir gecikme süresine sebep olur.

Değişimlerden görüldüğü gibi  $L_e$  değerinin değişimi, düşen ve yükselen kenarlarda farklı etki göstermektedir.  $L_e$  değerinin artışı düşen kenarda daha kısa gecikme sağlarken, SR'nin akımının sifıra düşmesi çok gecikir ve kesime girmesi gerektiği yerde iletimde kalır

(shoot-through). Bu durumda, her iki SR bir süre aynı anda iletimde kalarak çıkışı kısa devre yapar ve SR'lerin zarar görmesine sebep olabilir. Sekonder tarafındaki bu problemi önlemek için düşen kenardaki gecikmenin bir sınırı olmalıdır. Bu sınırlama analizinin ilerleyen kısımlarında tekrar incelenecektir.



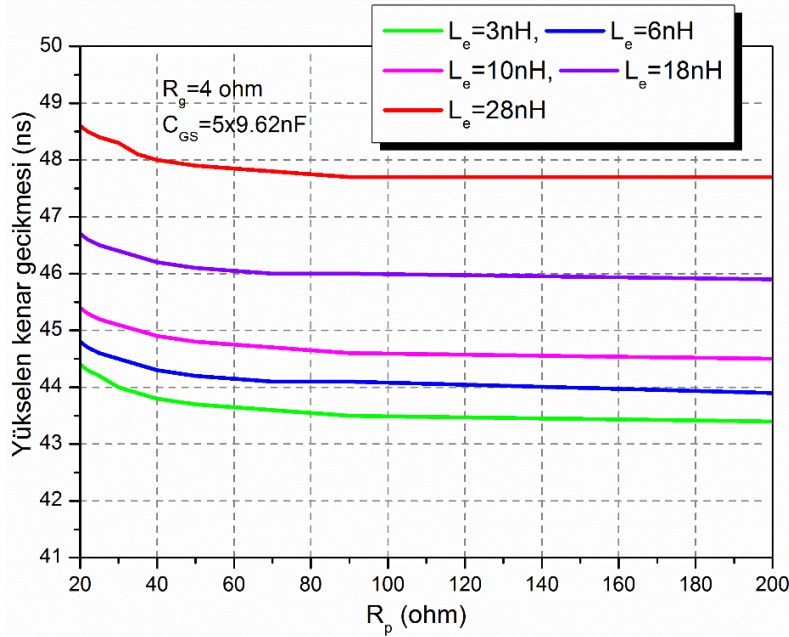
(a)



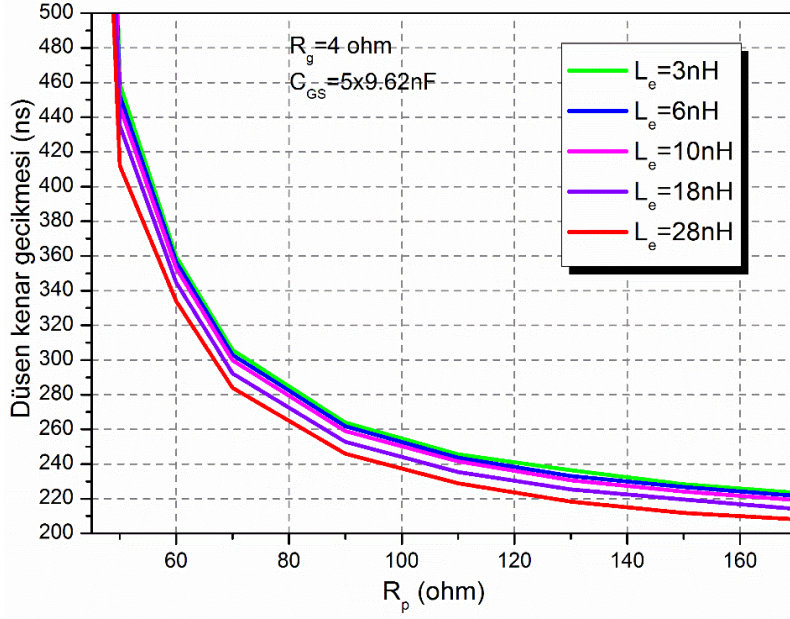
(b)

**Şekil 11**  $R_g$ 'nin fonksiyonu olarak farklı  $L_e$  değerleri için (a) yükselen kenar ve (b) düşen kenar gecikme süreleri değişimi.

Şekil 12'de gate terminaline paralel bağlı dirençlerin gecikme süreleri üzerine etkileri grafik olarak verilmiştir. Şekil 12(a)'da görüldüğü gibi düşük  $R_p$  değerlerinde, sınırlanan gate-source kapasitesi şarj akımı sebebiyle yükselen kenar gecikme süresi uzundur.  $R_p$  değerleri yükseldiği durumda ise yükselen kenar gecikme süresi kısalır. Gate-source kapasitesinin şarjında, ilk baştaki kısa devre davranışından dolayı yükselen kenar gecikme süresi  $R_p$  değişiminden çok fazla etkilenmez. Bununla beraber, Şekil 12(b)'de görüldüğü gibi düşük kenar gecikmesi  $R_p$  değişiminden ciddi bir şekilde etkilenir. Düşük değerli  $R_p$  değerleri kullanıldığında kondansatör hızlı bir şekilde deşarj olmaktadır. Gate gerilimi hızlı bir şekilde  $V_{th}$  değerine erişir, bu yüzden düşük kenar gecikmesi ve gövde diyotunun iletim süresi daha uzundur. Artan  $R_p$  değerleri ile gate-source kapasitesinin deşarj süresi uzar ve böylece düşük kenar gecikmesi ve dolayısıyla gövde diyotu iletim süresi kısalır.  $50\Omega$ 'dan daha düşük  $R_p$  değerleri için gate-source kapasitesinin deşarj olmadığı grafik üzerinde gözlenmektedir. Bu durumda  $R_p$  direnci, gate geriliminin davranışı ve gövde diyotunun iletim süresi göz önünde bulundurularak belirlenebilir.



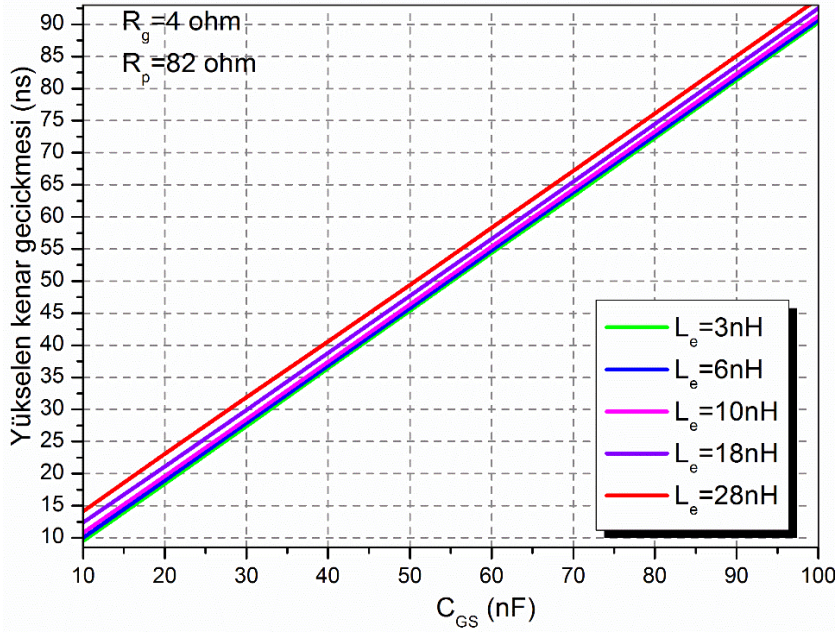
(a)



(b)

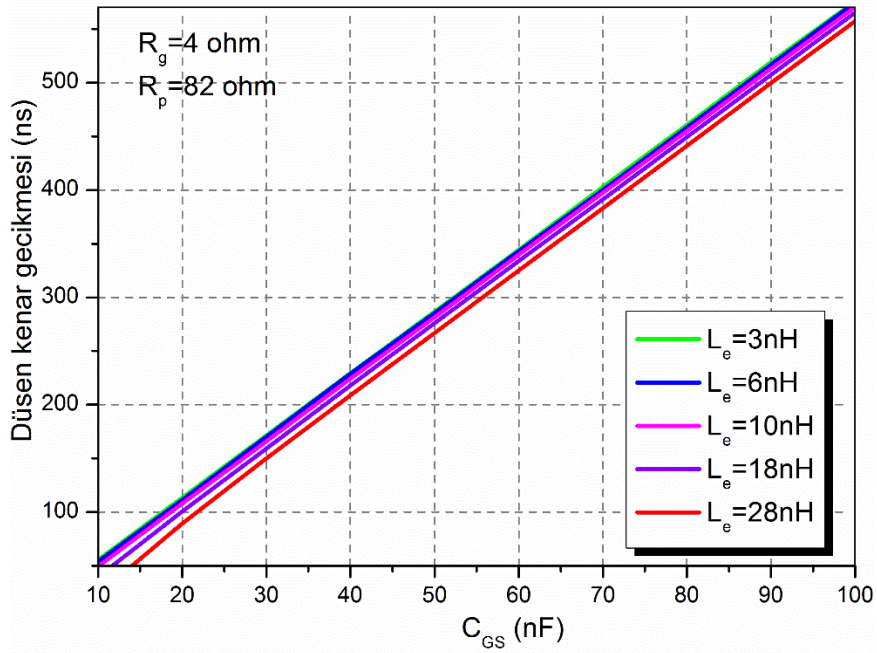
**Şekil 12** (a)  $R_p$ ' nin fonksiyonu olarak farklı  $L_e$  değerleri için (a) yükselen kenar ve (b) düşen kenar gecikme süreleri değişimleri.

Gate-source kapasitesinin fonksiyonu olarak, iletme ve kesime girme geçişlerindeki gecikme sürelerinin değişimleri Şekil 13'de verilmiştir. İletim kaybını düşürmek için paralel bağlı SR'lerin sayısı gate-source kapasitesinin değerini artırmaktadır ve artan gate-source kapasitesi iletme ve kesime geçişlerdeki gecikme sürelerini uzatmaktadır.



(a)





(b)

**Şekil 13**  $C_{GS}$ 'nin fonksiyonu olarak farklı  $L_e$  değerleri için (a) yükselen kenar ve (b) düşen kenar gecikme süreleri değişimleri.

Sekonder tarafındaki shoot-through problemini önlemek için düşen kenardaki gecikmenin sınırını belirleyen aşağıdaki analiz ele alınmıştır. Şekil 14 SR1'in ve gövde diyotunun iletimini gösteren dalga şekilleri verilmiştir.

Şekil 14'de, gövde diyodunun, SR1' in kontrol sinyalinin başındaki ve sonundaki gecikmelerde iletime geçtiği görülmektedir. Bu taralı üçgenlerin alanları gövde diyotunun iletim kaybını vermektedir ve aşağıdaki gibi yazılabilir.

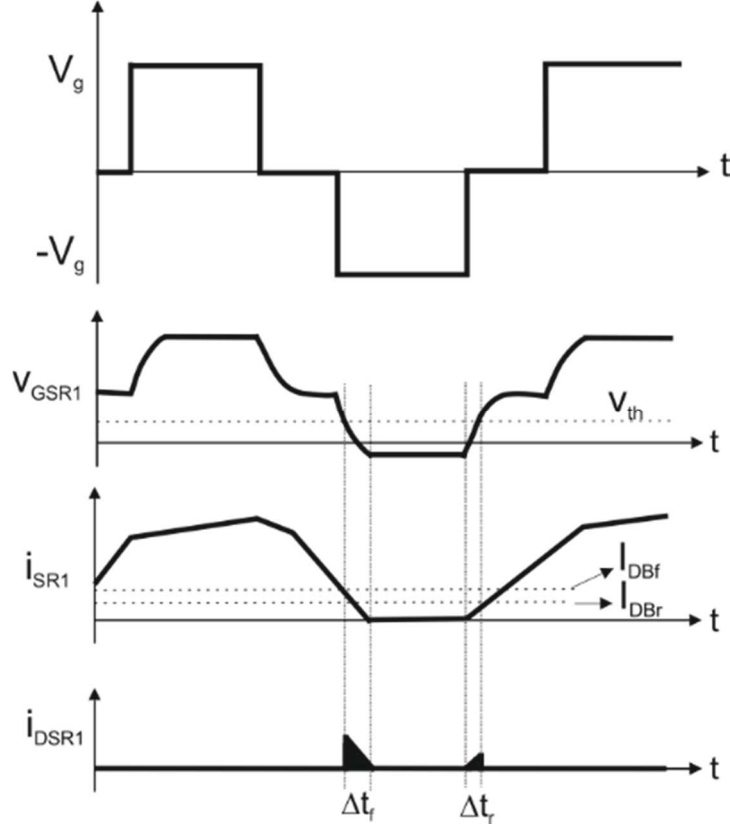
$$P_{\text{cond-body}} = f_s \frac{1}{2} V_{FW} (I_{DBf} \Delta t_f + I_{DBr} \Delta t_r) \quad (32)$$

Yukarıdaki eşitlikte,  $V_{FW}$  gövde diyotunun iletim gerilim düşümünü göstermektedir.  $I_{DBf}$  ve  $I_{DBr}$  ifadeleri, sırasıyla SR1'nin kesime girdiği ve iletime girdiği andaki sekonder akımını temsil etmektedir. Bu akımlar Şekil 14'den de görüldüğü gibi aşağıdaki şekilde ifade edilebilir.

$$\frac{I_{DBf}}{\Delta t_f} = \frac{V_{in}/N}{L_s/N^2} \Rightarrow I_{DBf} = \frac{V_{in} N \Delta t_f}{L_s} \quad (33)$$

$$\frac{I_{DBr}}{\Delta t_r} = \frac{V_{in}/N}{L_s/N^2} \Rightarrow I_{DBr} = \frac{V_{in} N \Delta t_r}{L_s} \quad (34)$$

Yukarıdaki eşitlikte  $\Delta t_f$  ve  $\Delta t_r$  Şekil 11-13'de incelenen SR1'in kontrol sinyalinin sırasıyla düşen ve yükselen kenar gecikmelerini ifade etmektedir. Bu süreler aynı zamanda gövde diyotunun iletim sürelerini göstermektedir.



**Şekil 14** SR1'in çalışmasına ait dalga şekilleri.

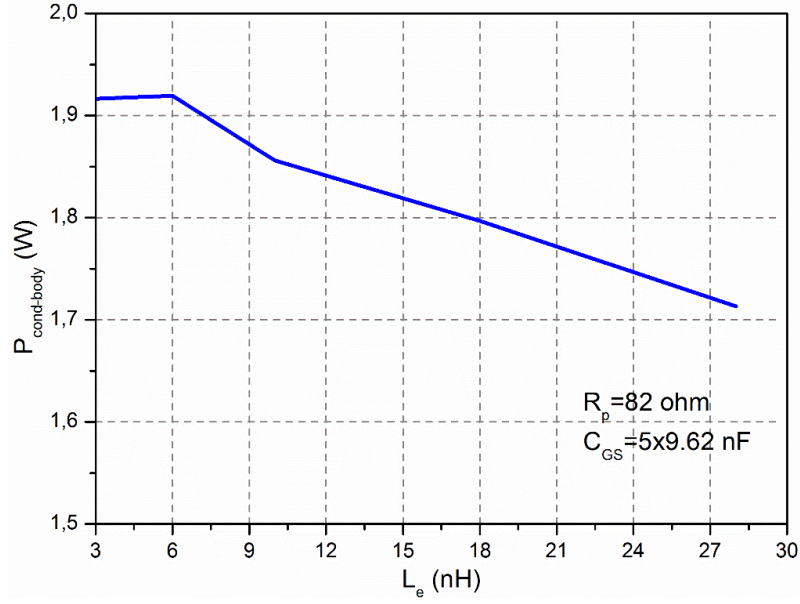
Bu durumda, SR'nin düşen kenardaki gecikmesi, shoot-through problemini önlemek için aşağıda verilen kayıp duty süresinden küçük olmalıdır.

$$\frac{\Delta D}{f_s} = \frac{(I_{p1} + I_{p3})L_s}{V_{in}} \quad (35)$$

$$\Delta t_r \leq \frac{\Delta D}{f_s} \quad (36)$$

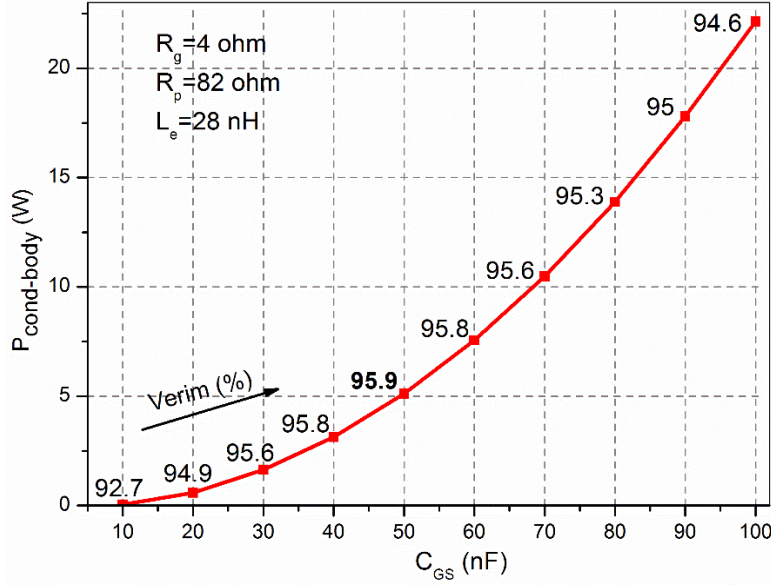
Şekil 15'de gövde diyotunun iletim kaybı  $L_e$  değişimine göre incelenmiştir.  $L_e$  değeri yükselirken, düşen kenardaki gecikme süresi azaldığı için iletim kaybının azalışı,  $L_e$  arttıkça baskınlaşmaktadır. Fakat  $L_e$  nin artışı gate gerilimindeki salınımları ve güvenilirliğini azalttığı için mümkün olduğunca küçük tutulması istenmektedir.

Performans analizi sonucuna göre gate yolundaki düşük değerdeki  $L_e$ , düşen ve yükselen kenardaki gecikmeler ile gate gerilimindeki salınımlar açısından en iyi sonucu vermektedir. Bu durumda düşük parazitik endüktans değerini sağlayan PCB tasarımı ve yardımcı sargının transformatör üzerine, düşük kaçak endüktans oluşturacak şekilde yerleştirilmesi önemlidir.

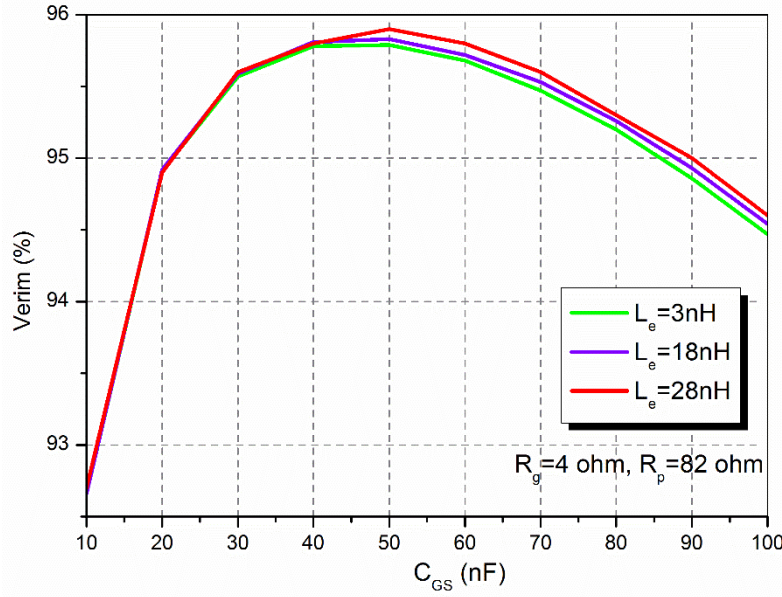


**Şekil 15** Gövde diyodu iletim kaybının  $L_e$ 'nin fonksiyonu olarak değişimi.

Paralel bağlı SR'lerin sayısı, gate geriliminin yükselen ve düşen kenarındaki gecikme sürelerine göre belirlenebilir. Aynı zamanda paralel bağlı SR'lerin sayısı gate yolundaki parazitik endüktans değerini etkilediği için gate geriliminin salınımına da etkisi vardır. Şekil 16'da  $L_e$  sabit iken gate-source kondansatörünün değişiminin gövde diyodu iletim kayıpları ve verim değişimi üzerine etkileri incelenmiştir. En yüksek verim yaklaşık 50 nF gate-source kondansatör değeri ile elde edilmiştir, bu da 5xSR çalışma durumunu temsil etmektedir. Paralel bağlı SR'lerin sayısı arttıkça iletim kayıplarının azalması ve verimin yükselmesi beklenir. Bununla beraber, paralel bağlantı sayısının artması, gecikme zamanlarını ve gövde diyodunun iletim süresi uzatacağı için optimum bir paralel bağlantı durumu olmalıdır. Grafikte görüldüğü gibi, paralel bağlantı sayısı yani gate-source kondansatörü değeri arttıkça, gövde iletim direncinin azalmasıyla verim yükselir. Fakat 5xSR' den sonra kontrol sinyalindeki gecikmeler ile gövde diyodunun iletiminin artması verimi azaltmaktadır. Paralel bağlantı sayısı arttıkça aynı zamanda gate yolundaki  $L_e$  değerinin de artması beklenmektedir. Bu sebeple, verim değişimi  $L_e$  ve  $C_{GS}$ 'nin bir fonksiyonu olarak Şekil 17' de incelenmiştir. Gate geriliminin düşen kenarındaki gecikme süresi  $L_e$ 'nin artmasıyla azalmaktaydı. Bu yüzden azalan gövde diyodu iletim süresi yüzünden artan  $L_e$  değerleri için verimin daha yüksek olduğu görülmektedir. Bununla beraber shot-through problemi yüksek  $L_e$  değeri ile çalışmaya müsaade etmez.  $L_e$  değerinin küçük bir değere sahip olması güvenli bir çalışma bakımından istenen bir durumdur.  $L_e$ 'nin yüksek değerli olması tercih edilemez. Paralel bağlantı sayısı artırılırken  $L_e$  küçük kalacak şekilde tasarımlar yapılmalıdır.



**Şekil 16.** Gövde diyotunun iletim kaybının ve verimin gate-source kondansatörüne bağlı olarak değişimi.



**Şekil 17.**  $C_{GS}$  ve  $L_e$ 'ye bağlı verim değişimi eğrileri.

Sürücü devrenin tasarımı, elde edilen analiz ve tasarım parametrelerine göre, güç devresi ile birlikte Tablo 5'de özetlenmiştir. Sürücü tasarımında  $L_e$  değeri tam olarak hesaplanamadığından, en büyük  $L_e$  değeri olan 28 nH için parametreler çıkarılmıştır. Burada  $L_e$  değerini hesaplayabilmek için üç boyutlu manyetik tasarım modeli gerekmektedir ve bu projenin kapsamı içinde bulunmamaktadır. Teorik analiz sonuçları da göz önünde bulundurulurken, tasarıma 5 adet SR'nin paralel bağlanmasıyla başlanmasına ve daha sonra farklı sayıda SR'lerin paralel kombinasyonlarının test edilmesiyle optimum paralel bağlanabilecek SR sayısının belirlenmesine karar verilmiştir.

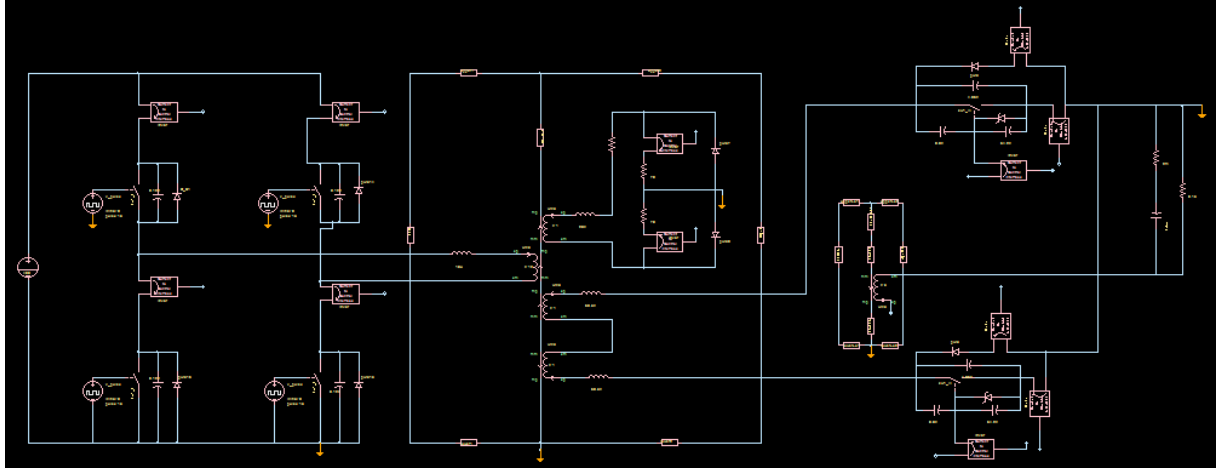
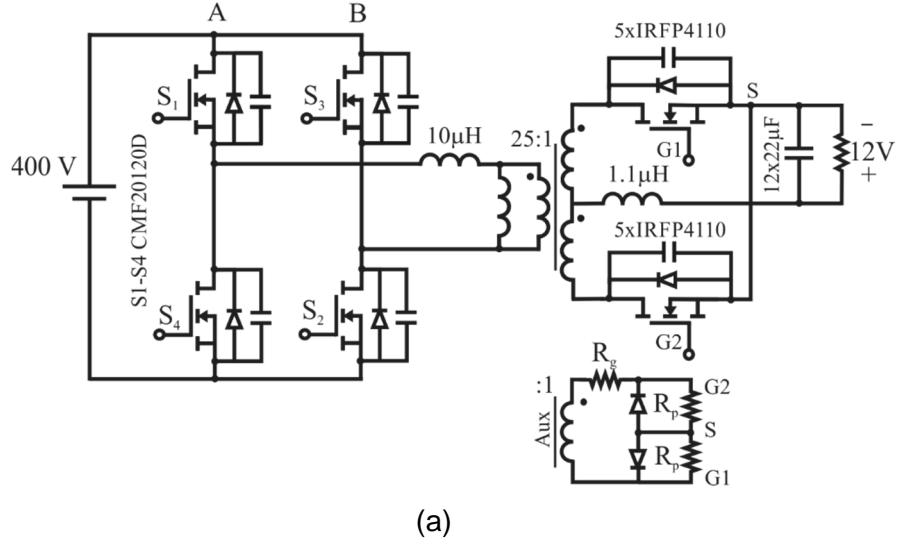
**Tablo 5** Güç devresi ve sürücü devre için elde edilen tasarım parametreleri.

Parametreler	$P_o=1 \text{ kW}$ , $V_o=12 \text{ V}$ , $V_{in}=400 \text{ V}$ , $D_{eff}=0.75$ , $N=25$ , $80 \text{ kHz}$
Transformatör	E65/32/27, $B_m=0.07 \text{ T}$ , $N_p=25$ , $N_s=1$ Nüve Kayıpları=3.14 W, İletim Kayıpları=2.5 W
Çıkış Endüktansı	U Tipi $A_c=1200 \text{ mm}^2$ $B_m=0.09 \text{ T}$ , $N_{L_o}=1$ , $L_o=1.1 \mu\text{H}$ Nüve Kayıpları=0.18 W, İletim Kayıpları=1.1 W
Primer Anahtarları	SiC CMF20120D 1200 V, 42 A, $R_{dson}=80 \text{ m}\Omega$ İletim Kayıpları: 1.75 W, Anahtarlama Kayıpları:16.52 W
SR	5xIRFP4110Pbf MOSFET, 100 V, 180A, $R_{dson}=3.5 \text{ m}\Omega$ İletim Kayıpları: 10.13 W
SR Gövde Diyotu İletim Kayıpları	5.11 W
Sürme Kayıpları	2.78 W
Gate Direnci, $R_g$	4 $\Omega$
Paralel Direnç, $R_p$	82 $\Omega$
$t_{don}$ ve $t_{doff}$	48 ns ve 250 ns ( $L_e=28 \text{ nH}$ iken)
Verim (%)	95.9

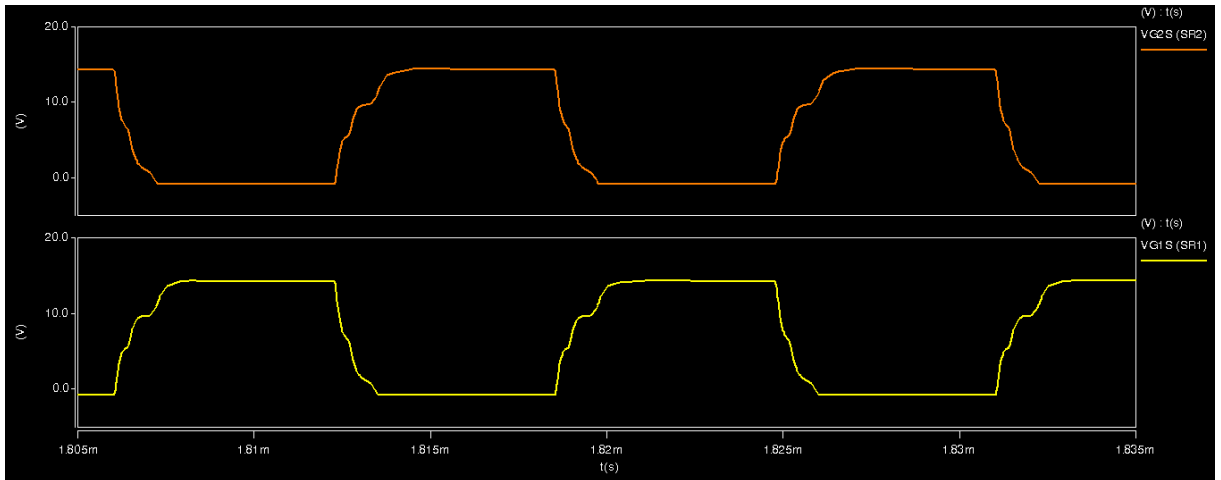
## 2.4 Simülasyon Çalışmaları

Yukarıda belirlenen güç katı ve kendinden tetiklemeli sürücü devre tasarımı, Saber simülasyonu ile test edilmiştir. Giriş gerilimi 400 V ve çıkış gerilimi 12 V olan 1 kW gücünde kendinden tetiklemeli ve SR doğrultuculu bir PSFB DC-DC dönüştürücü simülasyonu yapılmıştır. Simülasyonu yapılan devrenin şeması ve modellenen Saber simülasyon diyagramı Şekil 18’de verilmiştir. Simülasyonda, yarı iletken elemanlar ve manyetik elemanlar gerçekte kullanılması planlanan elemanların özelliklerine göre modellenmiştir.

Simülasyon sonucu elde edilen her bir SR’nin kontrol gerilimi Şekil 19’ da verilmiştir. Transformatöre uygulanan gerilim sıfır iken her bir SR’nin de iletimde kalmasını sağlayacak kontrol gerilimleri, kendinden tetiklemeli devrenin çalışma prensibinde belirtildiği gibi sağlanmıştır. Bu şekilde, serbest dolaşım aralığında ve ölü zaman aralığında SR’ler iletimde kalabilmektedir.

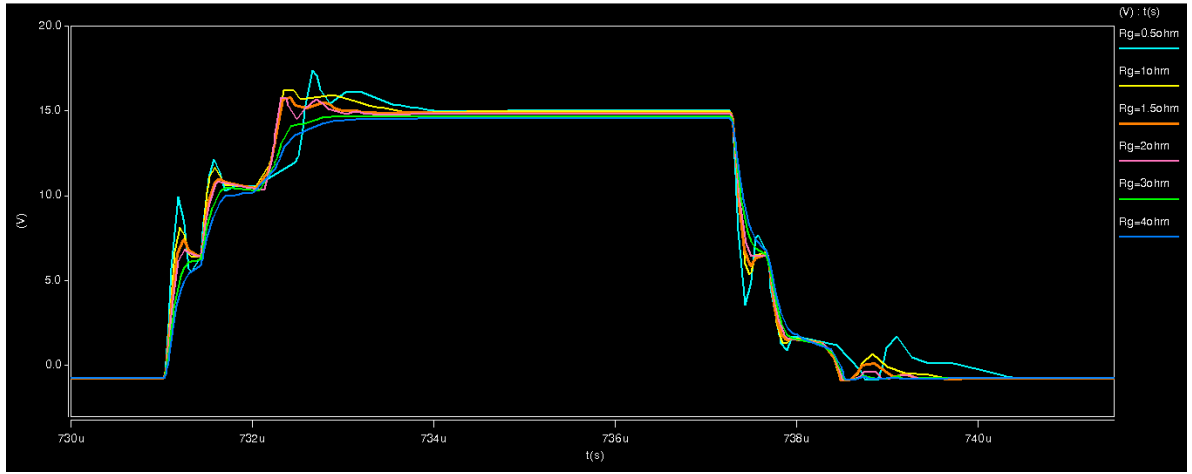


**Şekil 18** (a) Simülasyonu yapılan PSFB dönüştürücünün devre şeması, (b) Saber simülasyon diyagramı.

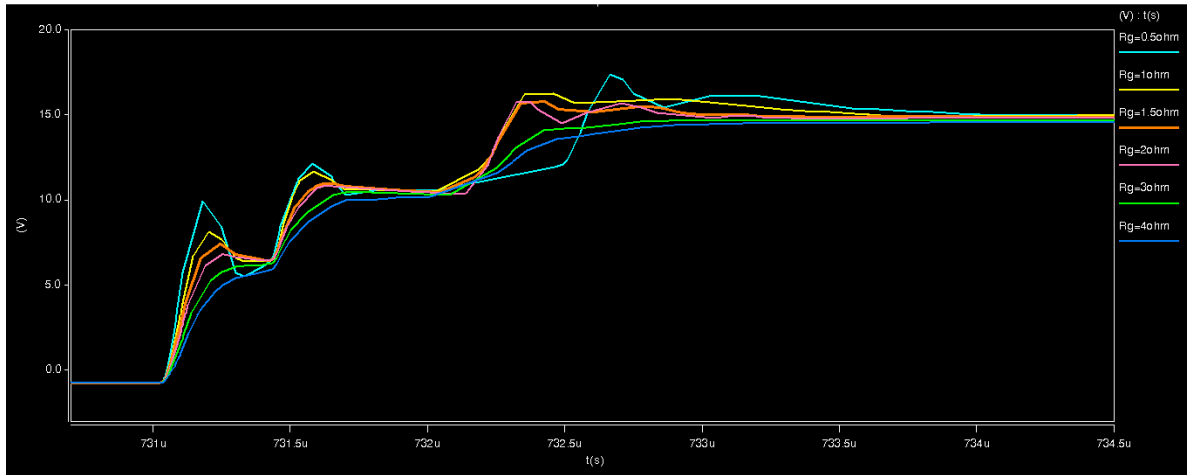


**Şekil 19** SR'lerin kontrol sinyalleri,  $R_g=4\Omega$ ,  $R_p=82\Omega$ ,  $C_{GS}=5 \times 9.62\text{ nF}$ ,  $L_e=28\text{ nH}$ .

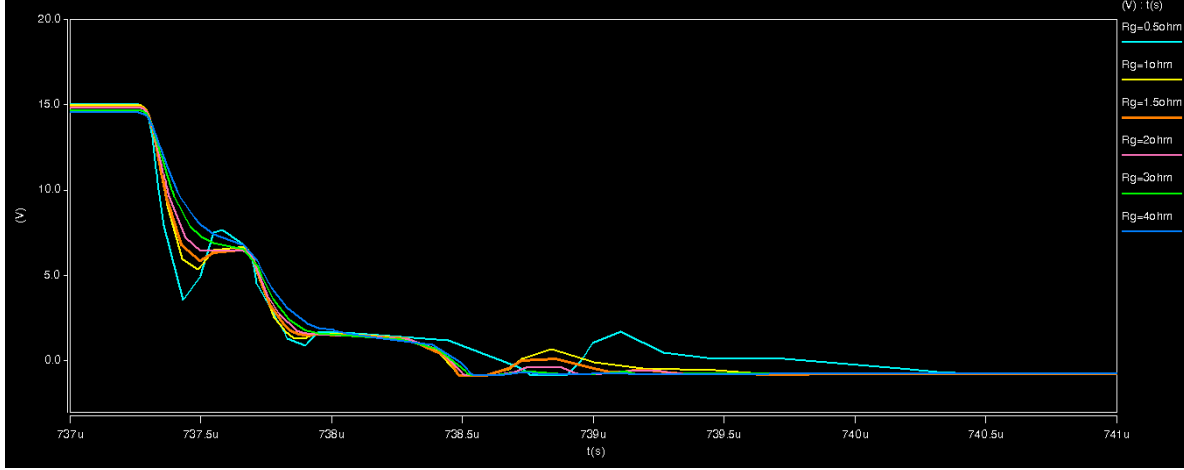
Şekil 20 (a)' da farklı  $R_g$  değerleri için herhangi bir SR' nin gate gerilimi değişimi görülmektedir. Şekil 20 (b)' de yükselen kenar ve Şekil 20 (c)' de düşen kenar genişletilmiş olarak verilmiştir. Görüldüğü gibi  $R_g$  değeri arttıkça SR' nin iletme ve kesime geçmesi gecikmektedir. Fakat ilk başta gate-source kondansatörünün kısa devre gibi davranışı, yükselen kenardaki iletim gecikmesini düşen kenara göre daha kısa tutmaktadır. Diğer taraftan,  $R_g$  değişiminin gate geriliminin salınımı üzerine etkileri de Şekil 20' de gözlenmektedir. Büyük  $R_g$  değerleri, rezonans salınımını sönmülemde daha etkili görünürken, SR' lerin gövde diyotunun iletim aralığını da artırmaktadır.



(a)



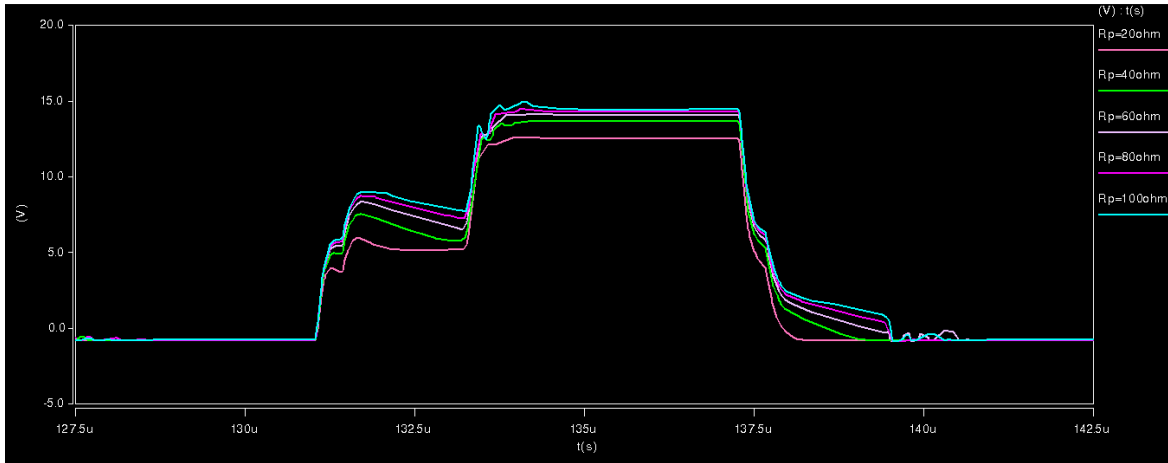
(b)



(c)

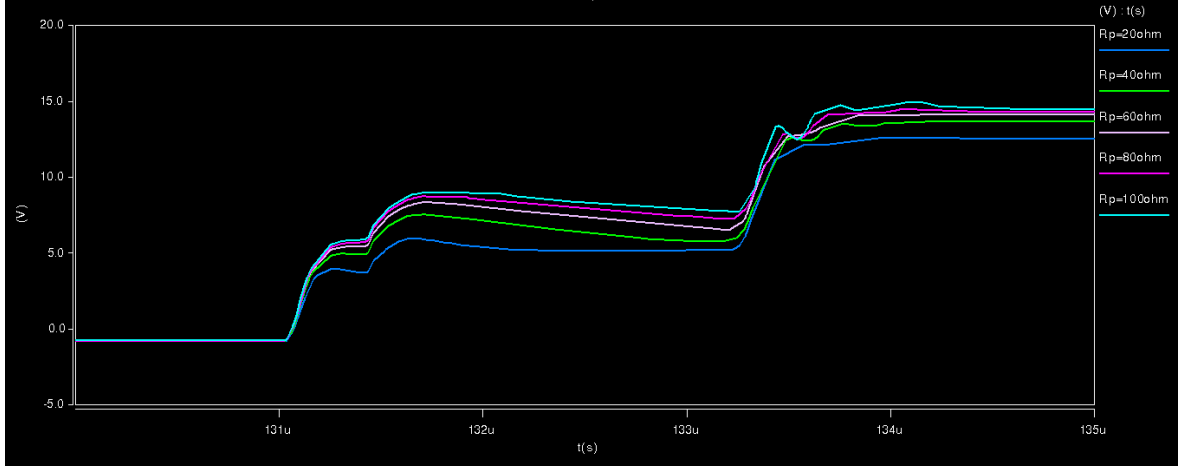
**Şekil 20** (a) Farklı  $R_g$  değerleri için SR gate kontrol sinyallerinin değişimi (b) yükselen kenar ve (c) düşen kenar.  $R_p=82 \Omega$ ,  $C_{GS}=5 \times 9.62 \text{ nF}$ ,  $L_e=28 \text{ nH}$ .

Gate geriliminin farklı  $R_p$  değerleri için değişimi Şekil 21' de verilmiştir. Paralel bağlı dirençlerin değeri düştükçe gate-source kondansatörlerinin şarj akımı azalır ve gate gerilimlerinin tepe değeri daha düşüktür. Böylece kondansatörlerin şarjı/deşarjı gecikir ve SR'lerin gövde diyotunun iletim periyodu artar. Aynı zamanda düşük değerli  $R_p$  direncinin üzerindeki iletim kayıpları yüksektir. Teorik analiz sonuçlarında olduğu gibi gate geriliminin salınımlarında, düşük  $R_p$  direncinin olumlu etkisi vardır fakat çok belirgin etkisi yoktur. Bu yüzden genel olarak  $R_p$  mümkün olduğu kadar büyük seçilebilir. İlk tasarım için kabul edilen  $5 \times \text{SR}$  parametreleri için yapılan simülasyon çalışmasında,  $R_p$  direnci  $150 \Omega$  civarına yaklaştığında gate geriliminin kalitesi bozulmuştur ve yüksek değerli salınımlar meydana gelmiştir. Bu yüzden ilk tasarım için yükselen ve düşen kenarlarındaki gecikmeler göz önünde bulundurularak  $82 \Omega$ 'luk direnç tercih edilmiştir.

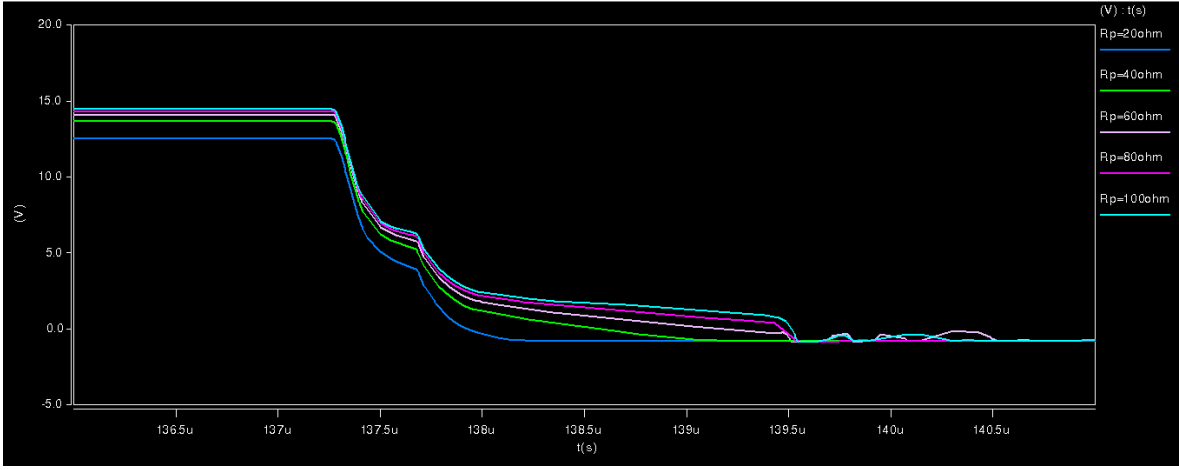


(a)





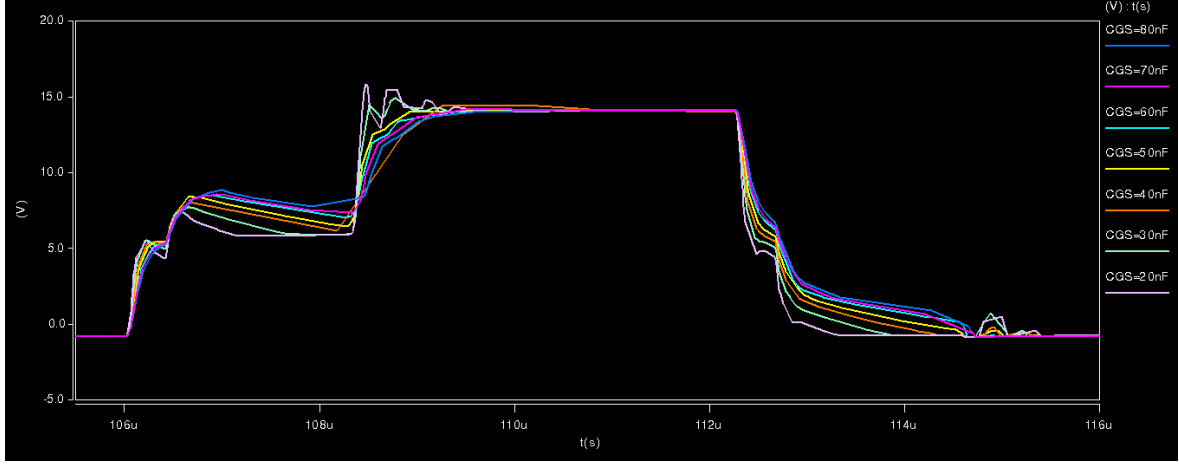
(b)



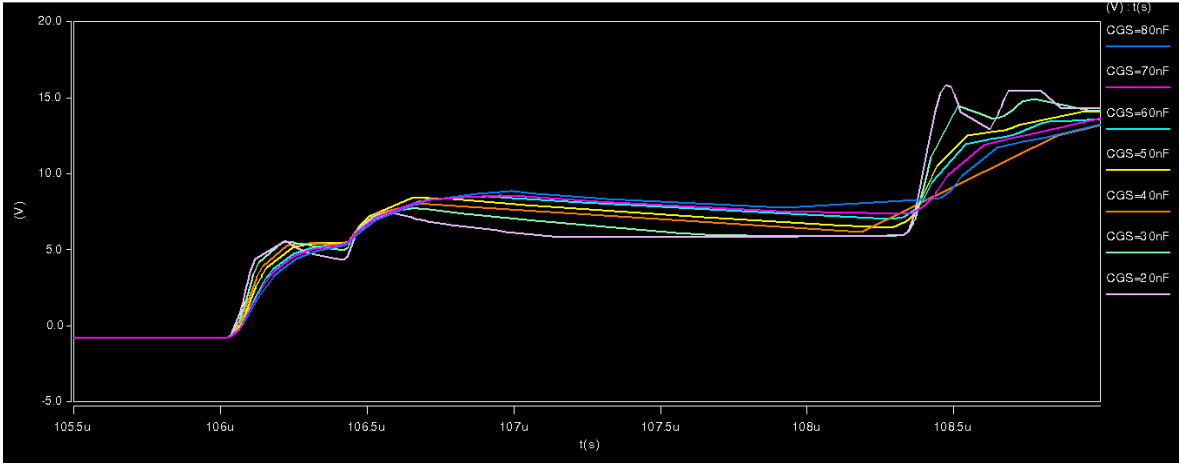
(c)

**Şekil 21** (a) Farklı  $R_p$  değerleri için SR gate kontrol sinyallerinin değişimi (b) yükselen kenar ve (c) düşen kenar.  $R_p=82 \Omega$ ,  $C_{GS}=5 \times 9.62 \text{ nF}$ ,  $L_e=28 \text{ nH}$ .

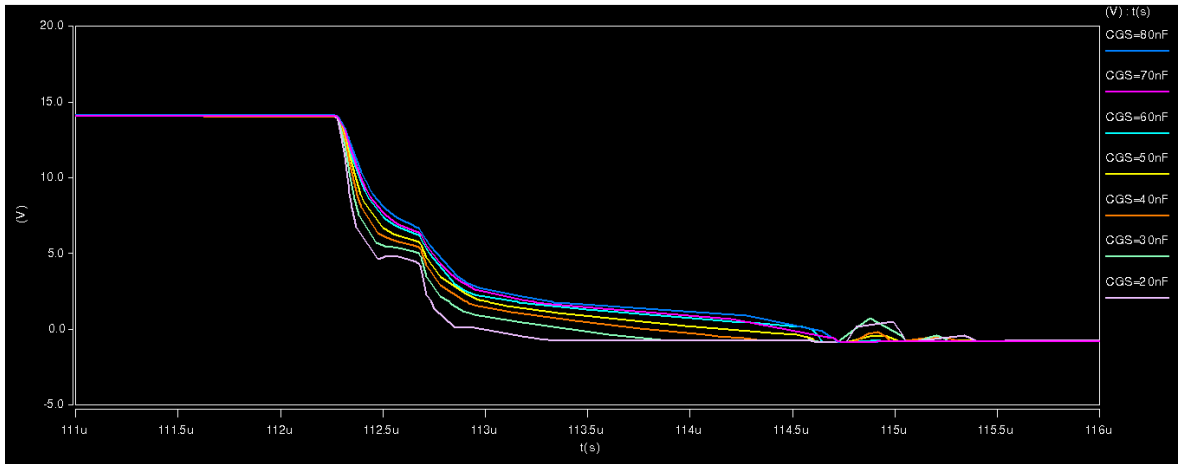
Gate geriliminin farklı  $C_{GS}$  değerleri için değişimi Şekil 22’ de verilmiştir.  $C_{GS}$  değerleri paralel bağlanan SR’ lerin sayısını ifade etmektedir. Paralel bağlı SR’lerin sayısı arttıkça  $C_{GS}$  değeri artmaktadır ve kondansatörlerin şarjı/deşarjı daha uzun zaman almaktadır. Bu durum, Şekil 22 (b) ve (c)’ de gate geriliminin yükselen ve düşen kenar değişimlerinde görülebilmektedir. Ayrıca gate gerilimindeki salınımın frekansı paralel bağlı SR’ lerin sayısı azaldıkça artmaktadır ve kullanılan  $R_g$  ve  $R_p$  dirençlerinin salınımı sönmülemde yeterli olmadığı görülmektedir. Benzer şekilde gate-source kondansatörlerinin değeri arttıkça gate geriliminin salınım frekansı azalmaktadır. Gate geriliminin salınımı açısından, kullanılan  $R_g$  ve  $R_p$  dirençlerinin, 5-8 adet SR’nin paralel bağlanması durumu için uygun olduğu görülmektedir.



(a)



(b)

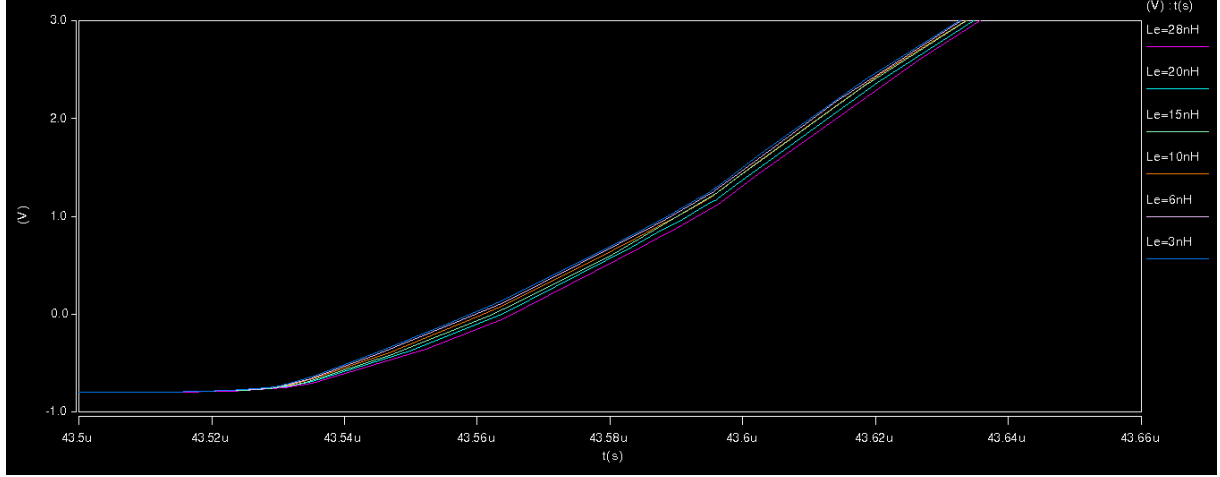


(c)

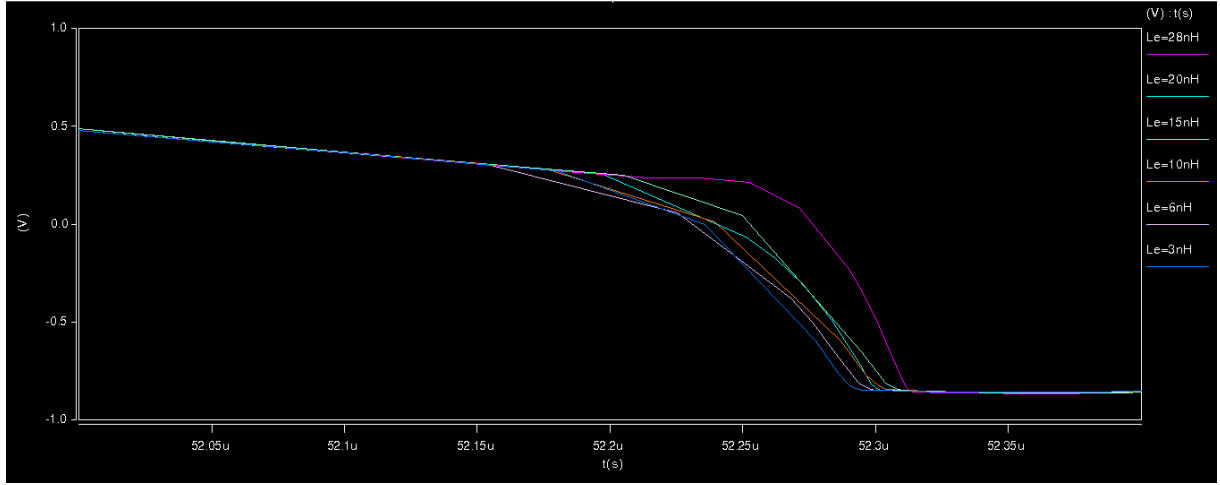
**Şekil 22** (a) Farklı  $C_{GS}$  değerleri için SR gate kontrol sinyallerinin değişimi (b) yükselen kenar ve (c) düşen kenar.  $R_p=82 \Omega$ ,  $R_g=4 \Omega$ ,  $L_e=28 \text{ nH}$ .

Şekil 23' de değişen  $L_e$  değerine karşılık gate geriliminin yükselen ve düşen kenardaki değişimi görülmektedir.  $L_e$  değerinin artışı yükselen kenarda kondansatör şarjını sınırlayarak

gate geriliminin eşik gerilimine erişme süresini uzatır. Düşen kenarda ise kondansatörün deşarjı sınırlandıđı için gate geriliminin düşüşü gecikir.  $L_e$ ' nin yüksek olması yükselen kenarı olumsuz etkilerken düşen kenarı olumlu yönde etkilemektedir. Fakat  $L_e$ ' nin geređinden büyük olması SR' nin kesime girişini zorlaştırarak dönüştürücünün çalışmasını bozabilir.



(a)

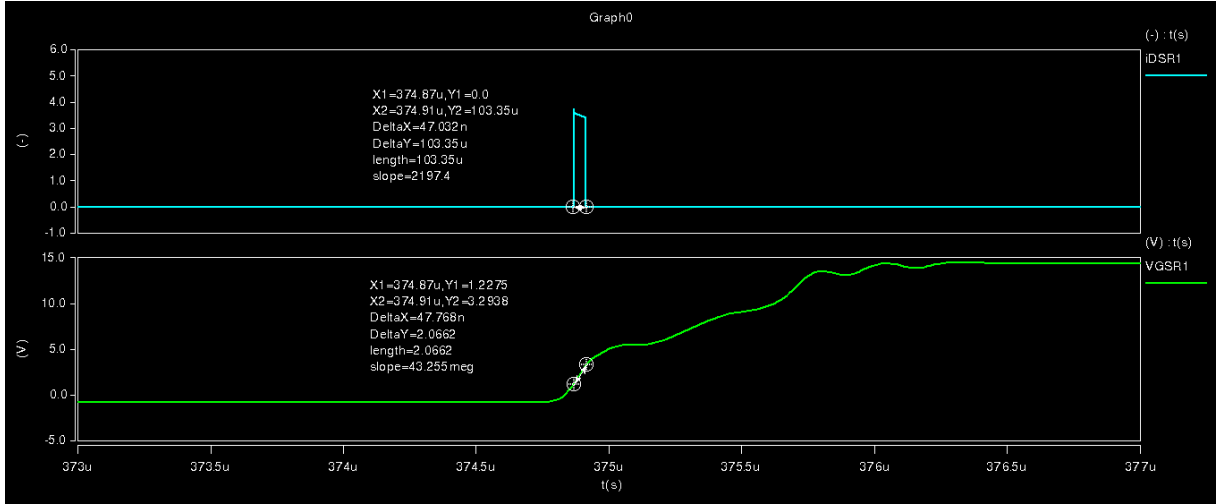
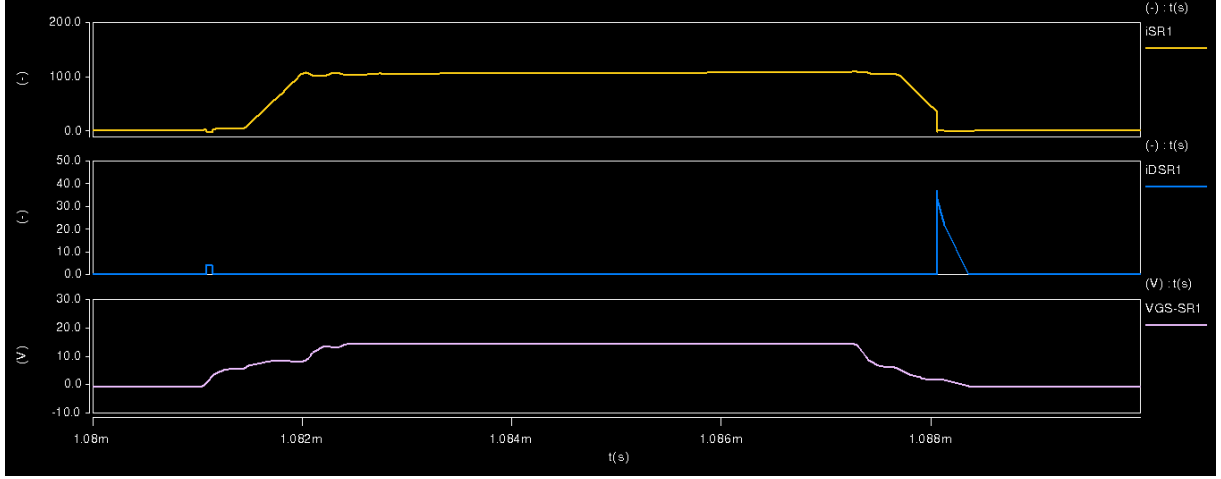


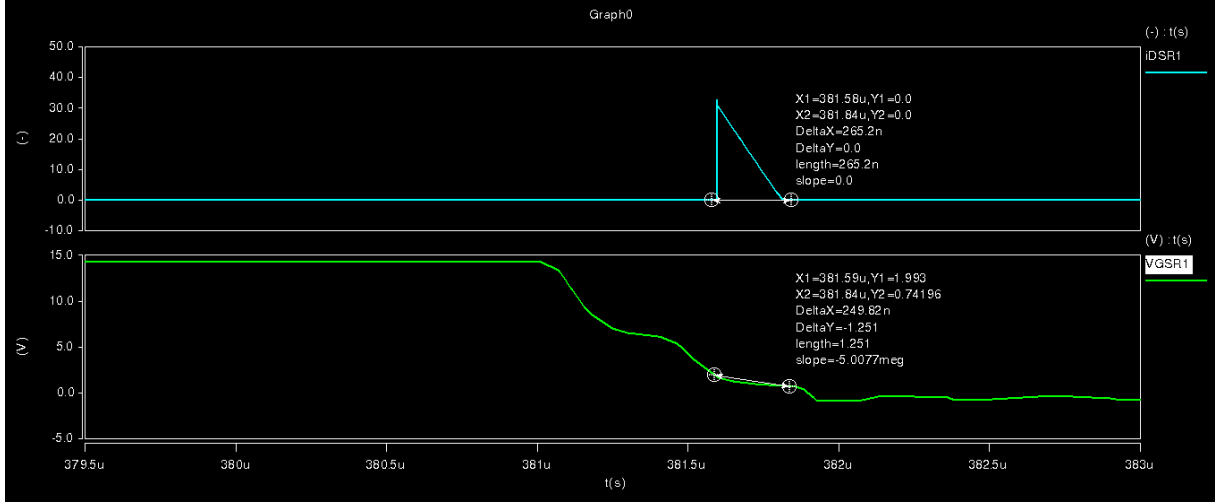
(b)

**Şekil 23** Farklı  $L_e$  değerleri için SR gate kontrol sinyallerinin deđişimi (a) yükselen kenar ve (b) düşen kenar.  $R_p=82 \Omega$ ,  $R_g=4 \Omega$ ,  $C_{GS}=5 \times 9.62 \text{ nF}$ .

Teorik analiz ile simülasyon uyumluluđunu deđerlendirmek ve gate gerilimin etkilerini daha yakından incelemek için 5xSR,  $R_g=4 \Omega$ ,  $L_e=28 \text{ nH}$  ve  $R_p=82 \Omega$  için simülasyon yapılmıştır.  $SR_1$  ve gövde diyotu  $D_{SR1}$ 'in iletimini gösteren simülasyon sonuçları Şekil 24'de verilmiştir.  $SR_1$  iletime geçinceye kadar  $D_{SR1}$  gövde diyotu iletime geçer ve yükselen kenarda 47 ns iletimde kalmaktadır. Diyotun iletime geçmesi belli bir zaman aldığı için gate gerilimi 1 V' a erişinceye kadar belli bir gecikme göstermiştir. Kesime girme işleminde ise gövde diyodu

tekrar iletme geer ve 265 ns sure iletimde kalır. Bu sureler, teorik analiz sonucunda elde edilen surelere yakın deęerdedir. Fakat simlasyonda anahtarın iletme geme eşik gerilimi tanımlanamadıęı için zellikle ykselen kenarda diyodun iletme ve kesime getięi zamanlar beklenenden daha getir. Diyot 1 V gecikme ile iletme geerken, beklenildięi gibi 2V'dan sonra deęil de 3V'dan sonra kesime girmiştir. Bununla beraber, genel olarak simlasyon sonularının teorik analiz sonularıyla uyumlu olduęu grlmektedir.



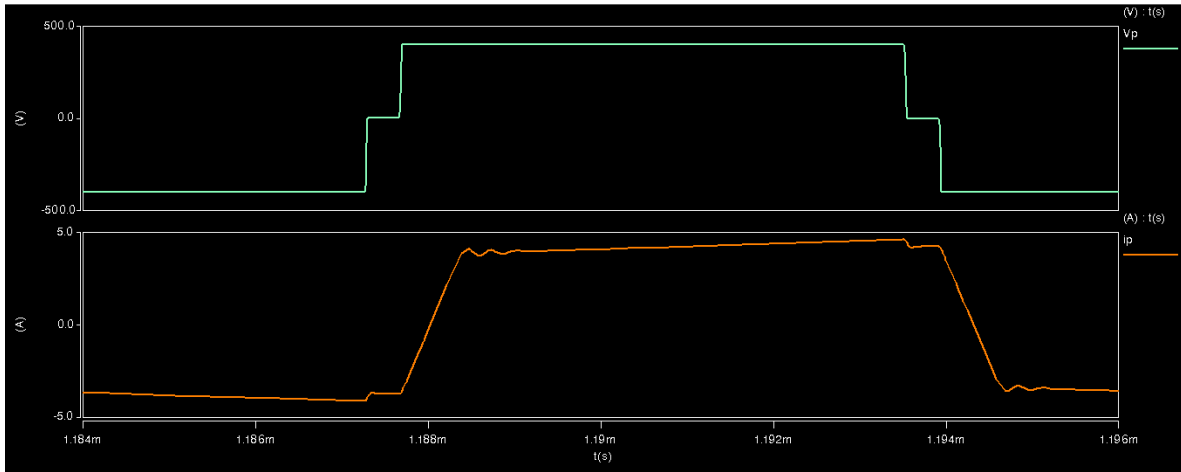


(c)

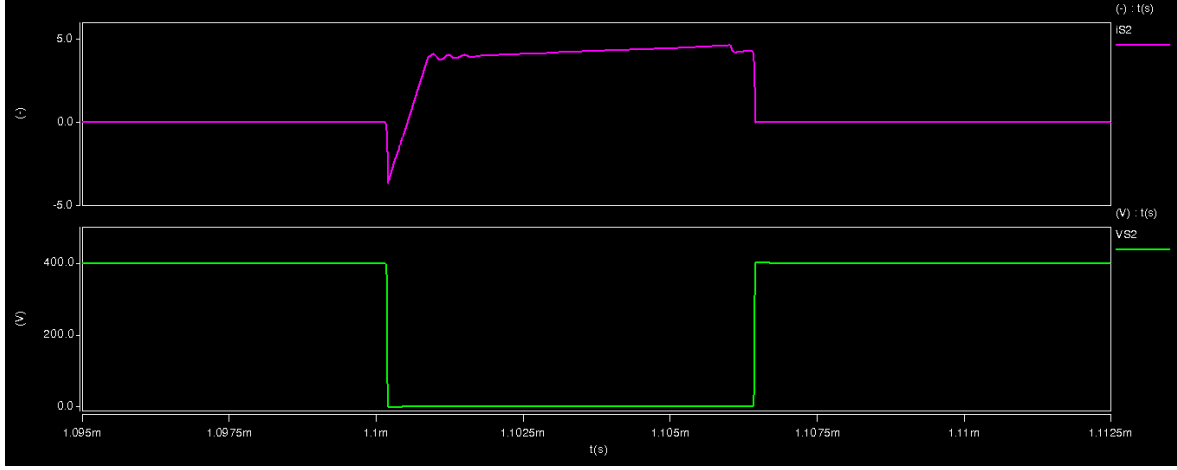
**Şekil 24** (a) SR1 ve gövde diyotu iletim aralıkları (b) yükselen kenar, (c) düşen kenar.

$$R_g=4\Omega, R_p=82\Omega, C_{GS}=5 \times 9.62\text{ nF}, L_e=28\text{ nH}.$$

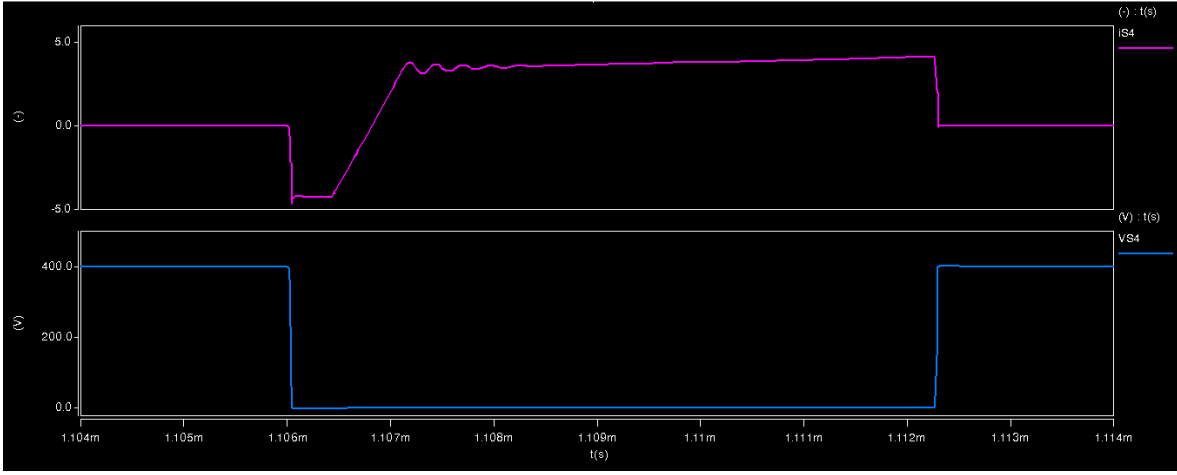
Son olarak PSFB dönüştürücünün temel çalışma prensibini gösteren primer akım ve gerilimi dalga şekilleri Şekil 25' de verilmiştir. Devrenin geciken ve gecikmeyen kollarındaki anahtarların ZVS ile iletme geçişi Şekil 26' da verilmektedir.  $S_1$  ve  $S_4$  anahtarları gecikmeyen kolda,  $S_2$  ve  $S_3$  anahtarları geciken kolda bulunmaktadır. Sırasıyla  $S_2$  ve  $S_4$  anahtarlarının ZVS ile iletme geçişi Şekil 26 (a) ve (b)' da görülmektedir. Her iki anahtar da tam yük altında başarılı bir şekilde ZVS ile iletme geçmektedir. Simülasyon sonuçlarından elde edilen dalga şekillerinin teorik analiz sonuçları ile uyumlu olduğu görülmektedir.



**Şekil 25** Primer akım ve gerilim dalga şekilleri.  $R_g=4\Omega, R_p=82\Omega, C_{GS}=5 \times 9.62\text{ nF}, L_e=28\text{ nH}$ .



(a)



(b)

**Şekil 26** Primer anahtarlarının ZVS ile iletme geçişi, (a) geciken B kolundaki S2 anahtarı, (b) gecikmeyen A kolundaki S4 anahtarı.  $R_g=4\Omega$ ,  $R_p=82\Omega$ ,  $C_{GS}=5 \times 9.62\text{ nF}$ ,  $L_e=28\text{ nH}$ .

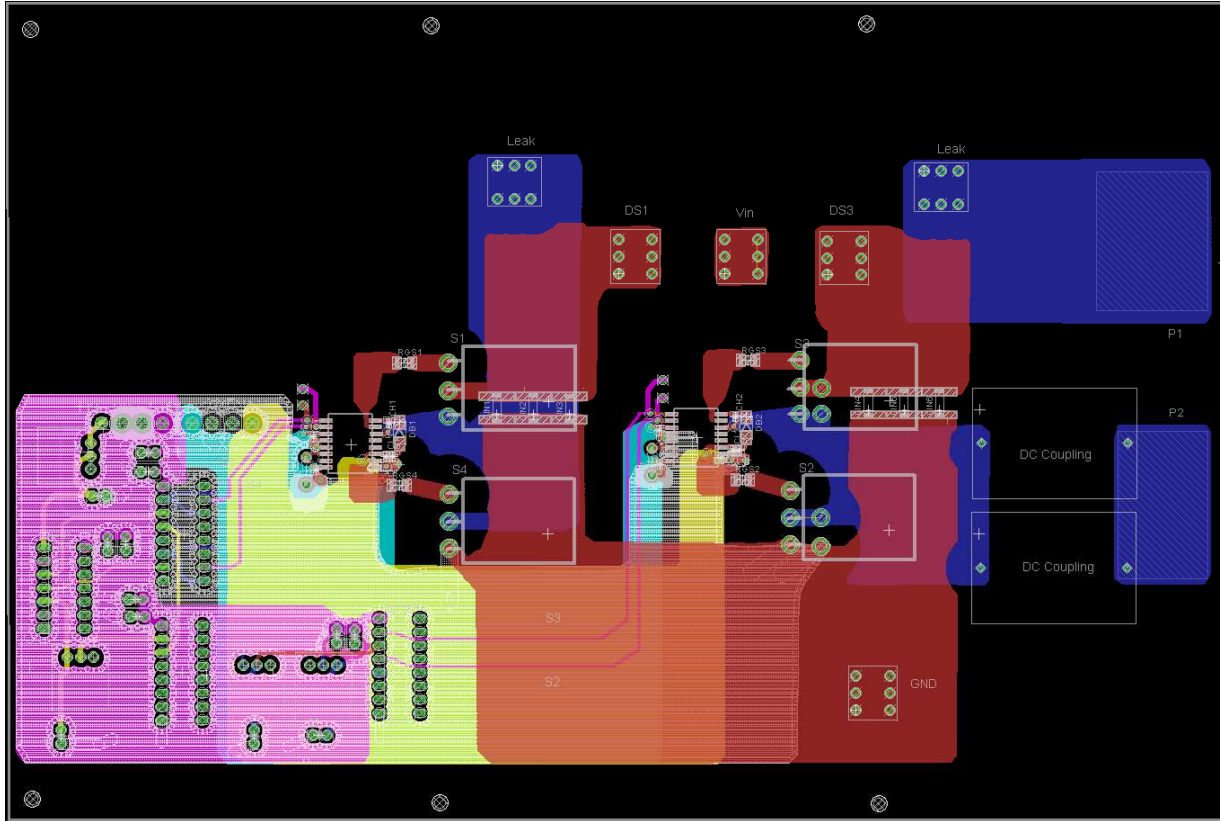
## 2.5 PCB tasarımları

Devrenin teorik olarak tasarımı tamamlandıktan ve simülasyon ile çalışması test edildikten sonra PCB tasarımı yapılmıştır. PCB tasarımı, güç katı ve kontrol katı ile beraber 6 katmanlı olacak şekilde tasarlanmıştır. En üstten en alta doğru katmanların fonksiyonu aşağıdaki gibi sıralanmıştır.

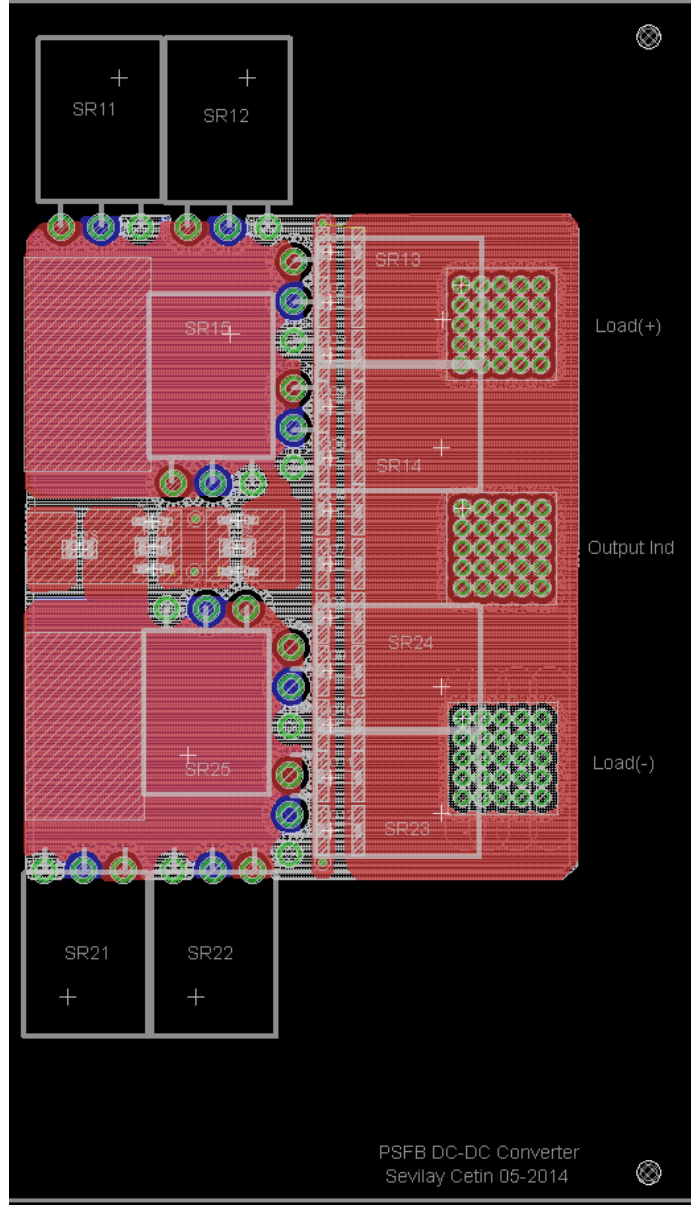
- 1) Kırmızı: Primer tarafında  $V_{DC}$  giriş geriliminin pozitif ve negatif polarite çıkışlarının bağlantıları ve iletim yolları. Sekonder tarafında yükün pozitif polariteli çıkışının bağlantısı ve SR'lerin kontrolü için kendinden tetiklemeli sürme devresinin elemanlarının bağlantısı.
- 2) Beyaz: Primer tarafında MOSFET sürücülerinin toprak bağlantısı ve sekonder tarafında yükün negatif polariteli çıkış ucunun bağlantısı.

- 3) Pembe: Primer tarafındaki anahtarın kontrol sinyalleri için kontrol devresinin iletim yolları ve açık çevirim kontrol devresini oluşturan lojik kapıların beslenmesi için 1-15 V arasında güç kaynağının iletim hattı.
- 4) Sarı: Primer tarafındaki MOSFET sürücülerinin 15 V beslemesi için güç kaynağı iletim hattı.
- 5) Açık Mavi: Primer tarafındaki MOSFET sürücülerinin 5 V beslemesi için iletim hattı
- 6) Koyu Mavi: Güç transformatörünün primer bağlantıları ve iletim hattı. Sekonder tarafında, SR'lerin Drain bağlantıları. Aynı zamanda primer MOSFET' lerinin lojik kontrol sinyallerini oluşturan iletim yolları.

Tasarlanan PCB devre şeması Ek 1' de ve deve kart üzerinde yerleşimi Şekil 27' de verilmiştir. İlk olarak 5xSR için tasarım yapılmıştır. İlk ölçüm sonuçlarının başarılı olarak elde edilmesinden sonra daha çoklu SR'lerin paralel bağlandığı PCB devre tasarımları yapılmıştır. 8 ve 10 adet SR' nin paralel bağlanabilmesi için yapılan tasarımlar Şekil 28' de verilmiştir. Tasarlanan PCB' lerin üretilmiş hali Şekil 29' da görülmektedir. Projede, SR'lerin sürülmesini sağlayan kendinden tetiklemeli sürme devresi performans analizine odaklandığı için, planlanan bu tasarımlarda yalnızca sekonder tarafı yeniden üretilecek, primer tarafı ilk üretimdeki haliyle kullanılacaktır.



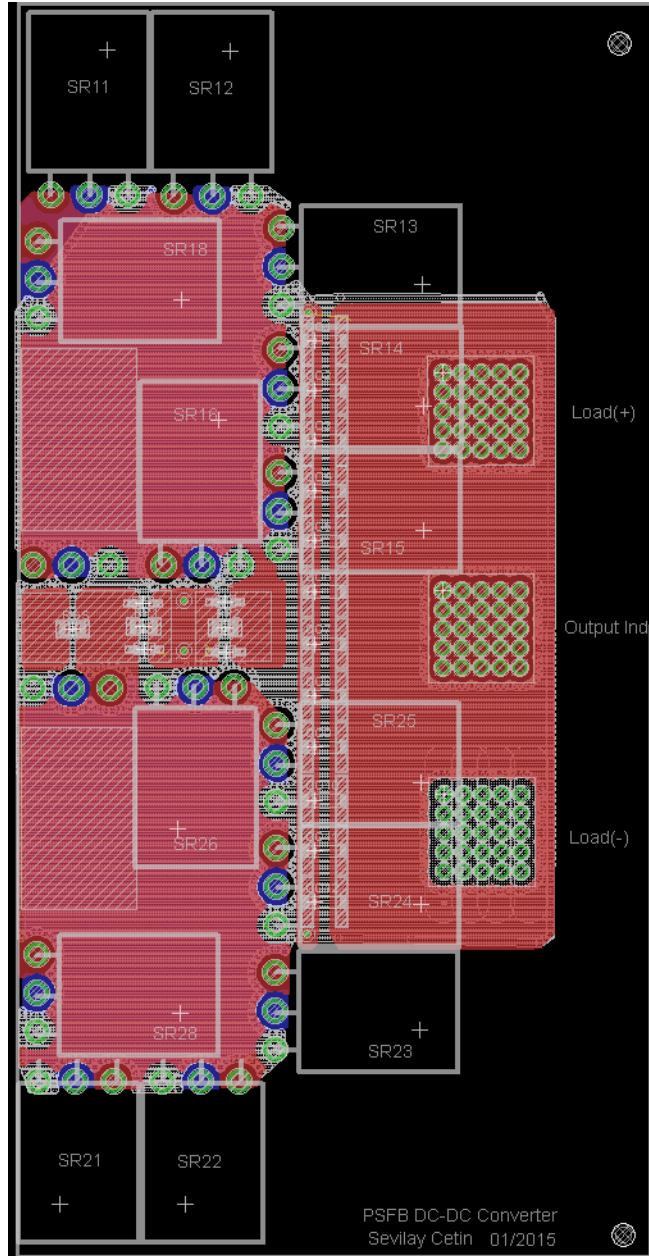
(a)



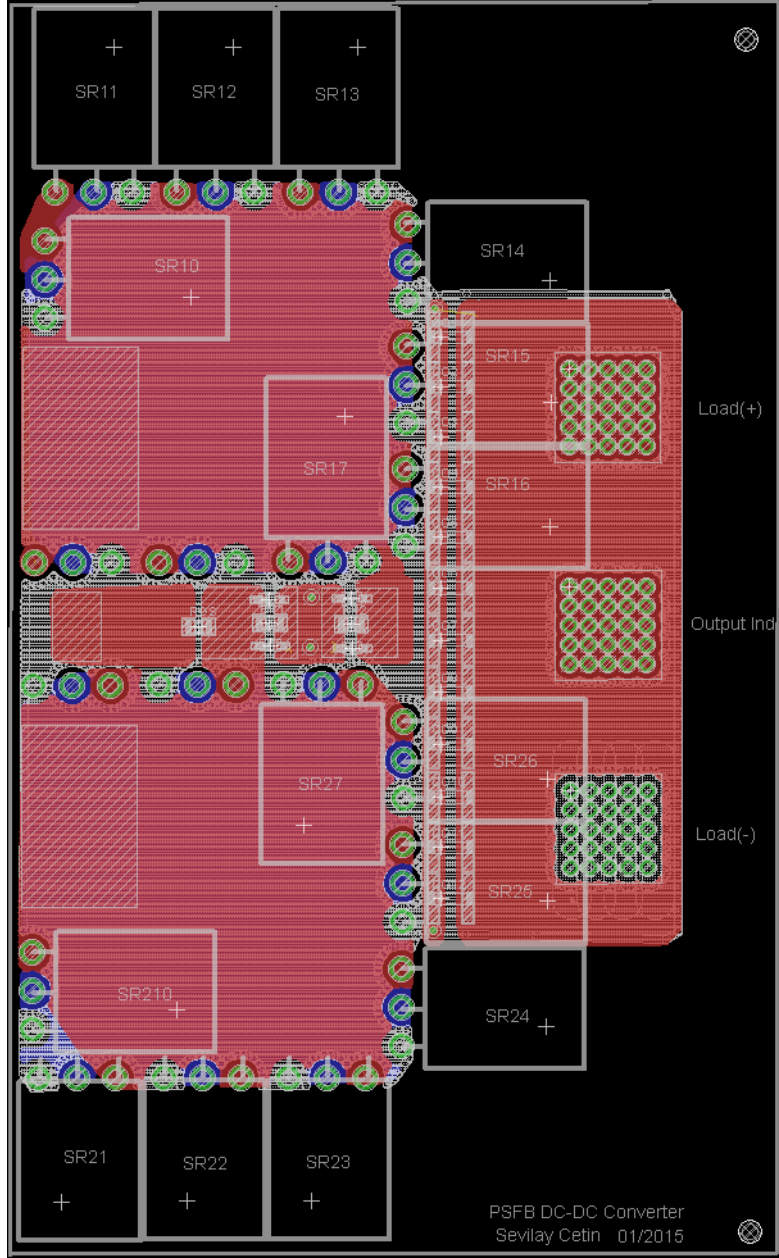
(b)

**Şekil 27** PSFB dönüştürücünün primer ve sekonder tarafı için PCB tasarımı: (a) Primer tarafı PCB tasarımı, (b) 5xSR'nin paralel bağlandığı sekonder tarafı.



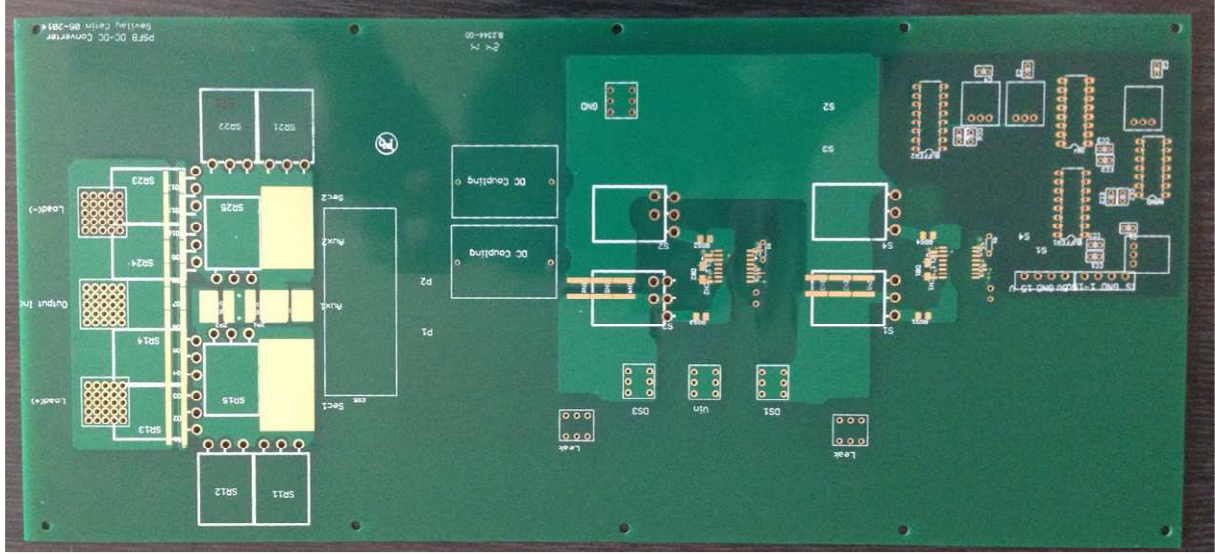


(a) 8xSR

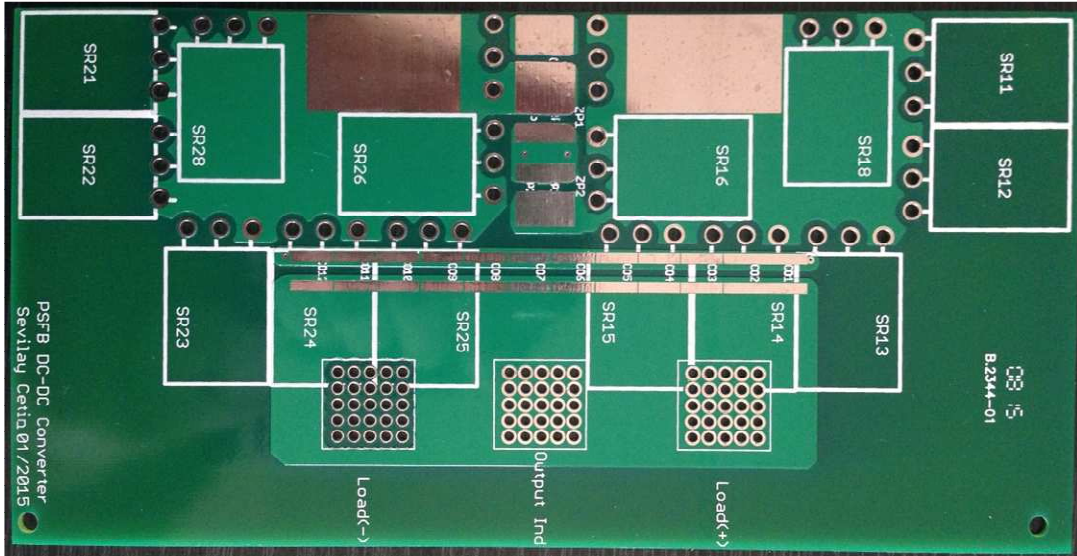


(b) 10xSR

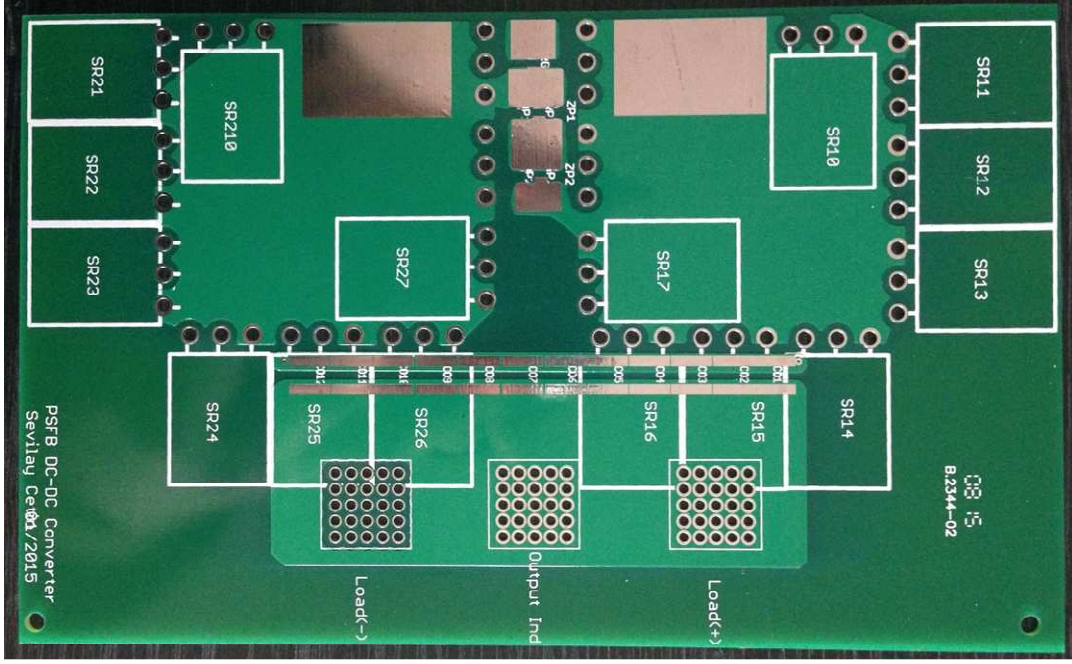
**Şekil 28** Çoklu SR'lerin bağlandığı sekonder tarafı PCB tasarımı: (a) 8xSR'nin paralel bağlandığı durum. (b) 10xSR'nin paralel bağlandığı durum.



(a) 5xSR için üretim



(b) 8xSR için üretim

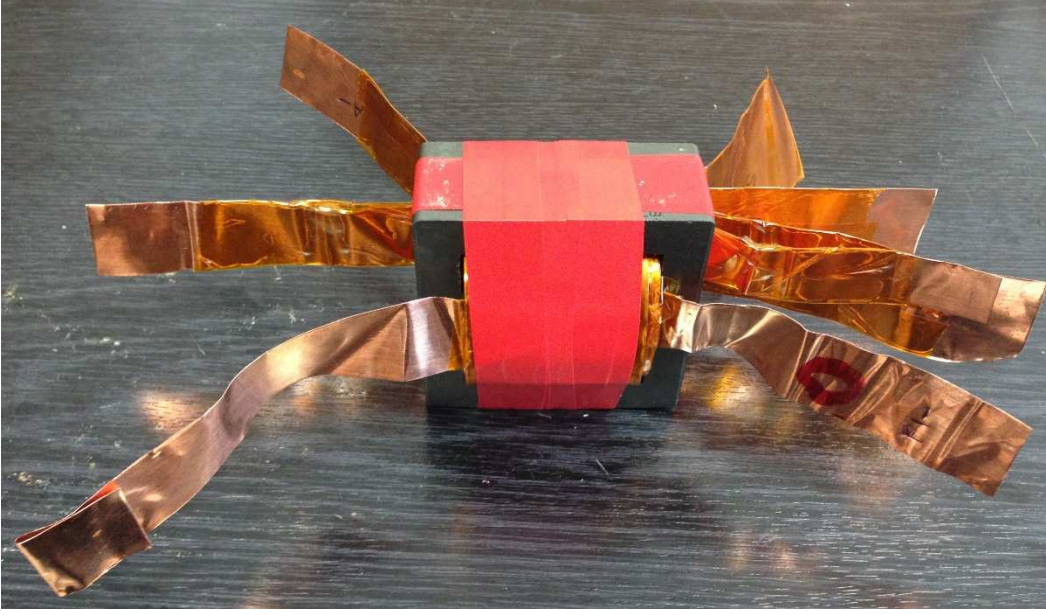


(c) 10xSR için üretim

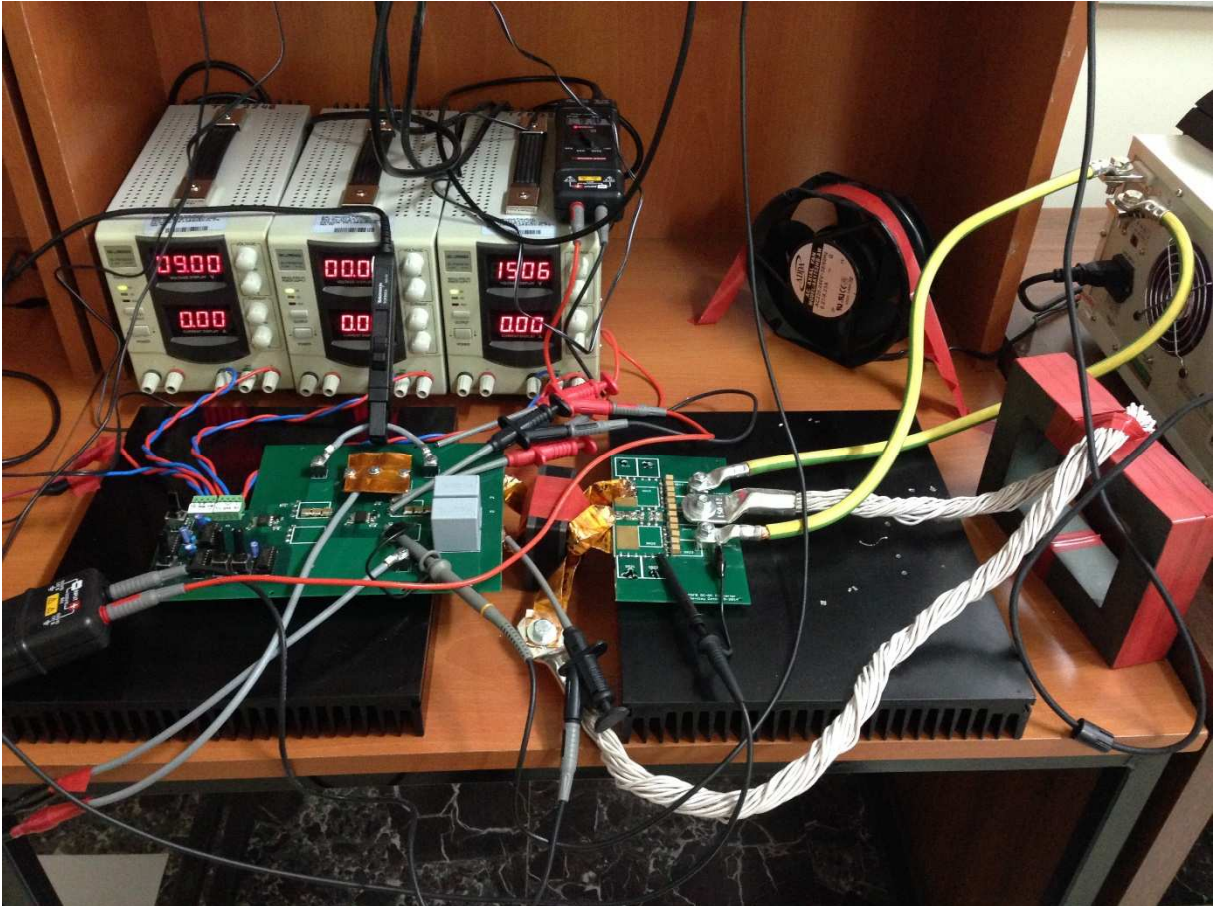
Şekil 29 Üretilen PCB kartları.

## 2.6 Prototip Tasarımı ve Deneysel Ölçüm Sonuçları

Belirlenen tasarım parametreleri doğrultusunda prototip tasarımı yapılmıştır. Prototip tasarımına manyetik elemanların tasarımı ile başlanmıştır. Çıkış filtre endüktansı kesik bacaklı U tipi nüve kullanılarak tek spir olarak tasarlanmıştır. Transformör tasarımında, kendinden tetiklemeli sürme devresi için kullanılacak yardımcı sargının transformatörün diğer sargılarıyla kaçak endüktansını düşük tutmak için interleaved transformör tasarımı kullanılmıştır. Yardımcı sargı primer ve sekonder sargılarının arasına tek spir olarak yerleştirilmiştir. Sarımların yerleşme sırası, sekonder sargı (1spir)-primer sargılar (25 spir)-yardımcı sargı (1 spir)-sekonder sargı (1 spir) şeklindedir. Tasarlanan transformör ve dönüştürücü prototipinin fotoğrafı Şekil 30' da görülmektedir. Projenin odaklandığı nokta kendinden tetiklemeli devrenin performans analizi ve verim olduğu için fotoğrafta görüldüğü gibi devre elemanlarının yerleşiminde güç yoğunluğu dikkate alınmamıştır. Devrenin çalışması 3-10 arasında paralel bağlı SR' ler için test edilmiştir. Giriş gerilimi olarak 400 V DC gerilim, proje kapsamında satın alınan bir DC güç kaynağından uygulanmıştır. Çıkış yükü olarak, yine proje kapsamında satın alınan bir elektronik yük bankası kullanılmıştır. Kontrol devresi açık çevirim ve analog olarak tasarlanmıştır. Potansiyometrelerin kullanımı ile kontrol sinyalleri arasındaki faz farkları ayarlanabilmektedir.



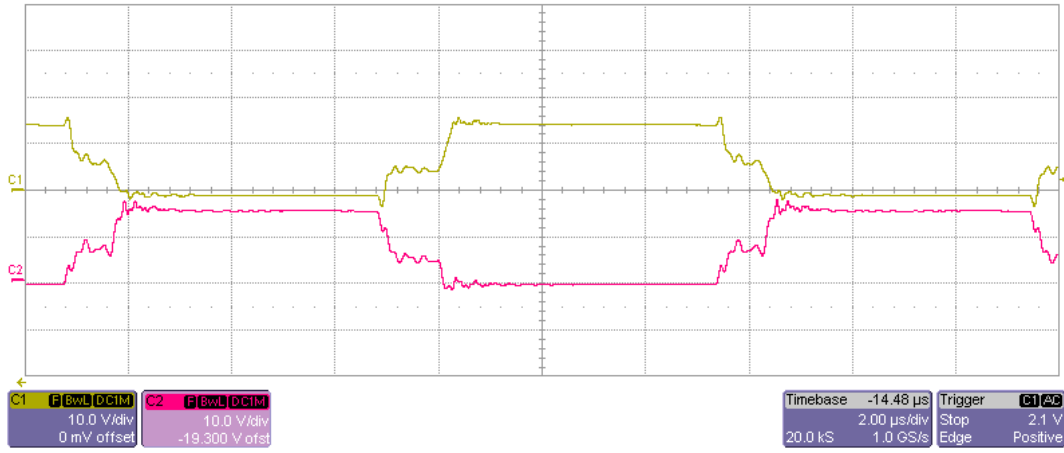
(a)



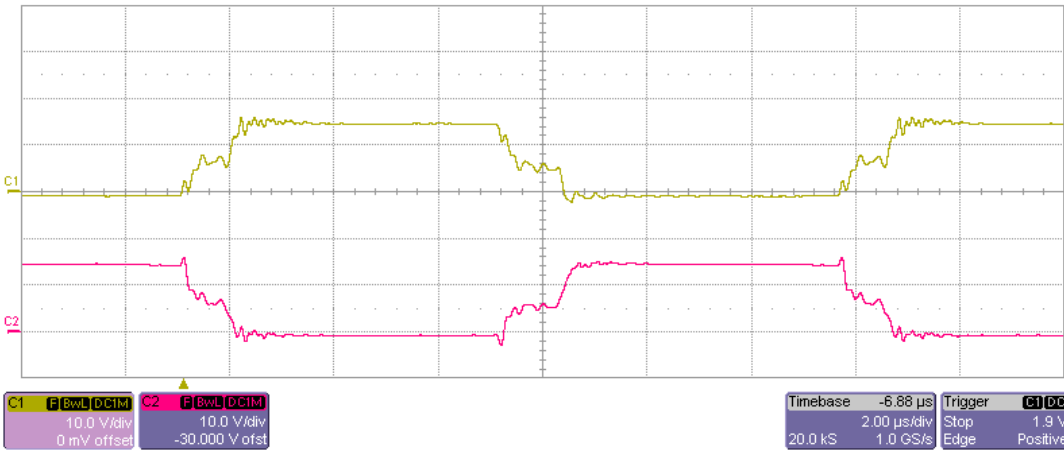
(b)

Şekil 30 (a) Tasarlanan transformatör ve (b) PSFB DC-DC dönüştürücü prototipinin fotoğrafı.

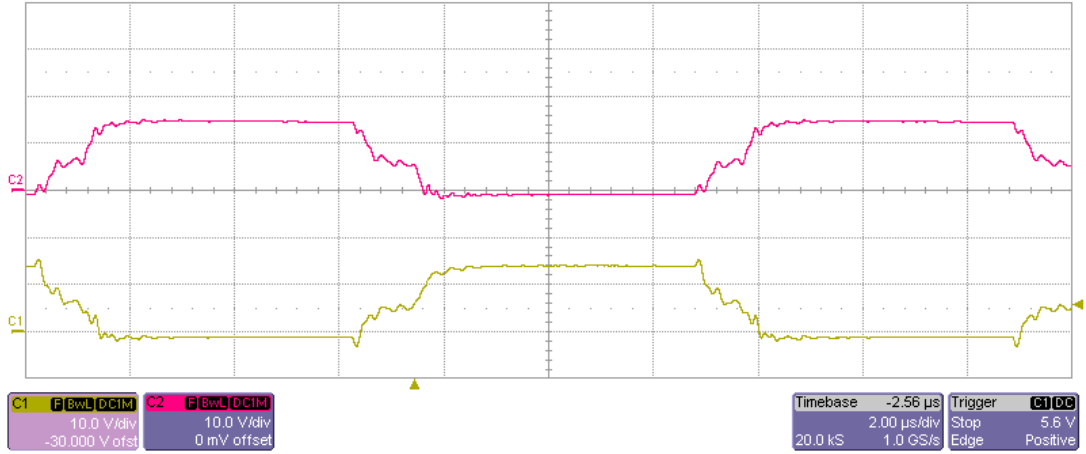
3-10 arasında paralel bağlanan SR çalışma durumları için tam yük altında gate kontrol gerilimi ölçüm sonuçları Şekil 31' de verilmiştir. Ölçüm sonuçlarında, her bir SR' nin gerilim seviyesinin ölü zaman ve diğer çalışma aralıklarında, 2 V eşik geriliminin üzerinde olduğu görülmektedir. Ölçüm sonuçlarından, SR' lerin 3-8 sayıda paralel bağlanmaları durumunda gate gerilimlerinin güvenilir kalitede olduğu söylenebilir. Bununla beraber 10xSR durumu için gate geriliminin kalitesi bozulmaktadır. Henüz giriş geriliminin tamamı uygulanmamışken shot-through problemi oluşmuş ve düşen kenarda kritik gerilim seviyesine sahip bir salınım gözlemlenmiştir. Bu salınım yüzünden, giriş geriliminin tamamı uygulanamamıştır ve 10xSR çalışma durumunun güvenli ve optimum bir çalışmayı göstermediğine karar verilmiştir. Bundan sonraki ölçümlerde 10xSR çalışma durumu test edilmemiştir.



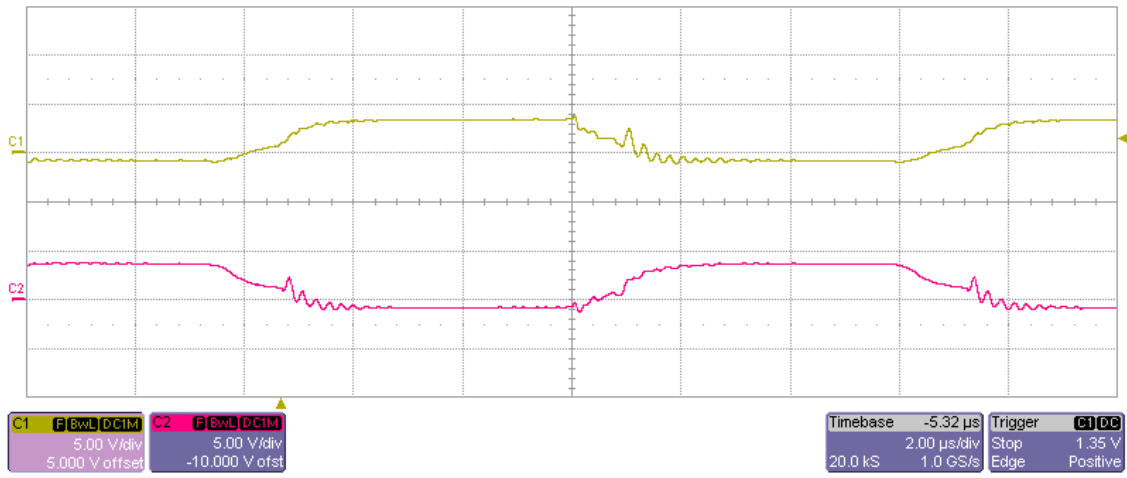
(a) 3xSR



(b) 5xSR



(c) 8xSR

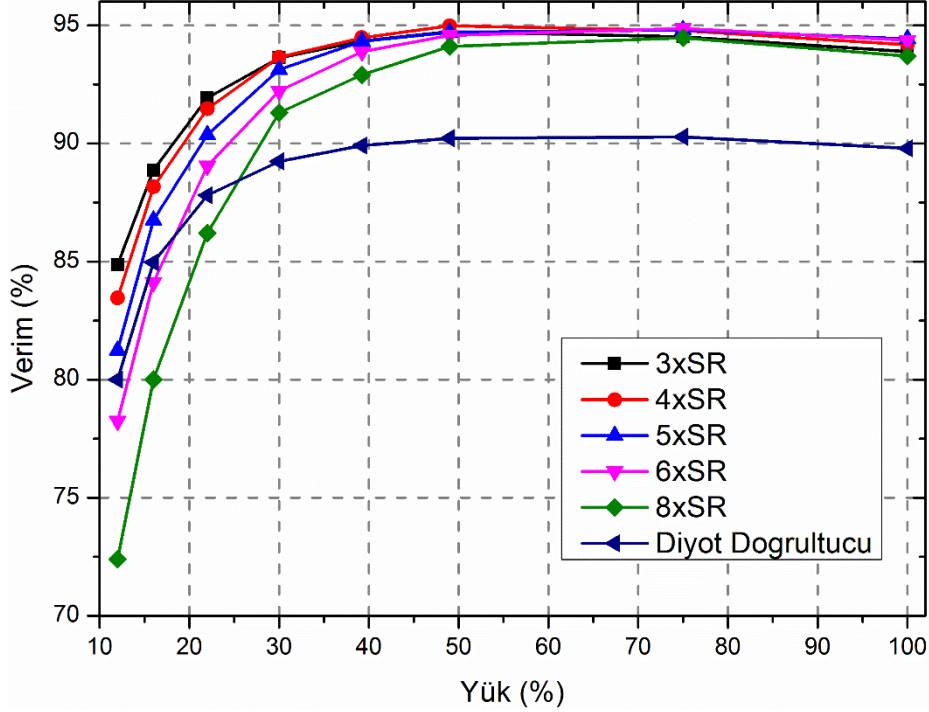


(d) 10xSR

**Şekil 31** Tam yük altında SR' lerin gerilimi dalga şekilleri. (a) 3xSR, (b) 5xSR, (c) 8xSR, (d) 10xSR.  $R_g=3.9 \Omega$ ,  $R_p=82 \Omega$ .

3-8 sayıda paralel bağlantı için verim ölçümleri farklı yük durumlarında Şekil 32' de verilmiştir. Paralel bağlı SR' lerin sayısı arttıkça hafif yüklerde belirginleşen sürme kayıpları yüzünden verim azalmaktadır. Maksimum verim 5xSR çalışma durumunda, yarı yükte %95 ve tam yükte %94.33 olarak elde edilmiştir. Ölçülen verim değerleri diyotlu doğrultucuya göre yaklaşık %5 daha yüksektir. Diyotlu doğrultucu ölçüm sonuçları SR' lerin kontrol sinyallerinin kaldırılmasıyla ölçülmüştür. Ölçüm sonuçlarında görüldüğü gibi 3xSR ve 4xSR çalışma durumlarının hafif yüklerdeki verimleri daha yüksek olmasına karşın tam yükte verim değeri azalmaktadır. Teorik analiz sonuçlarında olduğu gibi verim değeri 5xSR'den daha fazla paralel bağlantının olduğu durumlarda gövde diyotunun iletim kaybının artması sebebi ile azalmaktadır. Ölçüm sonuçları Şekil 16'da verilen teorik analiz sonuçlarından çok az farklıdır. Bunun sebebi, teorik hesaplamalarda  $L_e$  değerinin tam olarak bilinmemesinden dolayı 28 nH olarak kabul edilmesidir. Bu ölçümlerde pcb tasarımının yapılmadığı, 3xSR, 4xSR, 6xSR

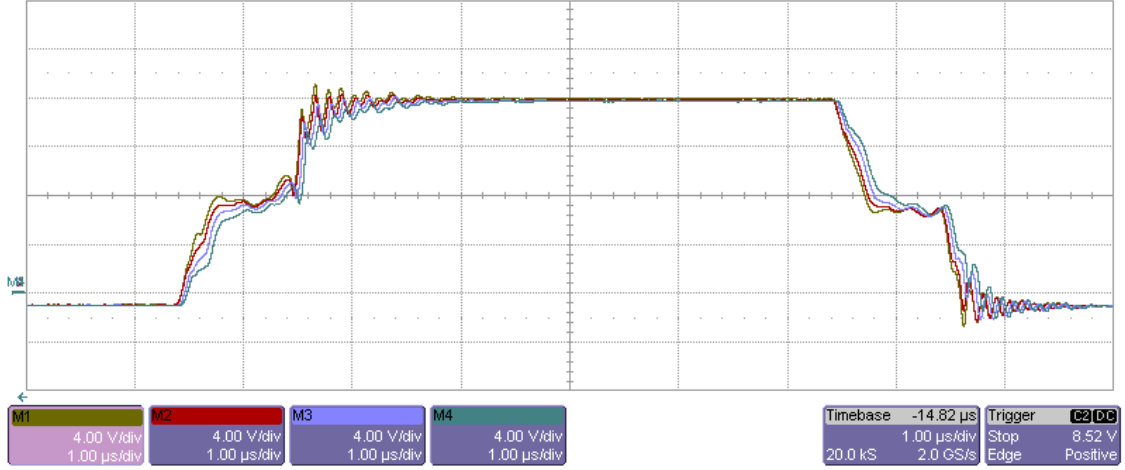
çalışma durumları, 5xSR çalışma durumu için tasarlanan pcb kartının kullanılmasıyla elde edilmiştir. 5xSR için tasarlanan pcb kartına anahtar eklenerek veya çıkarılarak ölçümler yapılmıştır.



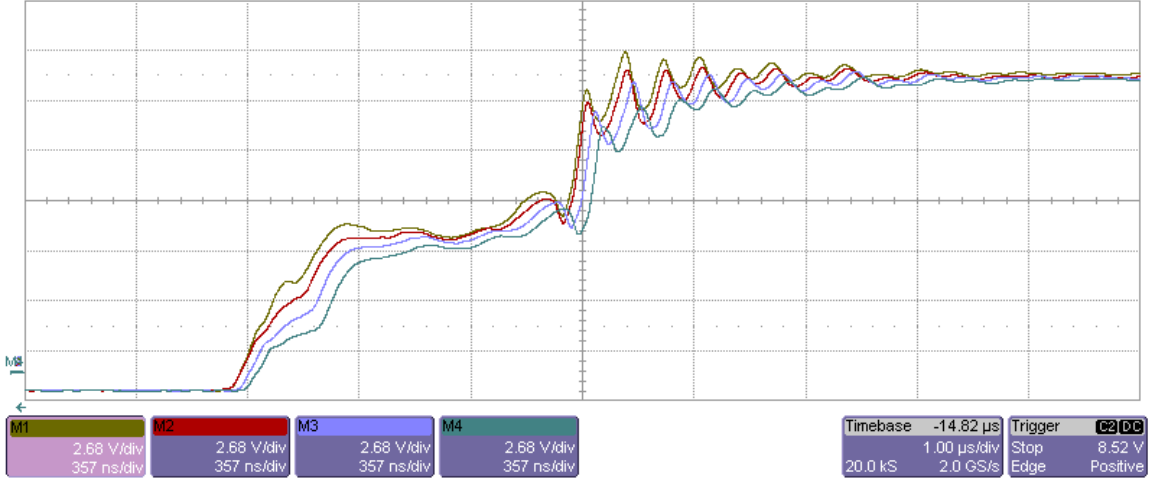
**Şekil 32.** Yük durumuna göre 3-8xSR çalışma durumları için verim eğrileri.  $R_g=3.9\Omega$ ,  $R_p=82\Omega$ .

$R_g$  değerindeki değişimin gate gerilimi cevabı ve verim üzerine etkisini incelemek için ölçümler yapılmıştır. Bu ölçümler  $R_g$  optimizasyonunu sağladığı gibi aynı zamanda hafif yüklerde verimin geliştirilmesinde yardımcı olabilir. En yüksek verim 5xSR durumunda elde edildiği için, ölçümlere bu çalışma durumu ile devam edilmiştir. Şekil 33' de, gate gerilimi cevabı görülmektedir. Ölçüm sonuçlarında, şeklin altında verilen her bir  $R_g$  değeri için elde edilen gate gerilimi cevabı osiloskop hafızasında depolanmıştır.  $R_g$  değeri yükseldikçe gate gerilimin salınımının genliği azalmaktadır. Aynı zaman da genişletilmiş Şekil 33 (b) ve (c)' de verilen yükselen ve düşen kenar değişimlerinde görüldüğü gibi  $R_g$ 'nin yükselişi gate-source kondansatörünün şarj/deşarj süresini uzatmaktadır. Yani SR'nin gövde diyotunun iletim süresinin uzatmaktadır. Ölçüm sonuçlarının, teorik ve simülasyon sonuçları ile uyumlu olduğu görülmektedir.

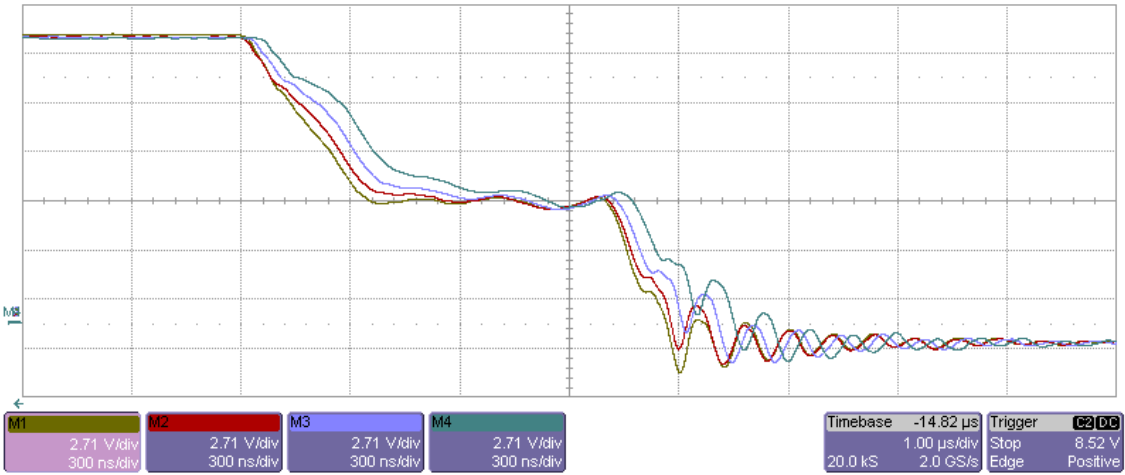




(a)



(b)

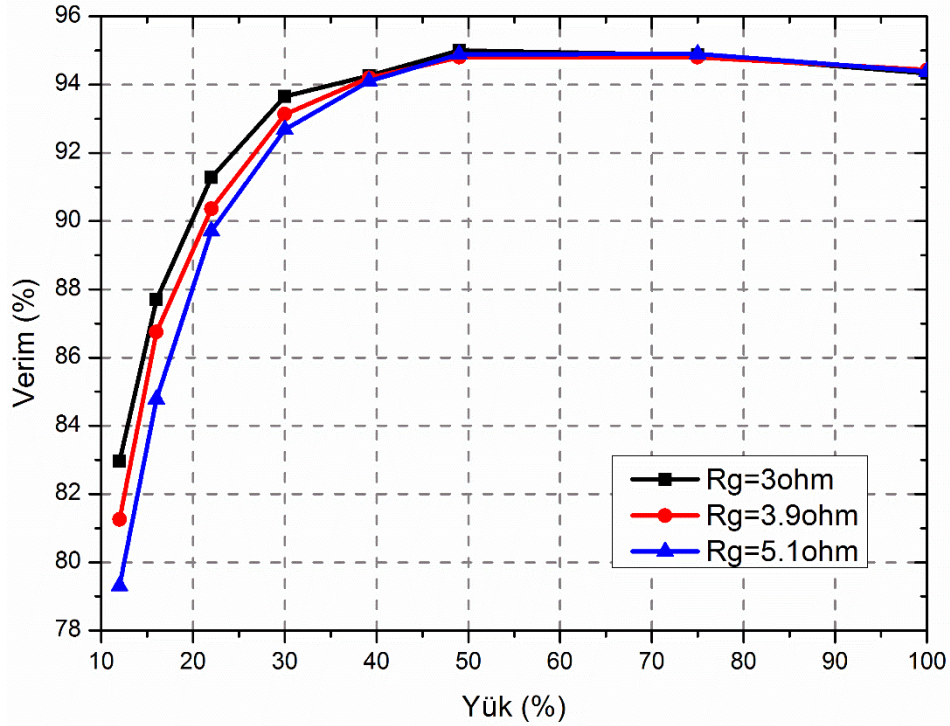


(c)

**Şekil 33** (a) Farklı  $R_g$  değerleri için SR' nin gate gerilimi değişimi, (b) genişletilmiş yükselen kenar ve (c) genişletilmiş düşen kenar.  $R_p=82 \Omega$ ,  $C_{GS}=5 \times 9.62 \text{ nF}$ .

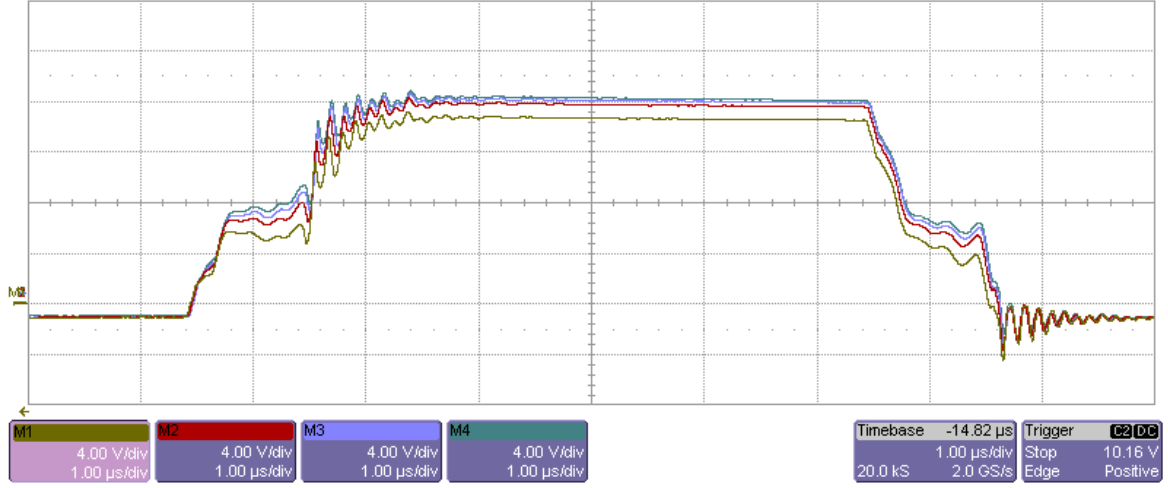
M1:  $R_g=2\Omega$ , M2:  $R_g=3\Omega$ , M3:  $R_g=3.9\Omega$ , M4:  $R_g=5.1\Omega$ .

Gate direnci,  $R_g$ ' nin verim üzerine etkilerini incelemek için farklı değerler için verim ölçümleri yapılmıştır ve yük koşullarına göre elde edilen eğriler Şekil 34' de verilmiştir. Bu ölçüm, en yüksek verimin sağlandığı 5xSR çalışma durumunda, dönüştürücünün hafif yükteki verimi iyileştiren  $R_g$  değerinin belirlenmesi için yapılmıştır. Ölçüm sonuçlarında görüldüğü gibi,  $R_g$  değeri azaldıkça yüksek yük değerlerinde verim aynı kalırken, hafif yüklerdeki verim iyileşmektedir. Bununla beraber  $2 \Omega$ ' un altındaki değerlerde, SR' lerin gate terminalleri zarar görmüş ve SR' ler bozulmuştur. Bu durumda kritik sınıra çok yakın olmamak amacı ile optimum  $R_g$  değeri  $3 \Omega$  veya  $3.9 \Omega$  olarak belirlenebilir.

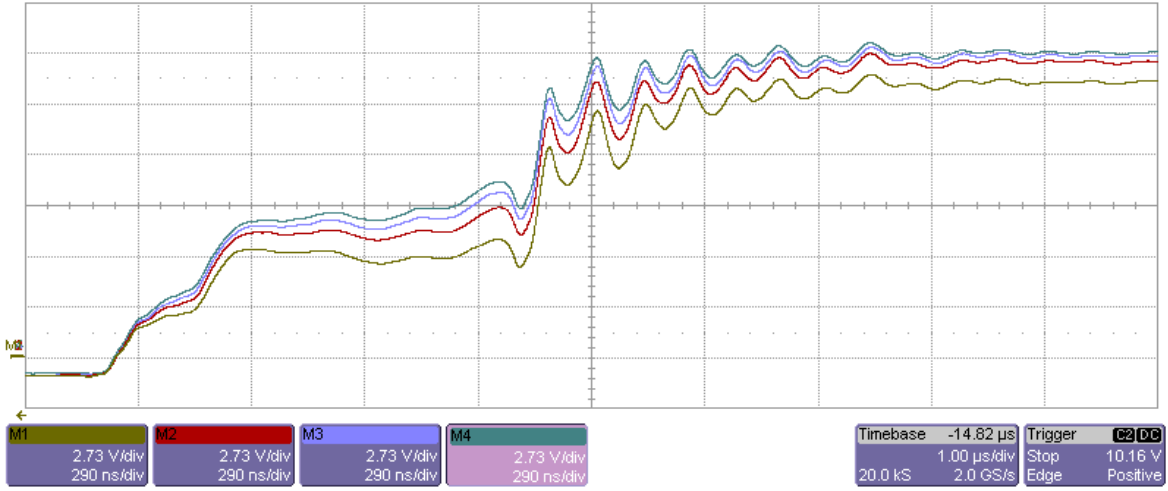


**Şekil 34.** Farklı  $R_g$  değerleri için yük koşullarına göre verim ölçümü.

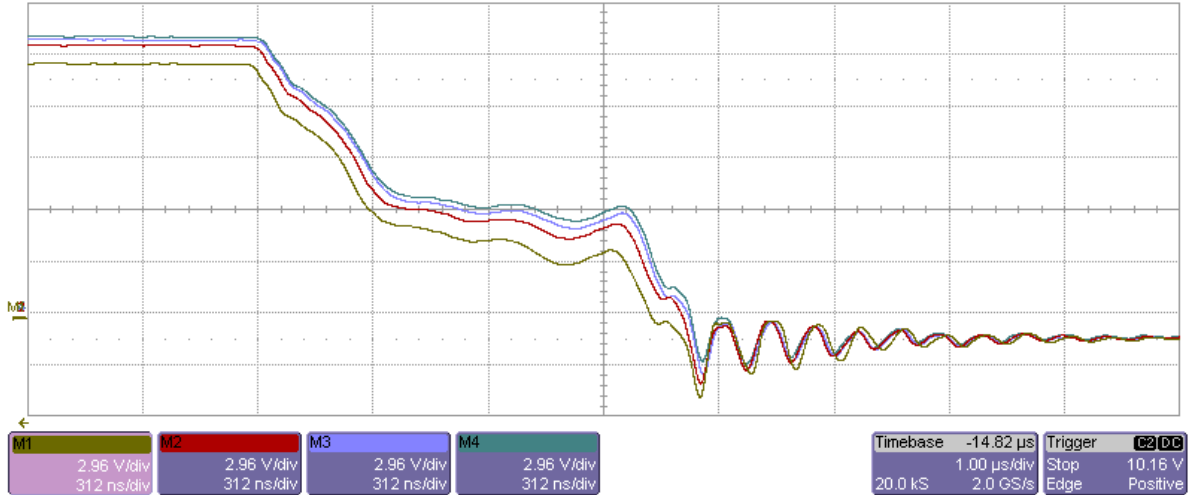
$R_p$  değeri değişiminin gate gerilimi cevabına etkisinin incelenmesi için  $R_g$  direnci sabit tutularak farklı  $R_p$  değerleri için ölçümler yapılmış ve elde edilen sonuçlar Şekil 35' de verilmiştir. Teorik ve simülasyon sonuçlarında olduğu gibi  $R_p$  direncinin artması, kondansatörün şarjını hızlandırmakta ve deşarjını uzatmaktadır.  $R_p$  direncinin küçülmesi, gate şarj akımını sınırladığı için gate-source kondansatörünün şarjını geciktirir ve daha düşük bir değere şarj eder. Düşen kenarda ise gate-source kondansatörüne paralel bağlı  $R_p$  direnci, kondansatörün hızlı bir şekilde deşarj olmasına sebep olur ve SR' nin gövde diyotunun iletim süresini artırır. Bu yüzden büyük değerli bir  $R_p$  seçilmesi dönüştürücü verimi üzerine olumlu etki yapacaktır.



(a)



(b)

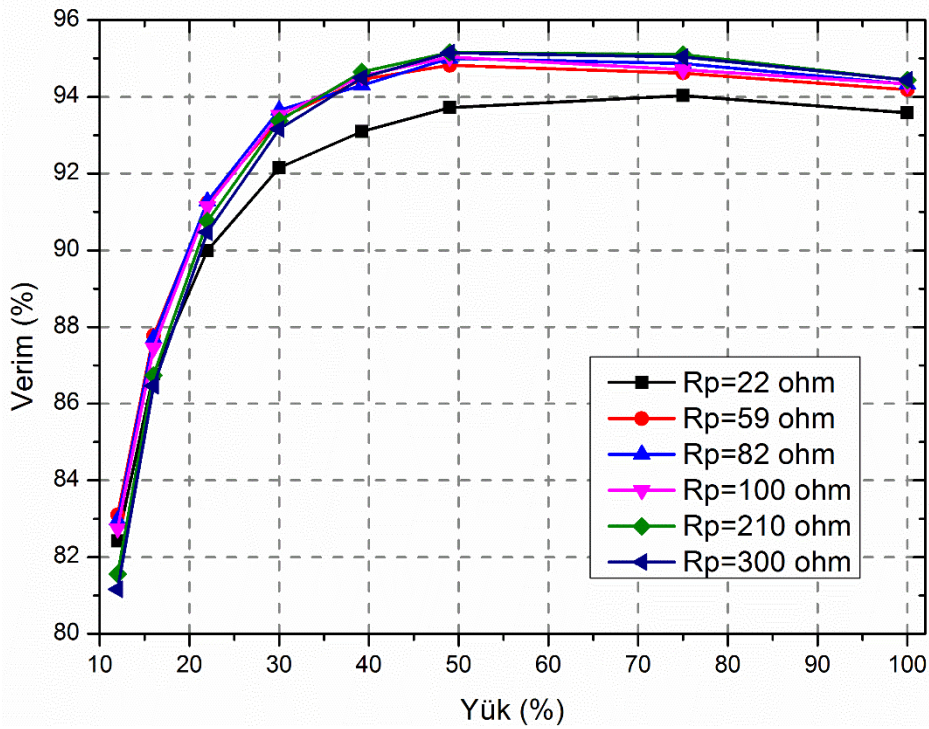


(c)

**Şekil 35** (a) Farklı  $R_p$  değerleri için SR' nin gate gerilimi değişimi, (b) genişletilmiş yükselen kenar ve (c) genişletilmiş düşen kenar.  $R_g=3.9 \Omega$ ,  $C_{GS}=5 \times 9.62 \text{ nF}$ .

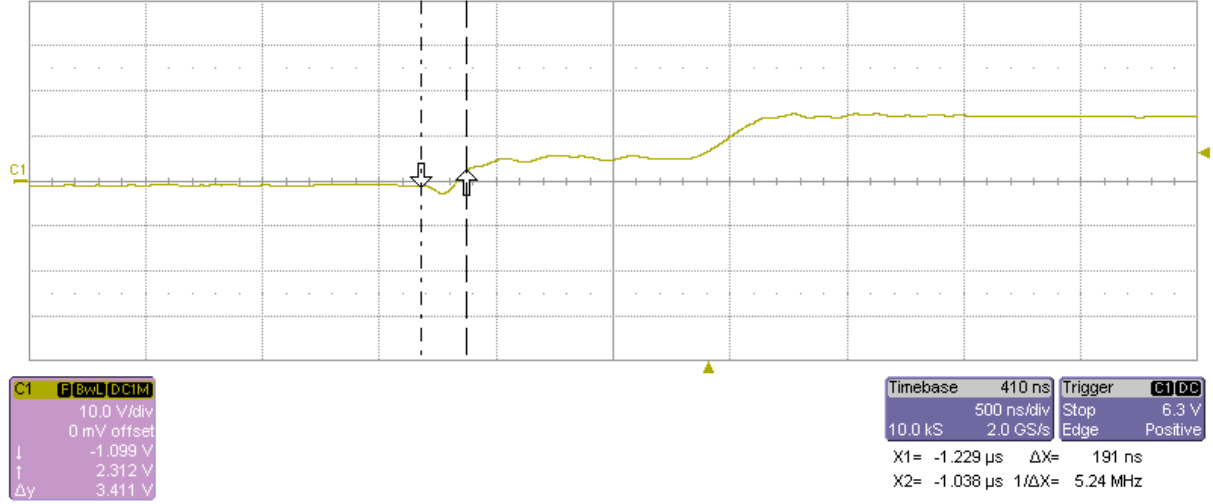
M1:  $R_p=22\Omega$ , M2:  $R_p=39\Omega$ , M3:  $R_p=59\Omega$ , M4:  $R_p=82\Omega$ .

$R_p$  direncindeki deęişimin farklı yük koşullarında verim üzerine etkisi de incelenerek optimizasyonu yapılabilir. Şekil 36  $R_p$  deęişimine karşı elde edilen verim eğrilerini göstermektedir. Bu ölçüm daha önce optimizasyonu tamamlanan  $3 \Omega$  deęerinde  $R_g$  direnci ve  $5xSR$  çalışma durumları ile elde edilmiştir.  $R_p$  deęerinin azalması, sürücü kayıplarını artırdığı için verim deęeri azalmaktadır. En yüksek verim  $300 \Omega$  deęerinde elde edilmiştir ve bu deęerden sonra verim deęeri deęişmemiştir.  $R_p=300 \Omega$  iken yarı yükteki verim %95.15 ve tam yükte %94.44 olarak ölçülmüştür.  $R_p$  deęerinin artması, gerilimdeki salınımın sönümlenmesini çok hafif zayıflattığı için hafif yüklerdeki belirginleşen sürücü kayıpları yüzünden verim hafif yüklerde  $R_p$ ' nin artmasıyla biraz azalmaktadır. Bu durumda gate geriliminin kalitesi ve hafif yükteki verim açısından  $R_p$  deęeri  $82 \Omega$  olarak seçilebilir.

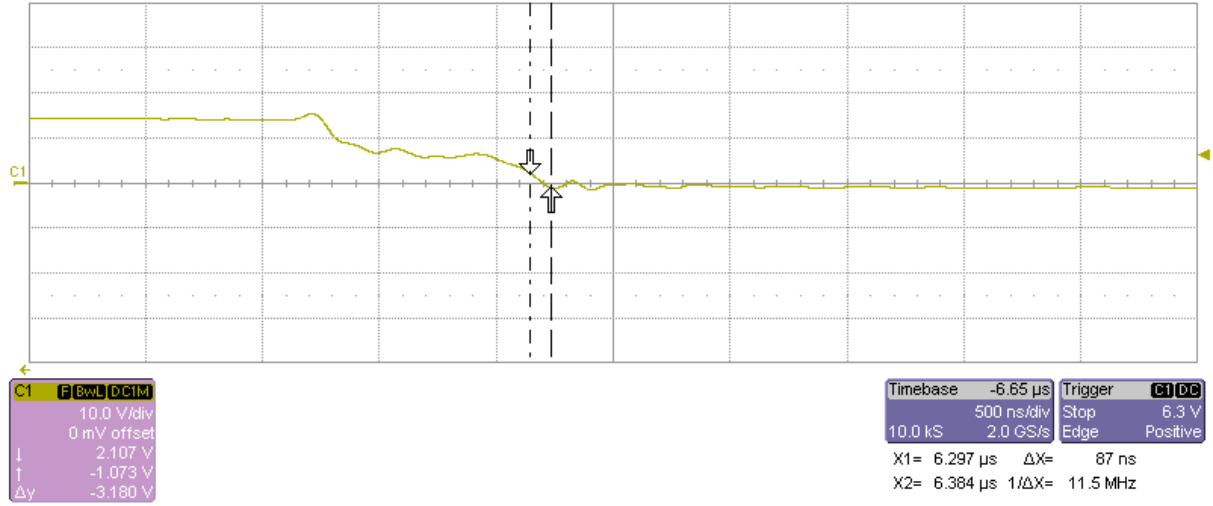


Şekil 36  $R_p$  deęişimine göre farklı yük durumlarda verim ölçümü.

Kendinden tetiklemeli sürücü devrenin optimizasyonu yapıldıktan sonra, iletme kesime geçiş aşamaları, tam yük altında Şekil 37' de daha yakından incelenmiştir. Şekil 37 (b) ve (c) genişletilmiş zaman ekseninde yükselen ve düşen kenar deęişimlerini göstermektedir. İletime geçiş sırasında, gate gerilimi, eşik gerilimi  $2 V$ ' a yaklaşık  $191 ns$ ' de ulaşmaktadır. Benzer şekilde, kesime giriş sırasında, gate gerilimi eşik gerilimine düştükten  $87 ns$  sonra sıfıra ulaşmaktadır. Bu sürelerin toplamı aynı zamanda  $SR$ ' nin gövde diyotunun iletim süresini göstermektedir.



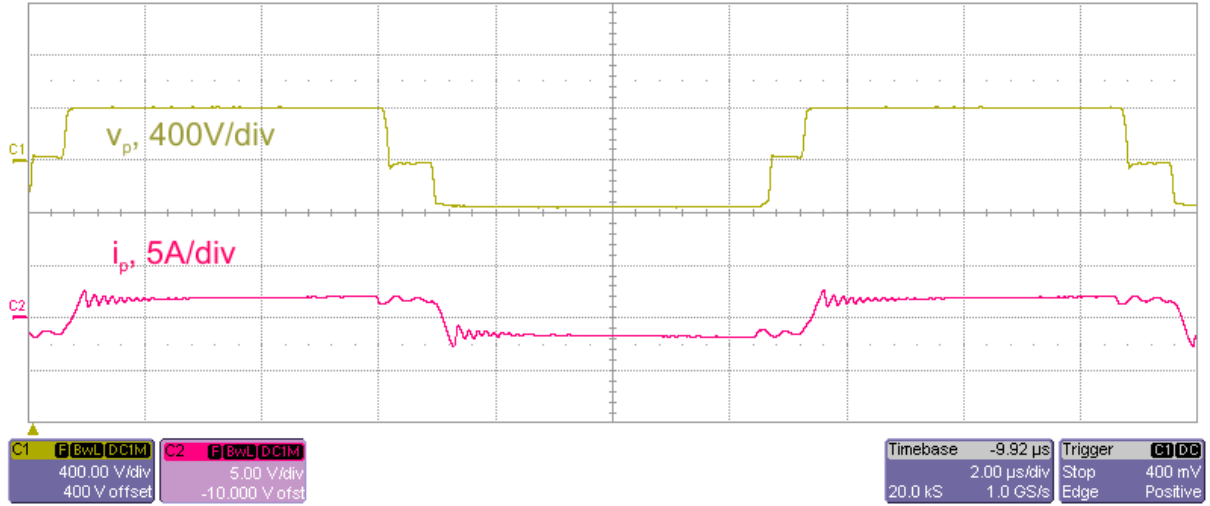
(a)



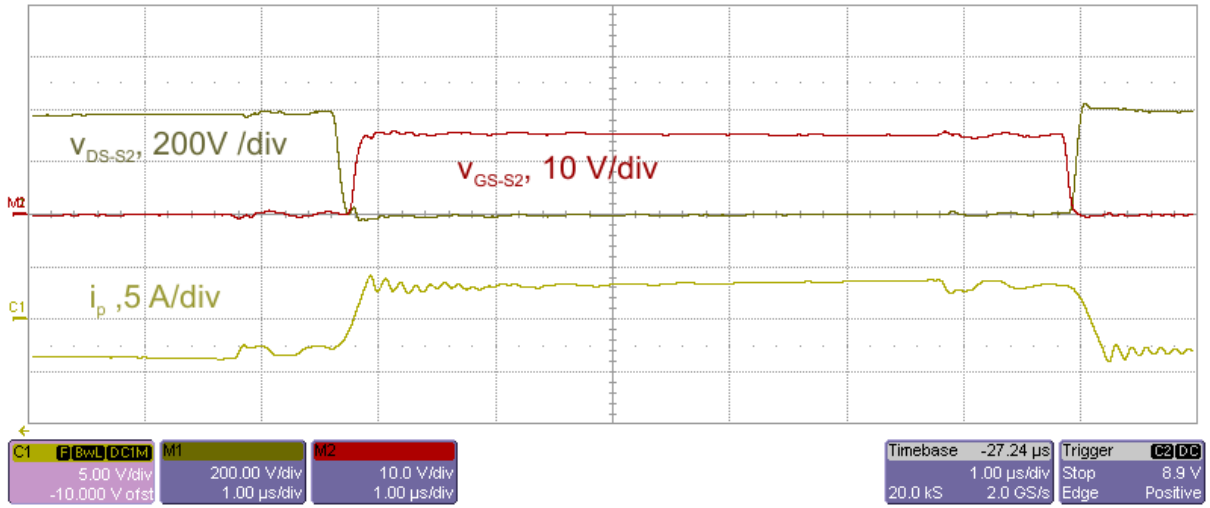
(b)

**Şekil 37** 5xSR çalışma durumu için gate gerilimi dalga şekilleri, (a) genişletilmiş yükselen kenar ve (b) genişletilmiş düşen kenar.  $R_g=3 \Omega$ ,  $R_p=82 \Omega$ ,  $C_{GS}=5 \times 9.62 \text{ nF}$ .

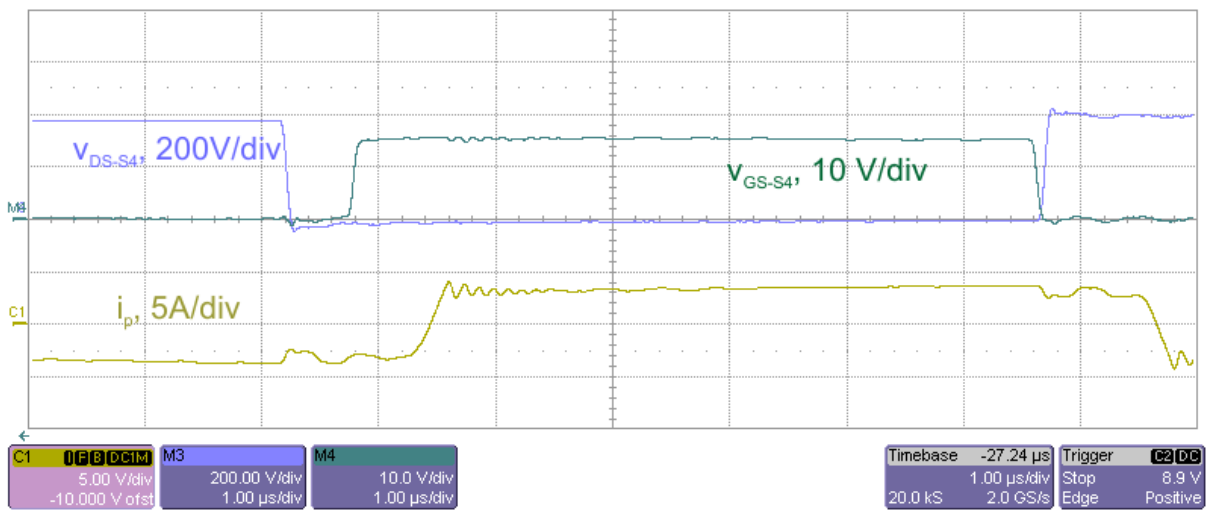
PSFB DC-DC dönüştürücü prototipinin genel çalışma prensibini gösteren primer akım ve gerilim ölçümleri Şekil 38’de verilmiştir. Ölçüm sonuçlarının teorik dalga şekilleri ile uyumlu olduğu görülmektedir. Şekil 39 ve 40’ da, geciken ve gecikmeyen koldaki anahtarların ZVS ile iletme geçişi verilmiştir. Parazitik endüktans etkisini önlemek amacıyla, anahtar akımı ölçümü için PCB kart üzerinden ekstra bir kablo uzatılmamıştır. Primer akımı değişimi ile anahtar akımı gözlemlenmiştir. Ölçüm sonuçlarında görüldüğü gibi tam yük altında her iki koldaki anahtarların da ZVS ile iletme geçtiği görülmektedir. Şekil 41’ de tasarlanan prototipin tam yük altında ve 5xSR çalışma durumunda, elektronik yük ekranından alınan çıkış akım ve gerilim değerleri verilmiştir.



Şekil 38 Primer gerilim ve akım dalga şekilleri.



Şekil 39 Geciken koldaki anahtarlar için ZVS durumu.



Şekil 40 Gecikmeyen koldaki  $S_2$  anahtarının ZVS ile iletme geçmesi.



**Şekil 41** Prototipin elektronik yük ekranında görünen çıkış gerilim ve akım değerleri.

Buraya kadar yapılan ölçümlerde teorik ve simülasyon sonuçları ile ölçüm sonuçlarının birbiri ile uyumlu olduğu görülmektedir. Ölçüm sonuçlarında, yardımcı sargının diğer sargılar ile oluşturduğu kaçak endüktans ve SR'lerin paralel bağlantısı sonucu gate yolunda oluşan parazitik endüktans tam olarak bilinmektedir. Bu yüzden teorik ve simülasyon sonuçlarına bakılarak, paralel bağlanabilecek optimum SR sayısını tahmin etmek zordur. Bu yüzden deneysel çalışma durumunda elde edilen sonuçlar gözlemlenerek optimum paralel bağlanabilecek kendinden tetiklemeli SR sayısı belirlenmiştir. 5xSR ile en yüksek verim değerleri elde edilmiştir. Bu şekilde, en yüksek verim değeri, tam yükte %94.44 ve yarı yükte %95.15 olan bir sunucu adaptörü tasarımı gerçekleştirilmiştir. Bu değerler, proje önerisinde hedeflenen %94'ün üzerinde değerlerdir.

Tasarlanan prototipin verimi, geleneksel diyot doğrultuculu PSFB dönüştürücü ile de karşılaştırılmıştır. Bu karşılaştırma sırasında, SR'lerin kontrol sinyalleri kaldırılarak akımın yalnızca gövde diyotlarından geçmesi ile ölçüm sonuçları alınmıştır. Tasarlanan prototipin verimi diyotlu doğrultucudan %5 yüksek olarak ölçülmüştür.

### 3. BULGULAR VE TARTIŞMA

Bu projede, kendinden tetiklemeli sürücü devre performansına dayalı olarak, telekom veya veri merkezi uygulamaları için düşünülen bir PSFB bir DC-DC dönüştürücünün yüksek verimli tasarım optimizasyonu yapılmıştır. Telekom veya veri merkezi uygulamaları, düşük çıkış gerilimli ve yüksek çıkış akımına sahip olduğu için sekonder tarafındaki iletim kayıpları, dönüştürücünün toplam kayıpları arasında baskın durumdadır. Bu sebeple sekonder doğrultucu kayıpları ile başa çıkabilmek için SR' ler kullanılmıştır. SR' lerin paralel bağlanması ile iletim kayıplarının daha da azaltılarak verim yükseltilmesi planlanmıştır.

SR' leri sürmek için basit ve ucuz bir metot olması ile aktif sürme metrodu yerine kendinden tetiklemeli devre kullanılmıştır. Bu durumda, SR' lerin paralel bağlanmasıyla, kendinden tetiklemeli devrenin performansı, gate yolunda artan parazitik endüktans ve tetikleme sargısının transformatörün diğer sargıları ile oluşturduğu kaçak endüktans yüzünden azalabilir. Bu sebeple, bu projede daha çok kendinden tetiklemeli devrenin, SR' lerin paralel bağlanması durumu için performans analizi üzerinde durmaktadır. Sunulan performans analizi, yüksek verim elde edebilmek için optimum paralel bağlanabilecek SR' ler için bir yaklaşımda bulunmaktadır. Analitik olarak sunulan performans analizinin doğrulaması Saber simülasyon programında kurulan bir devre ile gerçekleştirilmiştir. Elde edilen simülasyon sonuçları, teorik sonuçlarla uyumlu bir şekilde elde edilmiştir.

Dönüştürücüde, kendinden tetiklemeli sürme devreli SR' lerin kullanılmasıyla elde edilebilecek maksimum verim, manyetik devre elemanları ile primer ve sekonder tarafı yarıiletkenlerin optimizasyonu sonucunda teorik olarak % 95.9 olarak hesaplanmıştır. Bu hesaplamalarda, gate yolundaki parazitik endüktans tam olarak bilinemediği için belli bir kabullenme yapılmıştır. Sunulan analitik modelin doğrulaması için, 12 V çıkış gerilimine sahip 1 kW gücünde bir sunucu adaptörü prototipi laboratuvarında kurulmuştur. Sekonder tarafı için farklı sayıda SR' ler paralel bağlanarak sonuçlar çıkartılmıştır. Ölçüm sonuçlarına göre en güvenilir ve yüksek verim 5xSR çalışma durumu ile sağlanmıştır. Bu çalışma durumunda, maksimum verim, tam yükte 94.44 ve yarı yükte %95.15 olarak ölçülmüştür. Bu değerler teorik analiz sonuçlarına yakındır. Fakat gate yolundaki parazitik endüktansın net olarak hesaplanamamasından dolayı biraz farklıdır. Ölçülen verim değeri, projenin %94' ün üzerinde hedeflediği verim değeri ile uyumludur.

Proje sonuçlanmış haliyle veri merkezi, telekom (haberleşme) sistemleri gibi düşük çıkış gerilimli ve yüksek çıkış akımlı uygulamalara adapte edilebilir. Endüstriyel olarak yüksek verimli ve tasarruflu enerji kullanımı özelliği ile ulusal ekonomiye ve teknolojiye katkı sağlanması beklenmektedir. Proje sonuçlarının uluslararası düzeyde yayın çalışmalarına dönüştürülmesiyle, bilimsel brikime de katkı sağlandığı düşünülmektedir.



Projede geliştirilen sunucu prototipi şu anda sabit gerilim üreten bir yüksek güç faktörlü bir DC güç kaynağından beslenmektedir. Geliştirilen prototip, endüstriyel uygulamalara adapte edilmek istendiğinde, şebeke geriliminin doğrultulmasıyla elde edilmiş bir DC gerilim kullanılmalıdır. Bu yüzden tasarlanan dönüştürücüye, AC-DC dönüştürme katı ilk aşama olarak ilave edilmelidir. İlave edilecek olan AC-DC dönüştürücü, veriminin yüksek tutulması için güç faktörü düzeltme özelliğini de sağlamalıdır. Güç faktörünün düzeltilmesi için pasif yöntemlerin pahalı ve hantal olması sebebi ile aktif yöntemlerin tercih edilmesi yerinde olacaktır. Aktif yöntemlerin kullanılması durumunda, yüksek güçlü uygulamalarda en çok tercih edilen Boost dönüştürücü doğrultucu çıkışına bağlanabilir. Boost dönüştürücün filtre endüktansının girişte olması sebebi ile doğrudan endüktans akımının kontrol edilmesiyle giriş akımı kontrol edilebilir. Bu şekilde girişten harmonik limit standartlarını aşmayan sinusoidal bir akım çekilebilir. İlave edilmesi gereken AC-DC dönüştürücüde aynı zamanda yumuşak anahtarlama tekniklerinin kullanılması, dönüştürücünün yüksek verimli ve güç yoğunluklu olarak tasarlanmasını sağlayacaktır.

Proje prototipi şu anda sekonder tarafındaki iletim kayıplarının azaltılması için optimum paralel bağlanacak SR' leri belirleyen kendinden tetiklemeli devrenin performansına odaklanmıştır. Prototip tasarımı bir ürün niteliğinde değildir. Endüstriyel uygulamalara adapte edilmeden önce, güç yoğunluğu yüksek olacak şekilde ve kayıplar göz önünde bulundurularak soğutucu boyutları optimize edilmedi. Prototipin üç boyutlu yüksek güç yoğunluklu tasarımı yapılmalıdır ve yarıiletken anahtarlar ile manyetik devre elemanlarının yerleşimi yeniden organize edilmelidir.

Geliştirilen tasarım şu anda primer tarafında yarıiletken anahtarların kontrol sinyallerini üretmek için lojik kapıların kullanılmasıyla oluşturulmuş analog kontrol yöntemini kullanmaktadır. Potansiyometrelerin kullanılması ile kontrol sinyalleri arasındaki geçimler ayarlanmaktadır. Dijital kontrol metodunun uygulanmasıyla daha hızlı ve daha az yer kaplayan bir kontrol devresi tasarımı yapılabilir. Dijital kontrolün aynı zamanda sekonder tarafına da uygulanmasıyla kendinden tetiklemeli devrenin sunduğu avantajlar değerlendirilerek bir karşılaştırma yapılabilir.



## Kaynaklar

Kolar J.W., Drofenik, U., Biela, J., Heldwein, M. Ertl, H., Friedli, T., Round, S. 2008. "PWM Converter Power Density Barriers", IEEJ Trans. Industrial Application, 128 (4), 1-14.

Zhao C., Wu X., Meng, P., Qian Z. 2009. "Optimum Design Consideration and Implementation of a Novel Synchronous Rectified Soft-Switched Phase-Shift Full-Bridge Converter for Low-Output-Voltage High-Output-Current Applications," IEEE Trans. On Power Electronics, 24 (2), 388-397.

Alou, P., Cobos, J.A., García, O., Prieto, R., Uceda, J. 2001. "A New Driving Scheme for Synchronous Rectifiers: Single Winding Self-Driven Synchronous Rectification," IEEE Trans. On Power Electronics, 16 (6), 803-811.

Badstuebner U., Biela, J., Christen, D., Kolar, J.W. 2011. "Optimization of a 5-kW Telecom Phase-Shift DC–DC Converter with Magnetically Integrated Current Doubler", IEEE Trans. On Industrial Electronics, 58 (10), 4736-4745.

Badstuebner, U., Biela, J., Kolar, J.W. 2010. "An optimized, 99 % Efficient, 5kW, Phase-Shift PWM DC-DC Converter for Data Centers and Telecom Applications", Proc. Applied Power Electronics Conference and Exposition (APEC), Palm Springs, California, 1, 773-780.

Bakan, A. F., Altıntaş, N., Aksoy, İ. 2013. "An Improved PSFB PWM DC–DC Converter for High-Power and Frequency Applications", IEEE Trans. On Power Electronics, 28(1), 64-74.

Biela, J., Badstuebner, U., Kolar, J.W. 2009. "Design of a 5-kW, 1-U, 10-kW/dm<sup>3</sup> Resonant DC–DC Converter for Telecom Applications," IEEE Trans. On Power Electronics, 24 (7), 1701-1710.

Biela, J., Badstuebner, U., Kolar, J.W. 2009. "Impact of Power Density Maximization on Efficiency of DC–DC Converter Systems," IEEE Trans. On Power Electronics, 24 (1), 288-300.

Fernández, A.D., Lamar, G., Rodríguez, M., Hernando, M. M., Sebastián, J., Arias, M. 2009. "Self-Driven Synchronous Rectification System With Input Voltage Tracking for Converters With a Symmetrically Driven Transformer," IEEE Trans. On Power Electronics, 56 (5), 1440-1445.



Gu, B., Lin, C.Y., Chen, B., Dominic, J., Lai, J.S. 2013. "Zero-Voltage-Switching PWM Resonant Full-Bridge Converter with Minimized Circulating Losses and Minimal Voltage Stresses of Bridge Rectifiers for Electric Vehicle Battery Chargers", *IEEE Trans. On Power Electronics*, 28 (10), 4657-4667.

Kim, J.W., Kim, D.Y., Kim, C.E., Moon, G.W. 2014. "A Simple Switching Control Technique for Improving Light Load Efficiency in a Phase-Shifted Full-Bridge Converter with a Server Power System", *IEEE Trans. On Power Electronics*, 29 (4), 1562-1566.

Kwon, B.H., Kim, J.-H., Jeong, G.-Y. 1999. "Full-Bridge Soft Switching PWM Converter with Saturable Inductors at The Secondary Side", *Proc. Inst. Electr. Eng. Electr. Power Appl.*, 146 (1), 117–122.

Redl, R., Sokal, N. O., Balogh, L. 1991. "A Novel Soft-Switching Full-Bridge DC/DC Converter: Analysis, Design Considerations, and Experimental Results at 1.5 kW, 100 kHz," *IEEE Trans. Power Electron.*, 6 (3), 408–418.

Sable D. M. and Lee F. C. 1989. "The Operation of a Full-Bridge Zero-Voltage Switched, PWM Converter," in *Proc. VPEC Semin.*, 1, 92–97.

Uslu, M. 2006. "Analysis, Design, and Implementation of A 5kW Zero Voltage Switching Phase-Shifted Full-Bridge DC/DC Converter Based on Power Supply for ARC Welding Machines, Master Thesis, METU.

Xie, X., Liu, J.C.P., Poon, F.N.K., Pong, M.H. 2001. "A Novel High Frequency Current-Driven Synchronous Rectifier Applicable to Most Switching Topologies," *IEEE Trans. On Power Electronics*, 16 (5), 635-648.

Xu, M., Ren, Y., Zhou, J., Lee, F.C. 2005. "1-MHz Self-Driven ZVS Full-Bridge Converter for 48-V Power Pod and DC/DC Brick," *IEEE Trans. On Power Electronics*, 20 (5), 997-1006.

Watson R., Lee, F. C. 1998. "Analysis, Design, and Experimental Results of a 1-kW ZVS-FB-PWM Converter Employing Magamp Secondary-Side Control," *IEEE Trans. Ind. Electron.*, 45 (5), 806–813.



Wu, X., Zhang, J., Xie, X., Qian, Z. 2009. "Analysis and Optimal Design Considerations for an Improved Full Bridge ZVS DC-DC Converter with High Efficiency," *IEEE Trans. Power Electronics.*, 21 (5), 1225–1234.

Zhao, C., Wu, X., Yao, W., Qian, Z. 2008. "Synchronous Rectified Soft-Switched Phase-Shift Full-Bridge Converter with Primary Energy Storage Inductor", *Proc. Applied Power Electronics Conference and Exposition*, 1, 581-586.

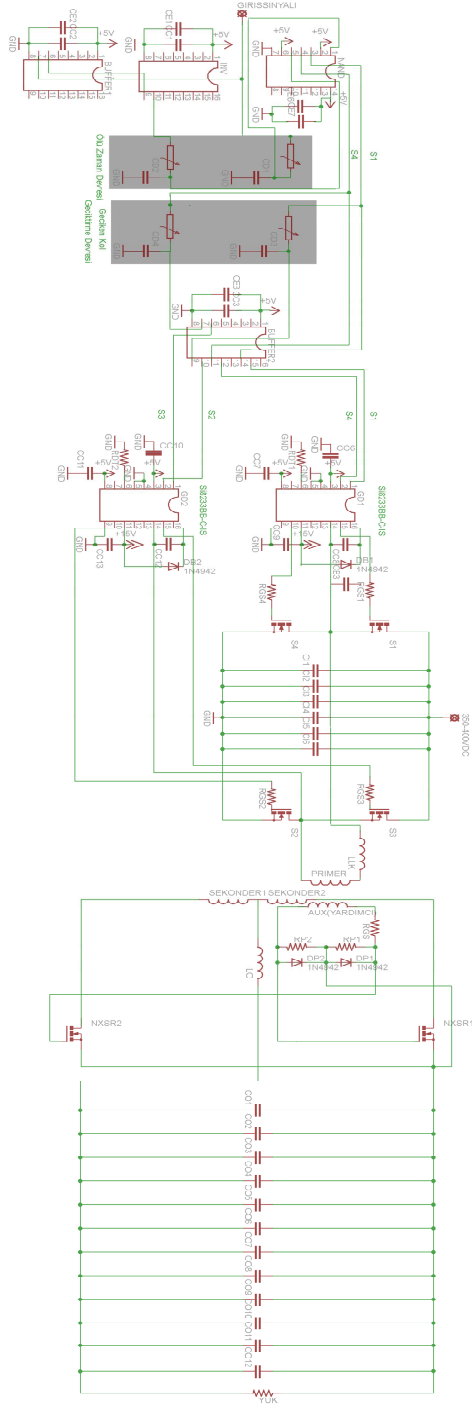
Yang, B. 2003. "Topology Investigation for Front End DC/DC Power Conversion for Distributed Power System," Ph.D. Dissertation, Virginia Polytechnic Inst. State Univ. (Virginia Tech), Blacksburg.

Zhang, J., Zhang, F., Xie, X., Jiao, D., Qian, Z. 2004. "A Novel ZVS DC/DC Converter for High Power Applications," *IEEE Trans. Power Electron.*, 19 (2), 420–429.

Zhang, J.M., Xie, X.G., Jiao, D.Z., Qian, Z. 2003. "A High Efficiency Adapter with Novel Current Driven Synchronous Rectifier", *Proc Telecommunications Energy Conference*, Yokohama, 205-210.

## Ekler

Ek 1: Tasarlanan PCB devre şeması.



**TÜBİTAK**  
**PROJE ÖZET BİLGİ FORMU**

Proje Yürütücüsü:	Yrd. Doç. Dr. SEVİLAY ÇETİN
Proje No:	114E010
Proje Başlığı:	Veri Merkezi Veya Haberleşme Sistemleri İçin Faz Kaydırmalı Tam Köprü Bir Dc-Dc Dönüştürücünün Yüksek Verimli Optimum Tasarım Yaklaşımı
Proje Türü:	3001 - Başlangıç AR-GE
Proje Süresi:	18
Araştırmacılar:	
Danışmanlar:	
Projenin Yürütüldüğü Kuruluş ve Adresi:	PAMUKKALE Ü.
Projenin Başlangıç ve Bitiş Tarihleri:	15/04/2014 - 15/10/2015
Onaylanan Bütçe:	73309.7
Harcanan Bütçe:	60442.28
Öz:	<p>Bu projede de veri merkezleri veya haberleşme sistemlerinde kullanılmak üzere yüksek verimli ve yüksek güç yoğunluklu bir DC-DC dönüştürücünün optimum tasarımı amaçlanmaktadır. Bu amaç doğrultusunda, 400 V? luk bir DC güç kaynağından beslenen, yaklaşık 1 kW gücünde ve 12 V çıkış gerilimli ve tam yükteki verimi %94?ün üzerinde olan bir sunucu adaptörü prototipi tasarlanması hedeflenmiştir.</p> <p>Son zamanlarda güç elektroniğindeki gelişmeler, düşük fiyat avantajı yanında, veri merkezleri, haberleşme sistemleri, elektrikli araç gibi bazı uygulamalardaki sınırlı yer ve hacim gerekliliklerinden dolayı yüksek güç yoğunluğu üzerine yoğunlaşmış durumdadır. Bununla beraber, özellikle veri merkezi uygulamalarında giderek artan enerji talebi ve yükselen enerji fiyatları, enerjinin verimli kullanılması gerekliliğini de beraberinde getirmiştir. Bu sebeple yüksek verimli güç dönüşümü, enerji tasarrufu ve küçük soğutucu boyutları için güç elektroniği alanında giderek önemli bir faktör olmaktadır.</p> <p>Temel çalışma prensibinde yumuşak anahtarlama ile çalışan faz kaydırmalı tam köprü (PSFB) dalga genişlik modülasyonlu (PWM) DC-DC dönüştürücüler orta güçlü uygulamalarda yaygın olarak kullanılmaktadırlar. PSFB dönüştürücü, prensip olarak primer tarafında sıfır gerilim anahtarlama (ZVS) ile anahtarların iletme girmesini sağlarken, PWM ile çalışmayı sürdürmektedir ve iletim kayıpları geleneksel PWM dönüştürücüye yakındır. Çalışma frekansı sabittir ve basit bir kontrol metoduna sahiptir. Bu yüzden bu projede PSFB PWM DC-DC dönüştürücü topolojisi seçilmiştir ve daha sonra yüksek verim için tasarım optimizasyonuna odaklanılmıştır. Yüksek çıkış akımı göz önünde bulundurularak, sekonder tarafı için orta uçlu bir doğrultucu tercih edilmiş ve bu doğrultucuda oluşan yüksek iletim kayıpları ile baş edebilmek için optimum sayıda MOSFET? in paralel bağlanmasından oluşan SR? ler kullanılmıştır. SR? leri sürmek için kendinden tetiklemeli bir sürme devresi düşünülmüştür. Güvenli ve optimum bir tasarım için kendinden tetiklemeli sürme devresinin detaylı bir performans analizi yapılarak mümkün olan paralel bağlı MOSFET sayısı belirlenmiş ve en yüksek verimi veren optimum sürücü tasarımı elde edilmiştir.</p> <p>Sunulan teorik performans analizi 1 kW çıkış gücü ve 12 V çıkış gerilimine sahip bir prototip ile uygulamalı olarak doğrulanmıştır. Proje önerisinde hedeflendiği gibi tasarlanan sunucu adaptörünün maksimum verimi yarı yükte %95.15 ve tam yükte %94.44 olarak elde edilmiştir.</p>
Anahtar Kelimeler:	Tasarım optimizasyonu, senkron doğrultucu, kendinden tetiklemeli sürme devresi, DC-DC dönüştürücü.
Fikri Ürün Bildirim Formu Sunuldu Mu?:	Hayır
Projeden Yapılan Yayınlar:	1- Wide Load Range High Efficiency Design Consideration of a Self-Driven Synchronous Rectified Phase-Shifted Full-Bridge Converter for Data Center Application (Bildiri - Uluslararası Bildiri - Poster Sunum), 2- Self-Driven Phase Shifted Full Bridge Converter for Telecom Applications (Bildiri - Uluslararası Bildiri - Poster Sunum),