

**T.C.
PAMUKKALE ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**

**DVCC TABANLI ANALOG DEVRELERİN
TASARIMI VE BENZETİMİ**

YÜKSEK LİSANS TEZİ

AHMET ABACI

DENİZLİ, TEMMUZ - 2015

**T.C.
PAMUKKALE ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**



**DVCC TABANLI ANALOG DEVRELERİN
TASARIMI VE BENZETİMİ**

YÜKSEK LİSANS TEZİ

AHMET ABACI

DENİZLİ, TEMMUZ - 2015

KABUL VE ONAY SAYFASI

Ahmet ABACI tarafından hazırlanan “**DVCC TABANLI ANALOG DEVRELERİN TASARIMI ve BENZETİMİ**” adlı tez çalışmasının savunma sınavı 15.07.2015 tarihinde yapılmış olup aşağıda verilen jüri tarafından oy birliği /oy çokluğu ile Pamukkale Üniversitesi Fen Bilimleri Enstitüsü Elektrik-Elektronik Mühendisliği Anabilim Dalı Yüksek Lisans Tezi olarak kabul edilmiştir.

Jüri Üyeleri

İmza

Danışman
Doç. Dr. Erkan YÜCE
Pamukkale Üniversitesi
Üye
Prof. Dr. Orhan KARABULUT
Pamukkale Üniversitesi
Üye
Yrd. Doç. Dr. Remzi ARSLANALP
Pamukkale Üniversitesi


.....

.....

.....

Pamukkale Üniversitesi Fen Bilimleri Enstitüsü Yönetim Kurulu'nun
22/07/2015 tarih ve 27/8..... sayılı kararıyla onaylanmıştır.


.....

Prof. Dr. Orhan KARABULUT

Fen Bilimleri Enstitüsü Müdürü

Bu tezin tasarımı, hazırlanması, yürütülmesi, arařtırmalarının yapılması ve bulgularının analizlerinde bilimsel etięe ve akademik kurallara özenle riayet edildiđini; bu çalıřmanın doğrudan birincil ürünü olmayan bulguların, verilerin ve materyallerin bilimsel etięe uygun olarak kaynak gösterildiđini ve alıntı yapılan çalıřmalara atfedildiđine beyan ederim.

AHMET ABACI

ÖZET

DVCC TABANLI ANALOG DEVRELERİN TASARIMI VE BENZETİMİ
YÜKSEK LİSANS TEZİ
AHMET ABACI
PAMUKKALE ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI
(TEZ DANIŞMANI: DOÇ. DR. ERKAN YÜCE)
DENİZLİ, HAZİRAN - 2015

Bu tezde, daha iyi doğrusalığa, geniş dinamik çalışma aralığına, düşük toplam harmonik bozulmaya sahip ve daha az sayıda eleman içererek hazırlanmış diferansiyel gerilim akım taşıyıcı (DVCC) tabanlı analog devrelerin tasarımı ve benzetimi amaçlanmıştır.

İki adet DVCC, iki direnç ve topraklanmış kapasitör ile yeni birinci derece gerilim modlu tüm geçiren süzgeç tasarlanmıştır.

Sadece iki fark alıcı, bir direnç ve topraklanmış bir kapasitör ile iki yeni birinci derece gerilim modlu evrensel süzgeç tasarlanmıştır.

İki adet DVCC, dört direnç ve iki adet topraklanmış kapasitör kullanılarak hazırlanan iki yeni ikinci derece gerilim modlu evrensel süzgeç tasarlanmıştır. Her iki tasarlanan devre de aynı zamanda ikinci derece alçak geçiren, yüksek geçiren bant geçiren, bant durduran ve tüm geçiren cevapları gerçeklemektedir.

İki adet DVCC, üç direnç ve iki topraklanmış kapasitör ile ikinci derece akım modlu evrensel süzgeç tasarlanmıştır.

Yeni bir DVCC tabanlı gerilim modlu kuadratör osilatör ve yeni bir DVCC tabanlı topraklanmış endüktans tasarlanmıştır.

Son olarak, tez çalışmasında, üç adet DVCC, beş adet admitans ile yüzen endüktans benzetimi tasarlanmıştır.

Tasarlanan devrelerin analizini gerçekleştirmek için SPICE program aracılığıyla 0.13 μm CMOS teknoloji parametreleri kullanılarak zaman ve frekans ortamında benzetimler yapılmıştır.

ANAHTAR KELİMELEER: DVCC, analog devreler, süzgeç, osilatör, endüktans benzetimi.

ABSTRACT

**DESIGN AND SIMULATION OF DVCC BASED ANALOG CIRCUITS
MSC THESIS
AHMET ABACI
PAMUKKALE UNIVERSITY INSTITUTE OF SCIENCE
ELECTRICAL AND ELECTRONICS ENGINEERING
(SUPERVISOR:ASSOC. PROF. DR. ERKAN YÜCE)
DENİZLİ, JUNE 2015**

In this thesis, it is aimed to design differential voltage current conveyor (DVCC) based analog circuits having features of better linearity, wider dynamic range, low total harmonic distortion and low number of components.

A new first-order voltage-mode all-pass filter with two DVCCs, two resistors and a grounded capacitor is proposed.

Two new voltage-mode first-order universal filter realizations based on subtractors using only one resistor and a grounded capacitor are given.

Two new second-order voltage-mode universal filter with two DVCCs, four resistors and two grounded capacitors are proposed. Both of the proposed circuits can simultaneously provide second-order low-pass, high-pass, band-pass, notch and all-pass filter responses.

A second-order current-mode universal filter using two DVCCs, three resistors and two grounded capacitor is proposed.

A new DVCC based voltage-mode quadrature oscillator and a grounded inductor are proposed.

Finally, a new floating inductor simulator using three DVCCs and five admittances is proposed.

Time and frequency domain simulations of the proposed circuits by using 0.13 μm CMOS technology parameters in SPICE program are accomplished.

KEYWORDS: DVCC, analog circuits, filter, oscillator, inductor simulator.

İÇİNDEKİLER

Sayfa

ÖZET	i
ABSTRACT	ii
İÇİNDEKİLER	iii
ŞEKİL LİSTESİ	v
TABLO LİSTESİ	vii
SEMBOL LİSTESİ	viii
KISALTMALAR	ix
ÖNSÖZ	x
1. GİRİŞ	1
1.1 Birinci Dereceden Gerilim Modlu Tüm Geçiren Süzgeçler.....	1
1.2 İkinci Dereceden Gerilim Modlu Süzgeçler.....	3
1.3 İkinci Dereceden Akım Modlu Süzgeçler	4
1.4 Endüktans Benzetimi.....	5
1.5 Osilatörler	6
2. DİFERANSİYEL GERİLİM AKIM TAŞIYICI (DVCC)	8
3. BİRİNCİ DERECEDEDEN GERİLİM MODLU TÜM GEÇİREN SÜZGEÇ TASARIMI	18
3.1 Giriş	18
3.2 Yöntem	18
3.3 Benzetim Sonuçları	19
4. BİRİNCİ DERECEDEDEN GERİLİM MODLU EVRENSEL SÜZGEÇ TASARIMI	22
4.1 Giriş	22
4.2 Yöntem	22
4.3 Benzetim Sonuçları	25
5. İKİNCİ DERECEDEDEN GERİLİM MODLU EVRENSEL SÜZGEÇ TASARIMI	30
5.1 Giriş	30
5.2 İkinci Dereceden Gerilim Modlu Evrensel 1. Süzgeç Tasarımı.....	30
5.2.1 Benzetim Sonuçları.....	33
5.3 İkinci Dereceden Gerilim Modlu Evrensel 2. Süzgeç Tasarımı.....	36
5.3.1 Benzetim Sonuçları.....	38
6. İKİNCİ DERECEDEDEN AKIM MODLU EVRENSEL SÜZGEÇ TASARIMI	42
6.1 Giriş	42
6.2 Yöntem	42
6.3 Benzetim Sonuçları	45
7. KUADRATÖR OSİLATÖR VE ENDÜKTANS BENZETİMİ TASARIMLARI	49
7.1 Kuadratör Osilatör Tasarımı.....	49
7.1.1 Giriş	49
7.1.2 Yöntem.....	49
7.1.3 Benzetim Sonuçları.....	50
7.2 Topraklanmış Endüktans Benzetimi Tasarımı	52
7.2.1 Giriş	52

7.2.2	Yöntem.....	52
7.2.3	Benzetim Sonuçları.....	53
7.3	Topraklanmış Endüktans Benzetimi ile Bant Geçiren Süzgeç Tasarımı	55
7.3.1	Giriş	55
7.3.2	Yöntem.....	55
7.3.3	Benzetim Sonuçları.....	56
8.	YÜZEN ENDÜKTANS BENZETİMİ TASARIMI	58
8.1	Giriş	58
8.2	Yöntem	58
8.3	Benzetim Sonuçları	59
8.	SONUÇ VE ÖNERİLER	61
9.	KAYNAKLAR.....	63
10.	EKLER.....	76
	EK A. Benzetimlerde Kullanılan CMOS parametreleri	77
11.	ÖZGEÇMİŞ.....	79

ŞEKİL LİSTESİ

Sayfa

Şekil 2.1: DVCC elemanının elektriksel gösterimi.....	8
Şekil 2.2: DVCC bloğunun içyapısı.....	8
Şekil 2.3: Beş terminalli DVCC+ elemanının elektriksel gösterimi.....	10
Şekil 2.4: Beş terminalli DVCC+ bloğunun içyapısı.....	11
Şekil 2.5: Dört terminalli DVCC+ elemanının elektriksel gösterimi.....	13
Şekil 2.6: Dört terminalli DVCC+ bloğunun içyapısı.....	13
Şekil 2.7: DVCC- elemanının elektriksel gösterimi	15
Şekil 2.8: DVCC- bloğunun iç yapısı	15
Şekil 2.9: Fark alıcının elektriksel gösterimi	16
Şekil 2.10: Fark alıcı bloğunun içyapısı.....	17
Şekil 3.1: Tasarlanan birinci dereceden tüm geçiren süzgeç	18
Şekil 3.2: Tasarlanan birinci dereceden gerilim modlu süzgecin ideal ve ideal olmayan tüm geçiren kazanç ve faz cevabı	20
Şekil 3.3: Tasarlanan birinci dereceden gerilim modlu süzgecinin kapasite değerlerinin %20 değiştirilmesiyle elde edilen Monte Carlo analizi	21
Şekil 3.4: Tasarlanan süzgecin tüm geçiren cevabı için giriş gerilimine bağlı toplam harmonik bozulması.....	21
Şekil 4.1: Birinci tasarım birinci dereceden evrensel süzgeç.....	23
Şekil 4.2: İkinci tasarım birinci dereceden evrensel süzgeç	23
Şekil 4.3: Birinci tasarım, alçak geçiren ve yüksek geçiren süzgeç ideal ve ideal olmayan kazanç cevabı.....	26
Şekil 4.4: Birinci tasarım, tüm geçiren süzgecin faz ve kazanç cevabı	26
Şekil 4.5: Birinci tasarım tüm geçiren süzgecin 6.366 MHz frekansına sahip sinüzoidal giriş işareti için giriş/çıkış cevabı.....	27
Şekil 4.6: İkinci tasarım, alçak geçiren ve yüksek geçiren süzgeç ideal ve ideal olmayan kazanç cevabı.....	27
Şekil 4.7: İkinci tasarım, tüm geçiren süzgecin faz ve kazanç cevabı	28
Şekil 4.8: İkinci tasarım tüm geçiren süzgecin 6.366 MHz frekansına sahip sinüzoidal giriş işareti için giriş/çıkış cevabı.....	28
Şekil 4.9: Tasarlanan süzgecin tüm geçiren cevabı için giriş gerilimine bağlı toplam harmonik bozulması.....	29
Şekil 5.1: İkinci dereceden gerilim modlu 1. süzgeç tasarımı	30
Şekil 5.2: Tasarlanan gerilim modlu süzgecin ideal ve ideal olmayan alçak geçiren, yüksek geçiren kazanç cevabı	34
Şekil 5.3: Tasarlanan gerilim modlu süzgecin ideal ve ideal olmayan bant geçiren, bant durduran kazanç cevabı	34
Şekil 5.4: Tasarlanan gerilim modlu süzgecin ideal ve ideal olmayan tüm geçiren faz ve kazanç cevabı.....	35
Şekil 5.5: Tasarlanan gerilim modlu bant durduran süzgecinin kazancının kapasite değerlerinin %10 değiştirilmesiyle elde edilen Monte Carlo analizi..	35
Şekil 5.6: İkinci dereceden gerilim modlu 2. süzgeç tasarımı	36
Şekil 5.7: 2. Tasarım gerilim modlu süzgecin ideal ve ideal olmayan alçak geçiren, yüksek geçiren kazanç cevabı.....	39
Şekil 5.8: 2. Tasarım gerilim modlu süzgecin ideal ve ideal olmayan bant geçiren, bant durduran kazanç cevabı.....	39

Şekil 5.9: 2. Tasarım gerilim modlu süzgecin ideal ve ideal olmayan tüm geçiren faz ve kazanç cevabı.....	40
Şekil 5.10: Tasarlanan gerilim modlu bant durduran süzgecinin kazancının kapasite değerlerinin %10 değiştirilmesiyle elde edilen Monte Carlo analizi..	40
Şekil 5.11: Tasarlanan süzgeçlerin tüm geçiren cevabı için giriş gerilimine bağlı toplam harmonik bozulması değişimi.	41
Şekil 6.1: İkinci dereceden akım modlu süzgeç tasarımı.....	42
Şekil 6.2: Tasarlanan akım modlu süzgecin ideal ve ideal olmayan alçak geçiren, yüksek geçiren kazanç cevabı	46
Şekil 6.3: Tasarlanan akım modlu süzgecin ideal ve ideal olmayan bant geçiren, bant durduran kazanç cevabı.	46
Şekil 6.4: Tasarlanan akım modlu süzgecin ideal ve ideal olmayan tüm geçiren faz ve kazanç cevabı.....	47
Şekil 6.5: Tasarlanan akım modlu tüm geçiren süzgecin faz ve kazancının kapasite değerlerinin %10 değiştirilmesiyle elde edilen Monte Carlo analizi..	47
Şekil 6.6: Tasarlanan süzgecin bant geçiren cevabı için giriş akımına bağlı toplam harmonik bozulması değişimi.	48
Şekil 7.1: DVCC tabanlı kuadratör osilatör uygulaması.....	49
Şekil 7.2: Kuadratör osilatörün çıkış gerilimleri.....	51
Şekil 7.3: Topraklanmış endüktans tasarımı	52
Şekil 7.4: Topraklanmış endüktans tasarımının ideal ve ideal olmayan empedansın faz cevabı ve genliği	53
Şekil 7.5: Topraklanmış endüktans tasarımının girişine 10 μ A tepe genliğinde 1MHz frekansında üçgen dalga işaret uygulanarak elde edilen kare dalga cevabı.....	54
Şekil 7.6: Topraklanmış endüktans tasarımının kapasite değerinin %10 değiştirilmesiyle elde edilen çıkış gerilimi Monte Carlo analizi.	54
Şekil 7.7: Topraklanmış endüktans ile bant geçiren süzgeç tasarımı.....	55
Şekil 7.8: Tasarlanan gerilim modlu süzgecin ideal ve ideal olmayan bant geçiren kazanç cevabı	56
Şekil 7.9: Tasarlanan bant geçiren süzgeç çıkışından alınan toplam harmonik bozulma değişimi.....	57
Şekil 8.1: Yüzen endüktans gösterimi.....	58
Şekil 8.2: Yüzen endüktans tasarımı.....	58
Şekil 8.3: Yüzen endüktans tasarımının ideal ve ideal olmayan faz cevabı ve genliği.....	60

TABLO LİSTESİ

	<u>Sayfa</u>
Tablo 3.1: MOS transistor boyutları	20
Tablo 4.1: MOS transistor boyutları	25
Tablo 5.1: MOS transistor boyutları	33
Tablo 6.1: MOS transistor boyutları	45
Tablo 7.1: MOS transistor boyutları	51
Tablo 8.1: MOS transistor boyutları	60
Tablo A.1: 0.13 μm IBM NMOS parametreleri (MOSIS 2009).....	77
Tablo A.2: 0.13 μm IBM PMOS parametreleri (MOSIS 2009)	78

SEMBOL LİSTESİ

A	:	Amper
C	:	Kapasitör
dB	:	Desibel
F	:	Farad
<i>f</i>	:	Frekans
Hz	:	Hertz
<i>I</i>	:	Akım
<i>L</i>	:	Bobin, kanal uzunluğu
<i>Q</i>	:	Kalite faktörü
<i>R</i>	:	Direnç
s	:	Saniye
V	:	Volt
<i>V_B</i>	:	Kutuplama gerilimi
<i>V_{DD}</i>	:	Pozitif DC güç kaynağı gerilimi
<i>V_{SS}</i>	:	Negatif DC güç kaynağı gerilimi
<i>W</i>	:	Kanal genişliği
W	:	Watt
Ω	:	Ohm
ω_0	:	Açısal rezonans frekansı

KISALTMALAR

AP	:	Tüm geçiren
BP	:	Bant geçiren
CCII	:	İkinci nesil akım taşıyıcı
CM	:	Akım modlu
CMOS	:	Tümleşik metal oksit yarıiletken
CFOA	:	Akım geri beslemeli işlemsel yükselteç
CMOS	:	Tümleşik metal oksit yarıiletken
DDA	:	Diferansiyel fark kuvvetlendirici
DDCC	:	Diferansiyel fark akım taşıyıcı
DVCC	:	Diferansiyel gerilim akım taşıyıcı
FTFN	:	Dört terminalli yüzen nulor
GIS	:	Topraklanmış endüktans
ICCI	:	Eviren ikinci nesil akım taşıyıcı
HP	:	Yüksek geçiren
LP	:	Alçak geçiren
MOS	:	Metal oksit yarıiletken
NMOS	:	N tipi metal oksit yarıiletken
NF	:	Bant durdurucu
OA	:	İşlemsel kuvvetlendirici
OTRA	:	İşlemsel transrezistans yükselteç
PMOS	:	P tipi metal oksit yarıiletken
THD	:	Toplam harmonik bozulma
VM	:	Gerilim modlu

ÖNSÖZ

Bu tez çalışmasında, DVCC tabanlı analog devreler tasarlanmış ve benzetimleri yapılmıştır.

Yüksek lisans ve tez çalışmam boyunca desteğini, değerli bilgilerini ve zamanını esirgemeyen tez danışmanım Sayın Doç. Dr. Erkan YÜCE'ye; tezin düzeltmelerinde katkıda bulunan tez jürisi üyeleri Sayın Prof. Dr. Orhan KARABULUT ve Sayın Yrd. Doç. Dr. Remzi ARSLANALP'e teşekkür ederim.

1. GİRİŞ

İkinci kuşak akım taşıyıcı (CCII), diferansiyel gerilim akım taşıyıcı (DVCC) ve diferansiyel fark akım taşıyıcı (DDCC) gibi akım modlu (CM) aktif elemanların kullanımı, işlemsel kuvvetlendirici (OA) gibi gerilim modlu (VM) elemanlarla kıyaslandığında potansiyel avantajlara sahiptir (Roberts ve Sedra (1989), Wilson (1990), Toumazou (1990), Wilson (1992), Ferri ve Guerrini (2003)). Bu avantajlar, daha iyi doğrusallık, daha az sayıda aktif eleman kullanımı, geniş bant genişliği ve geniş dinamik çalışma aralığıdır. Bir CM aktif eleman olarak, DDCC, CCII'nın ve diferansiyel fark kuvvetlendirici (DDA) yüksek giriş empedansı ve aritmetik işlem yapabilme özelliklerine sahiptir (Sackinger ve Guggenbuhl (1987)).

İlk defa Sedra ve Smith (1970) tarafından kullanılan CCII, CM devrelere olan ilginin sonucu olarak geliştirilmiş şekilleri literatürde bulunmaktadır. Chiu ve diğ. (1996) tarafından yayınlanan makalede DDCC önerilmiştir. DVCC, ilk kez Pal (1989) tarafından gündeme getirilmiştir ve CMOS teknolojiye uygun şekilde Elwan ve Soliman (1997) tarafından içyapısı gerçekleştirilmiştir.

1.1 Birinci Dereceden Gerilim Modlu Tüm Geçiren Süzgeçler

Akım taşıyıcılar kullanılarak gerçekleştirilen birinci dereceden VM tüm geçiren süzgeçler analog sinyal işleme devrelerinin önemli bir sınıfı olmuştur. İlgili literatürde kapsamlı bir şekilde sunulmuştur (Higashimura ve diğ. (1981), Pal (1981), Soliman (1997), Cicekoglu ve diğ. (1999), Khan ve Maheshwari (2000), Maheshwari ve Khan (2001), Maheshwari (2004), Ibrahim ve diğ. (2004)).

Birinci dereceden VM devreler arasından bazıları yüksek giriş empedansı sunar (Higashimura ve diğ. (1981), Pal (1981)). Uygun devrelerin büyük bir çoğunluğu tek bir akım taşıyıcı ve bir pasif eleman kullanmaktadır (Soliman (1997), Cicekoglu ve diğ. (1999), Khan ve Maheshwari (2000), Maheshwari ve Khan (2001), Maheshwari (2004), Ibrahim ve diğ. (2004)).

Sinyal işleme, iletişim gibi çeşitli alanlarda kullanılan, faz kaydırıcılar olarak adlandırılan tüm geçiren süzgeçler, genliği sabit tutarken, uygulanan giriş gerilim sinyalinin fazını değiştirirler (Ibrahim ve diğ. (2003), Horng ve diğ. (2006), Ibrahim ve diğ. (2006), Maheshwari (2007), Maheshwari (2008^{a,b}), Horng (2009), Minaei ve Yuce (2010), Horng (2010^a), Tsukutani ve diğ. (2010), Ibrahim ve diğ. (2012^a), Ibrahim ve diğ. (2011), Metin ve diğ. (2011), Chen ve Huang (2012)).

İlgili literatürde, DDCC/DVCC kullanılarak gerçekleştirilen birinci derece VM süzgeçler sunulmuştur (Ibrahim ve diğ. (2003), Horng ve diğ. (2006^a), Ibrahim ve diğ. (2006), Maheshwari (2007), Maheshwari (2008^{a,b}), Horng (2009), Minaei ve Yuce (2010), Horng (2010^a), Tsukutani ve diğ. (2010), Ibrahim ve diğ. (2011), Metin ve diğ. (2011), Chen ve Huang (2012), Ibrahim ve diğ. (2012)).

Ancak, Ibrahim ve diğ. (2003), Ibrahim ve diğ. (2006), Maheshwari (2007), Maheshwari (2008^{a,b}), Minaei ve Yuce (2010), Tsukutani ve diğ. (2010), Ibrahim ve diğ. (2011), Metin ve diğ. (2011), Ibrahim ve diğ. (2012), tarafından tasarlanan süzgeçler sadece tüm geçiren cevaplarına sahiptir.

Ibrahim ve diğ. (2003), Ibrahim ve diğ. (2006), Maheshwari (2007), Maheshwari (2008^{a,b}), Horng (2009), Minaei ve Yuce (2010), Horng (2010), Tsukutani ve diğ. (2010), Metin ve diğ. (2011), Ibrahim ve diğ. (2011), Chen ve Huang (2012), Ibrahim ve diğ. (2012) tarafından sunulan süzgeçler frekansa bağlı olan ideal olmayan akım kazançlarından etkilenmektedir. Ibrahim ve diğ. (2003), Ibrahim ve diğ. (2006), Metin ve diğ. (2011) tarafından tasarlanan süzgeçler yüzen kapasitör kullanmaktadır. Ibrahim ve diğ. (2006), Maheshwari (2007), Maheshwari (2008^b), Metin ve diğ. (2011) tarafından gerçekleştirilen süzgeç tasarımları DVCC/DDCC'nin X terminaline seri bağlı bir kapasitöre sahiptir. Bu da, Yuce ve Minaei (2008) tarafından sunulan makalede gösterildiği gibi yüksek frekanslarda performansı sınırlamaktadır.

1.2 İkinci Dereceden Gerilim Modlu Süzgeçler

Chang ve Lee (1995), Ozoguz ve Gunes (1996) tarafından sunulan süzgeçler üç giriş ve bir çıkış ve üç tane pozitif tip CCII ile tasarlanmıştır. Buna rağmen her iki tasarım da uygun seçilmiş üç giriş gerilimi ile sadece bir cevap gerçekleyebilmektedir. Chang ve Lee (1995) süzgeci, tüm geçiren cevap gerçekleyebilmek için birim kazançlı eviren yükselteç gibi elemana ihtiyaç duymaktadır. Ozoguz ve Gunes (1996) tarafından tasarlanan VM süzgeç direnç eşlenmesine ihtiyaç duymaktadır. Horng ve diğ. (1997^a) tarafından tasarlanan yüksek giriş empedansına sahip gerilim modlu süzgeç, dört CCII ve dokuz topraklanmış pasif elemandan oluşmaktadır. Higashimura ve Fukui (1996) tarafından tasarlanan gerilim modlu süzgeç ise yedi CCII+ elemanına ve on pasif eleman içermektedir. Bundan dolayı, tümdevre üretiminde geniş bir alan kaplamaktadır. Higashimura (1991) tarafından tasarlanan süzgeç sadece bir cevap sağlayabilmektedir. Ayrıca, Horng (2001) ve Horng (2004) tarafından tasarlanan süzgeçler, uygulanan üç giriş gerilimine karşılık sadece bir giriş gerçekleyebilmektedir. Chen (2010) tarafından tasarlanan negatif tip CCII (CCII-) tabanlı süzgeç, yirmi dört MOS transistör içermektedir ve kritik pasif eleman eşlenmesine ihtiyaç vardır. Soliman (1998) tarafından tasarlanan süzgeç sadece alçak geçiren cevabı gerçekleyebilmektedir. Horng (1996) ve Horng ve diğ. (1997^b) tarafından tasarlanan süzgeçlerin, tüm geçiren cevabı gerçekleştirebilmek için bazı aktif elemanlara ihtiyacı vardır. CCII tabanlı Horng ve diğ. (2005), Horng ve diğ. (2006^b), Horng (2010^b), Myderrizi ve diğ. (2011^a), Horng ve diğ. (2011), tarafından tasarlanan süzgeçler, yüksek giriş empedansı özelliğine sahip değildir.

Kacar ve Yesil (2012) tarafından tasarlanan VM süzgeç iki FDCCII elemanına, iki NMOS transistöre ve iki topraklanmış kapasitöre sahiptir. Ancak FDCCII'nin içyapısı karmaşıktır. Horng ve diğ. (2012^a) tarafından tasarlanan DVCC tabanlı yüksek giriş empedanslı ikinci dereceden süzgeç, üç DVCC elemanına sahiptir. Horng ve diğ. (2012^b) tarafından önerilen diğer süzgeç ise üç giriş ve yedi çıkış terminaline sahip üç DDCC elemanı ile tasarlanmıştır. Horng ve diğ. (2006^c) tarafından önerilen DVCC+ tabanlı evrensel süzgeç devresi üç adet aktif eleman içermektedir. Chen (2007) tarafından önerilen DDCC+ tabanlı evrensel süzgeç yüksek giriş empedansına sahip değildir. DVCC tabanlı karma modlu süzgeç

konfigürasyonu Minaei ve diğ. (2009) tarafından önerilmiştir. Yuce (2009^a) tarafından tasarlanan DVCC tabanlı çok fonksiyonlu süzgeç bir aktif elemandan oluşmaktadır. Ancak yüksek giriş empedansına sahip değildir ve eş zamanlı süzgeç cevabı verebilmek için kritik pasif eleman eşlemesine ihtiyaç vardır. Chiu ve Horng (2012) tarafından tasarlanan DDCC tabanlı çok fonksiyonlu süzgeç de bir aktif elemandan oluşmaktadır ve benzer şekilde yüksek giriş empedansına sahip değildir.

1.3 İkinci Dereceden Akım Modlu Süzgeçler

Literatürde aktif yapısal bloklarla tasarlanmış CM evrensel süzgeçler sunulmuştur (Soliman (1995), Elwan ve Soliman (1996), Özoguz ve Acar (1997), Özoğuz ve diğ. (1999^{a,b}), Güneş ve diğ. (1999), Alzaher ve Ismail (1999), Minaeri ve Türköz (2001), Wang ve Lee (2001), Minaei ve Türköz (2004), Pandey ve diğ. (2005), Yuce ve diğ. (2006^a), Tangsrrat, W. Surakamponorn (2006), Minaei ve Yuce (2006), Horng ve diğ. (2007), Tangsrrat ve Surakamponorn (2007), Soliman (2008), Yuce ve Minaei (2008^a), Yuce ve diğ. (2008), Pandey ve diğ. (2009), Yuce (2009^b), Alpaslan ve Yuce (2012), Yuce ve Minaei (2012), Alzaher ve diğ. (2013), Chen (2013), Chen (2012), Chen (2012)).

Özoguz ve Acar (1997), Yuce ve diğ. (2006), Özoğuz ve diğ. (1999^a) tarafından tasarlanan süzgeç konfigürasyonları, tümdevre tasarımında dezavantajlara sahip iki yüzen kapasitör içermektedir. Tangsrrat ve Surakamponorn (2006) tarafından sunulan ikinci nesil akım kontrollü taşıyıcı (CCCII) tabanlı evrensel süzgeç çok giriş ve tek çıkışa sahiptir. Ancak devre cevabı eşzamanlı olarak çalışmamaktadır. CM süzgeç konfigürasyonlarının kaskat olarak bağlanabilmesi için düşük giriş ve yüksek çıkış empedansına sahip olması gerekir. Ancak bu özelliği Elwan ve Soliman (1996), Özoguz ve Acar (1997), Güneş ve diğ. (1999), Minaei ve Türköz (2001), Sharma ve Senani (2003), Minaei ve Türköz (2004), Sharma ve Senani (2004^{a,b}), Yuce ve diğ. (2006), Tangsrrat ve Surakamponorn (2006), Yuce (2006), Tangsrrat ve Surakamponorn (2007), Horng ve diğ. (2007), Yuce ve Minaei (2008^a), Yuce ve diğ. (2008), Soliman (2008), Alpaslan ve Yuce (2012), Chen (2012^{a,b}), Chen (2013) süzgeçleri karşılayamamaktadır.

CCII'lerin kullanıldığı Soliman (1995), Elwan ve Soliman (1996) CM süzgeç konfigürasyonları sadece alçak geçiren ve bant geçiren süzgeç cevaplarına sahiptir. Bazı (Güneş ve diğ. (1999), Wang ve Lee (2001), Tangsrirat ve Surakamponorn (2006), Chen (2012^{a,b}), Chen (2013) CCII tabanlı süzgeç devreleri, çoklu giriş akımları sağlamak için bazı ekstra devre parçalarına ihtiyaç duymaktadır. Ek olarak, ICCII (Soliman (2008)), CDBA (Özoğuz ve diğ. (1999^b)), çift çıkışlı ICCII (DO-ICCII) (Chen (2012)), çift çıkışlı CCII (DO-CCII) (Keskin ve Cam(2007)), çok çıkışlı CCII (MO-CCCII) (Yuce (2009^b), Wang ve diğ. (2011^{a,b})), DVCC (Chen (2012)), akım geri beslemeli işlemsel yükselteç (CFOA) tabanlı (Sharma ve Senani (2003), Sharma ve Senani (2004^{a,b})) aktif yapısal bloklar ile tasarlanmış diğer süzgeç konfigürasyonları literatürde bulunmaktadır.

1.4 Endüktans Benzetimi

Endüktans elemanı, elektronik devrelerinde tümdevre içinde kapladığı alanın çok büyük olması ve değerleri çok küçük değilse tümdevre haline getirilememesi, manyetik enerji yayması, diğer elemanlara göre daha çok parazitik içermesi gibi nedenlerden dolayı, süzgeç ve osilatör tasarımlarında endüktans benzetimi olarak yaygın şekilde kullanılmaktadır.

Endüktans benzetimleri ilgili literatürde işlemsel yükselteç (OA), dört terminalli yüzen nülör (FTFN), işlemsel transrezistans yükselteç (OTRA), CCII, CFOA gibi aktif bloklar ve direnç, kapasitif devre elemanları ile tasarlanmıştır (Antoniou (1969), Sedra ve Smith (1970), Soliman (1978), Cicekoglu (1998), Toker ve diğ. (1999), Cicekoglu ve diğ. (2001), Arslan ve diğ. (2003), Ferii ve diğ. (2003), Yuce ve diğ. (2005), Gülsoy ve Cicekoglu (2005), Zeki ve Toker (2005), Yuce ve diğ. (2006^b), Yuce (2007), Yuce (2008), Yuce ve Minaei (2008^b), Yuce ve Minaei (2009^{a,b}), Yuce (2009^c), Fabre (2009), Kumar ve Senani (2010), Kacar (2010), Prasad ve diğ. (2010), Maundya ve Gift (2011), Metin (2011), Myderrizi ve diğ. (2011^b), Saida ve diğ. (2011), Kaçar ve Kuntman (2011), Alpaslan ve Yuce (2011), Ibrahim ve diğ. (2012^b), Arslan ve diğ. (2012), Herencsar ve diğ. (2012), Metin (2012), Abuelma'atti (2012), Minaei ve Yuce (2012), Fakhfakh ve Pierzchała (2013),

Alpaslan ve Yuce (2013), Metin ve diğ. (2014), Pandey ve diğ. (2014), Kaçar ve diğ. (2014), Yeşil ve diğ. (2014), Alpaslan ve Yuce (2014^{a,b}), Yuce ve diğ. (2014)).

Geniş frekans aralığındaki endüktans benzetimleri, ideal endüktansa fiziksel endüktanstan daha yakındır. Bundan dolayı, endüktans benzetimlerinin kullanımı, fiziksel endüktans uygulamalarına göre daha az yer kaplar ve helezon endüktans ile kıyaslayınca yüksek kalite faktörüne sahiptir. Bunlar, öncelikle topraklanmış endüktans (GIS) benzetimleri (Antoniou (1969), Sedra ve Smith (1970), Soliman (1978), Cicekoglu (1998), Toker ve diğ. (1999), Cicekoglu ve diğ. (2001), Arslan ve diğ. (2003), Yuce ve diğ. (2005), Gülsoy ve Cicekoglu (2005), Zeki ve Toker (2005), Yuce ve diğ. (2006^b), Yuce (2007), Yuce (2008), Yuce ve Minaei (2008^b), Yuce ve Minaei (2009^{a,b}), Yuce (2009^c), Fabre (2009), Kumar ve Senani (2010), Kacar (2010), Prasad ve diğ. (2010), Maundya ve Gift (2011), Metin (2011), Myderrizi ve diğ. (2011^b), Saida ve diğ. (2011), Kaçar ve Kuntman (2011), Alpaslan ve Yuce (2011), Ibrahim ve diğ. (2012^b), Arslan ve diğ. (2012), Herencsar ve diğ. (2012), Metin (2012), Abuelma'atti (2012), Fakhfakh ve Pierzchała (2013), Alpaslan ve Yuce (2013), Metin ve diğ. (2014), Pandey ve diğ. (2014), Kaçar ve diğ. (2014), Yeşil ve diğ. (2014), Alpaslan ve Yuce (2014^{a,b})) ve yüzen endüktans benzetimleri (Minaei ve Yuce (2012), Ferri ve diğ. (2003), Yuce ve diğ. (2014)) olarak iki kategoriye ayrılabilir.

Topraklanmış kapasitör kullanımı, tümdevre uygulamalarında yüzen kapasitöre göre avantajlara sahiptir (Bhushan ve Newcomb (1967)).

1.5 Osilatörler

Osilatörler, iletişim, sinyal işleme ve kontrol sistemlerinde yaygın olarak kullanıldıklarından analog devre tasarımıda önemli bir rol oynamaktadır. Kuadratör osilatör, aralarında 90^0 faz farkı olan iki sinüs işareti sağlar. Bu özelliği ile kuadratör karıştırıcı, tek yan bant üreteç gibi iletişimde çeşitli uygulamalara sahiptir.

İlgili literatürde çeşitli osilatör tasarımları sunulmuştur (Chen ve diğ. (1991), Abuelma'atti (1992), Liu ve Tsay (1996), Hou (1996), Liu ve Liao (1996), Elwan ve Soliman (1997), Barthelemy ve diğ. (2002), Horng (2003), Horng ve diğ. (2006^{a,d}),

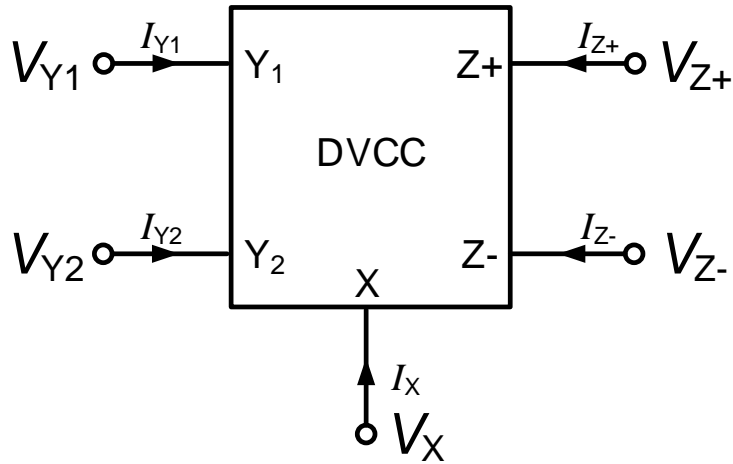
Abuelma'atti ve Al-Zaher (1999), Horng (2002), Minaei ve Ibrahim (2005), Maeshwari ve Khan (2006), Keskin ve Birolek (2006), Tangsirat ve diğ. (2008), Kumngern ve diğ. (2009), Maheshwari (2009), Kumngern ve Dejhan (2009)).

Tasarlanan devrelerin analizini gerçekleştirmek için Cadence Design Systems, Inc. Firmasının Orcad PSpice 9.2 (Simulation Program for Integrated Circuits Emphasis) programı kullanılmıştır. Program aracılığıyla 0.13 μm CMOS teknoloji parametreleri kullanılarak zaman ve frekans ortamında simülasyonlar yapılmıştır. İdeal model, bağımlı akım ve gerilim kaynakları kullanılarak elde edilmiştir. Bu simülasyonların sonuçları grafik haline getirilerek analiz edilmiştir. Benzetimlerde kullanılan CMOS teknoloji parametreleri EK A'da verilmiştir.

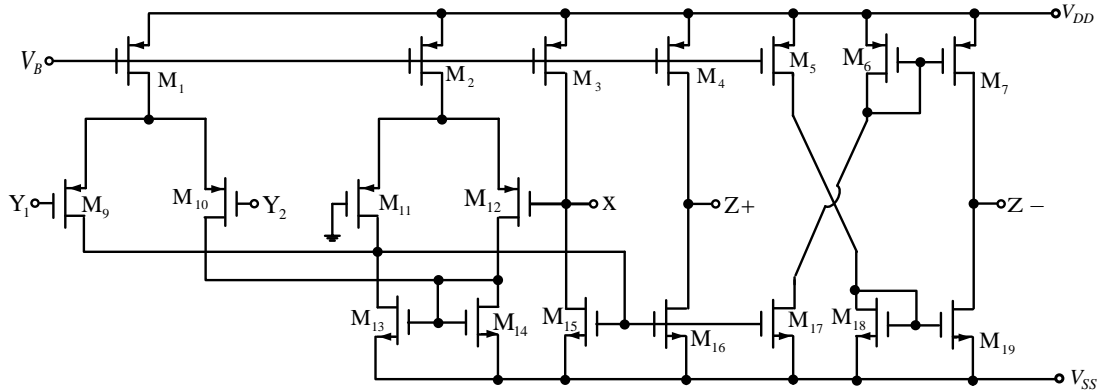
Bu tez, dokuz bölümden oluşmaktadır. İlk bölümde, bilimsel literatürde bulunan tezin konusuyla ilgili çalışmalar özetlenmiştir. İkinci bölümde, tezde kullanılan DVCC elemanı hakkında genel bilgi verilmiştir. Üçüncü bölümde birinci dereceden VM tüm geçiren süzgeç, dördüncü bölümde birinci dereceden VM evrensel süzgeç, beşinci bölümde ikinci dereceden VM evrensel süzgeç, altıncı bölümde ikinci dereceden CM evrensel süzgeç, yedinci bölümde kuadratör osilatör ve endüktans benzetimi, sekizinci bölümde yüzen endüktans benzetimi tasarımı anlatılmıştır. Dokuzuncu bölümde ise tez çalışmasından elde edilen sonuçlar özetlenmiştir.

2. DİFERANSİYEL GERİLİM AKIM TAŞIYICI

Beş terminalli DVCC bloğunun elektriksel gösterimi Şekil 2.1’de gösterildiği gibidir. Y_1 ve Y_2 giriş terminalleri yüksek empedans terminalleriyken X düşük empedans terminalidir. Z_+ ve Z_- terminalleri yüksek empedans terminalleridir. Beş terminalli DVCC bloğunun içyapısı (Chiu ve diğ. 1996) ise Şekil 2.2’de verilmiştir.



Şekil 2.1: DVCC elemanın elektriksel gösterimi.



Şekil 2.2: DVCC bloğunun içyapısı (Chiu ve diğ. 1996).

Giriş ve çıkış terminalleri arasındaki ideal ilişki matris formunda aşağıdaki eşitlik (2.1)’de gösterildiği gibi ifade edilebilir.

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Z+} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ -1 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Z+} \\ V_{Z-} \end{bmatrix} \quad (2.1)$$

Eşitlik (2.2)'de gösterildiği gibi X terminalindeki gerilim Y_1 ve Y_2 terminalleri arasındaki gerilim farkına bağlıdır. Çıkış akımları (I_{Z+} ve I_{Z-}), X terminalinden akan giriş akımını izler. $Z+$ terminalindeki akım (I_{Z+}), pozitif genlikteki X terminal akımı (I_X) ile aynı polariteye sahiptir. $Z-$ terminalindeki akım (I_{Z-}) ise X terminal akımı (I_X) ile zıt polariteye sahiptir. Giriş akımları (I_{Y1} ve I_{Y2}), Y_1 ve Y_2 terminalleri yüksek giriş empedansına sahip olduğundan eşitlik (2.3)'te gösterildiği gibi sifıra eşittir. Eşitlik (2.4) ve eşitlik (2.5)'te belirtildiği gibi iki çıkış terminalinden eş zamanlı olarak hem DVCC+ hem de DVCC- gerçekleştirilebilmektedir.

$$V_x = V_{Y1} - V_{Y2} \quad (2.2)$$

$$I_{Y1} = I_{Y2} = 0 \quad (2.3)$$

$$I_{Z+} = I_X \quad (2.4)$$

$$I_{Z-} = -I_X \quad (2.5)$$

DVCC elemanın izleme hatası hesaba katılırsa terminal gerilimleri ve akım ilişkisi matris formunda eşitlik (2.6)'da belirtildiği gibi yazılabilir.

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Z+} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} 0 & \beta & -\eta & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ \alpha & 0 & 0 & 0 & 0 \\ -\gamma & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Z+} \\ V_{Z-} \end{bmatrix} \quad (2.6)$$

Burada, $Z+$ ve $Z-$ terminallerinin frekansa bağımlı olarak değişen akım kazançları sırasıyla α ve γ 'dir. Y_1 ve Y_2 terminallerinin frekansa bağımlı olarak değişen gerilim kazançları ise sırasıyla β ve η 'dür. İdeal olarak kazançlar 1'e eşittir. Ancak düşük frekanslarda akım kazançları $\alpha = 1 - \varepsilon_1$ ve $\gamma = 1 - \varepsilon_2$; gerilim

kazançları ise $\beta = 1 - \varepsilon_3$ ve $\eta = 1 - \varepsilon_4$ olarak tanımlanır. Burada, ε_i ($|\varepsilon_i| \ll 1$; $i= 1, 2$) DVCC'nin akım izleme hataları ve ε_j ($|\varepsilon_j| \ll 1$; $j= 3, 4$) ise DVCC'nin gerilim izleme hatalarıdır. İzleme hataları ideal olarak sıfıra eşittir.

İdeal olmayan kazançlar hesaba katılırsa eşitlik (2.2), eşitlik (2.4) ve eşitlik (2.5) sırasıyla eşitlik (2.7), eşitlik (2.8) ve eşitlik (2.9)'da belirtildiği gibi yazılabilir.

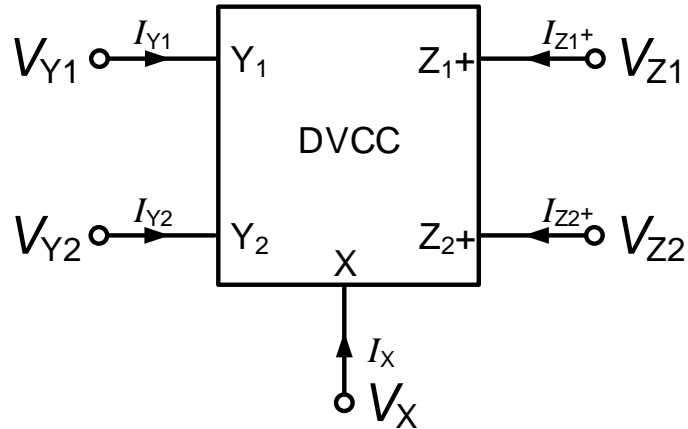
$$V_x = \beta V_{Y1} - \eta V_{Y2} \quad (2.7)$$

$$I_{Y1} = I_{Y2} = 0 \quad (2.8)$$

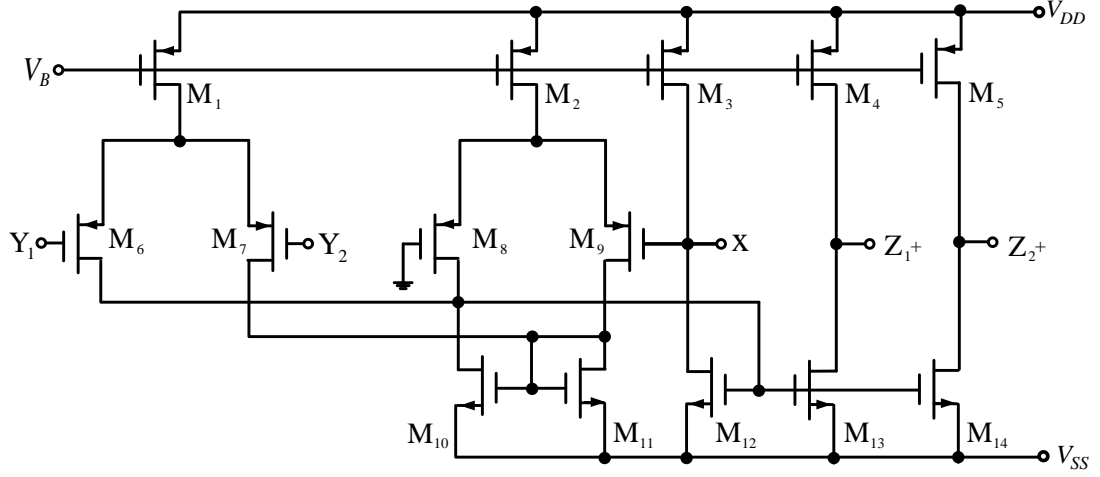
$$I_{Z+} = \alpha I_X \quad (2.9)$$

$$I_{Z-} = -\gamma I_X \quad (2.10)$$

Z terminalinin akım yönüne göre, pozitif tip (DVCC+) beş terminalli DVCC bloğunun elektriksel gösterimi Şekil 2.3'te gösterildiği gibidir. Beş terminalli pozitif tip DVCC bloğunun iç yapısı Şekil 2.4'te verilmiştir (Chiu ve diğ. 1996). DVCC+ elemanın giriş ve çıkış terminalleri arasındaki ideal ilişki matris formunda, aşağıdaki eşitlik (2.11)'de gösterildiği gibi ifade edilebilir.



Şekil 2.3: Beş terminalli DVCC+ elemanın elektriksel gösterimi.



Şekil 2.4: Beş terminalli DVCC+ bloğunun içyapısı (Chiu ve diğ. 1996).

Giriş ve çıkış terminalleri arasındaki ideal ilişki matris formunda aşağıdaki eşitlik (2.11)'de gösterildiği gibi ifade edilebilir.

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Z1+} \\ I_{Z2+} \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Z1+} \\ V_{Z2+} \end{bmatrix} \quad (2.11)$$

Eşitlik (2.12)'de gösterildiği gibi X terminalindeki gerilim Y_1 ve Y_2 terminalleri arasındaki gerilim farkına bağlıdır. Çıkış akımları (I_{Z1+} ve I_{Z2+}), X terminalinden akan giriş akımını izler. Z_{1+} terminalindeki akım (I_{Z1+}) ve Z_{2+} terminalindeki akım (I_{Z2+}) pozitif genlikteki X terminal akımı (I_X) ile aynı polariteye sahiptir. Giriş akımları (I_{Y1} ve I_{Y2}), Y_1 ve Y_2 terminalleri yüksek giriş empedansına sahip olduğundan eşitlik (2.13)'te gösterildiği gibi sıfıra eşittir.

$$V_X = V_{Y1} - V_{Y2} \quad (2.12)$$

$$I_{Y1} = I_{Y2} = 0 \quad (2.13)$$

$$I_{Z1+} = I_X \quad (2.14)$$

$$I_{Z2+} = I_X \quad (2.15)$$

DVCC elemanın izleme hatası hesaba katılırsa terminal gerilimleri ve akım ilişkisi matris formunda eşitlik (2.16)'da belirtildiği gibi yazılabilir.

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Z1+} \\ I_{Z2+} \end{bmatrix} = \begin{bmatrix} 0 & \beta & -\eta & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ \alpha & 0 & 0 & 0 & 0 \\ \gamma & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Z1+} \\ V_{Z2+} \end{bmatrix} \quad (2.16)$$

İdeal olmayan kazançlar hesaba katılırsa eşitlik (2.12), eşitlik (2.14) ve eşitlik (2.15) sırasıyla eşitlik (2.17), eşitlik (2.19) ve eşitlik (2.20)'de belirtildiği gibi yazılabilir.

$$V_x = \beta V_{Y1} - \eta V_{Y2} \quad (2.17)$$

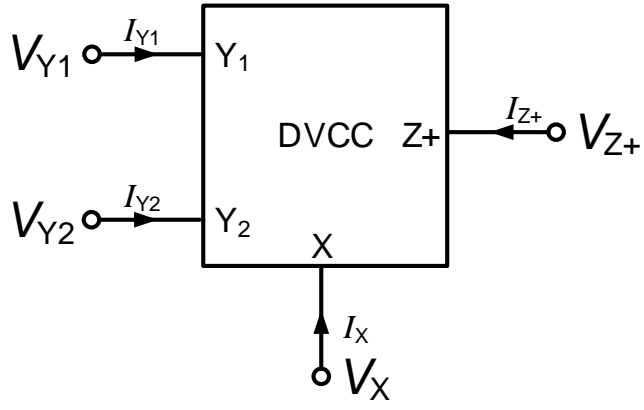
$$I_{Y1} = I_{Y2} = 0 \quad (2.18)$$

$$I_{Z1+} = \alpha I_X \quad (2.19)$$

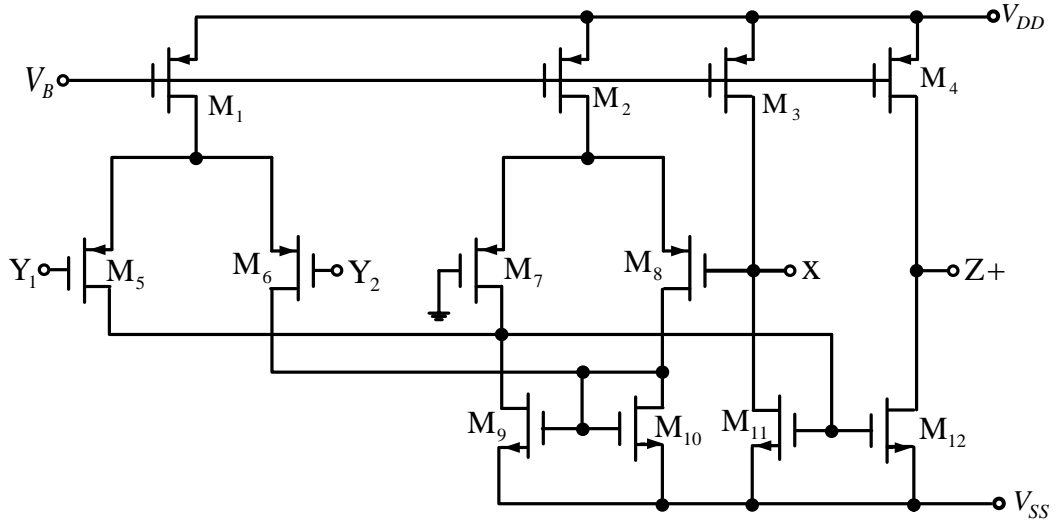
$$I_{Z2+} = \gamma I_X \quad (2.20)$$

Z terminalinin akım yönüne göre, pozitif tip (DVCC+) dört terminalli DVCC bloğunun elektriksel gösterimi Şekil 2.5'te gösterildiği gibidir. Dört terminalli pozitif tip DVCC bloğunun iç yapısı Şekil 2.6'da verilmiştir (Chiu ve diğ. 1996). DVCC+ elemanın giriş ve çıkış terminalleri arasındaki ideal ilişki matris formunda aşağıdaki eşitlik (2.21)'de gösterildiği gibi ifade edilebilir.

$$\begin{bmatrix} V_x \\ I_{Y1} \\ I_{Y2} \\ I_{Z+} \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_x \\ V_{Y1} \\ V_{Y2} \\ I_{Z+} \end{bmatrix} \quad (2.21)$$



Şekil 2.5: Dört terminalli DVCC+ elemanın elektriksel gösterimi.



Şekil 2.6: DVCC+ bloğunun içyapısı (Chiu ve diğ. 1996).

Eşitlik (2.22)'de gösterildiği gibi X terminalindeki gerilim Y_1 ve Y_2 terminalleri arasındaki gerilim farkına bağlıdır. Çıkış akımı (I_{Z+}), X terminalinden akan giriş akımını izler. $Z+$ terminalindeki akım (I_{Z+}), pozitif genlikteki X terminal akımı (I_X) ile aynı polariteye sahiptir. Giriş akımları (I_{Y1} ve I_{Y2}), Y_1 ve Y_2 terminalleri yüksek giriş empedansına sahip olduğundan eşitlik (2.23)'te gösterildiği gibi sıfıra eşittir.

$$V_x = V_{Y1} - V_{Y2} \quad (2.22)$$

$$I_{Y1} = I_{Y2} = 0 \quad (2.23)$$

$$I_{Z+} = I_X \quad (2.24)$$

DVCC elemanın izleme hatası hesaba katılırsa terminal gerilimleri ve akım ilişkisi matris formunda eşitlik (2.22)'de belirtildiği gibi yazılabilir.

$$\begin{bmatrix} V_x \\ I_{Y1} \\ I_{Y2} \\ I_{Z+} \end{bmatrix} = \begin{bmatrix} 0 & \beta & -\eta & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_x \\ V_{Y1} \\ V_{Y2} \\ I_{Z+} \end{bmatrix} \quad (2.25)$$

İdeal olmayan kazançlar hesaba katılırsa eşitlik (2.22), eşitlik (2.23) ve eşitlik (2.24) sırasıyla eşitlik (2.26), eşitlik (2.27) ve eşitlik (2.28)'de belirtildiği gibi yazılabilir.

$$V_x = \beta V_{Y1} - \eta V_{Y2} \quad (2.26)$$

$$I_{Y1} = I_{Y2} = 0 \quad (2.27)$$

$$I_{Z+} = \alpha I_X \quad (2.28)$$

Z terminalinin akım yönüne göre, negatif tip (DVCC-) dört terminalli DVCC bloğunun elektriksel gösterimi Şekil 2.7'de gösterildiği gibidir. Dört terminalli negatif tip DVCC bloğunun iç yapısı Şekil 2.8'de verilmiştir (Chiu ve diğ. 1996). DVCC- elemanın giriş ve çıkış terminalleri arasındaki ideal ilişki matris formunda aşağıdaki eşitlik (2.29)'da gösterildiği gibi ifade edilebilir.

$$\begin{bmatrix} V_x \\ I_{Y1} \\ I_{Y2} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ -1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_x \\ V_{Y1} \\ V_{Y2} \\ I_{Z-} \end{bmatrix} \quad (2.29)$$

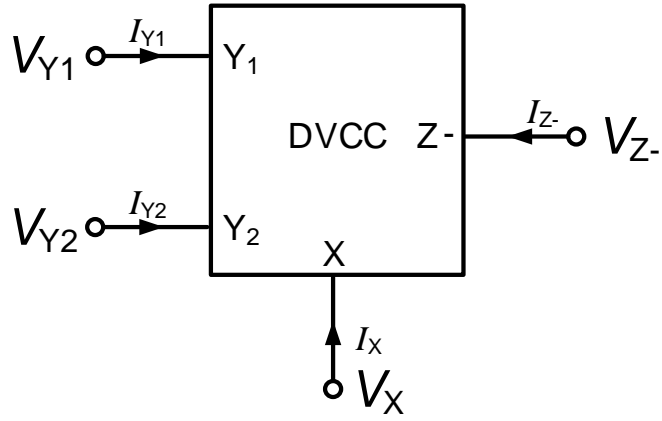
Eşitlik 2.30'da gösterildiği gibi X terminalindeki gerilim V_x ve V_{Y2} terminalleri arasındaki gerilim farkına bağlıdır. Çıkış akımı (I_{Z-}), X terminalinden akan giriş akımını izler. Z- terminalindeki akım (I_{Z-}), pozitif genlikteki X terminal akımı (I_X) ile zıt polariteye sahiptir. Giriş akımları (I_{Y1} ve I_{Y2}), V_{Y1} ve V_{Y2} terminalleri

yüksek giriş empedansına sahip olduğundan eşitlik (2.31)'de gösterildiği gibi sıfıra eşittir.

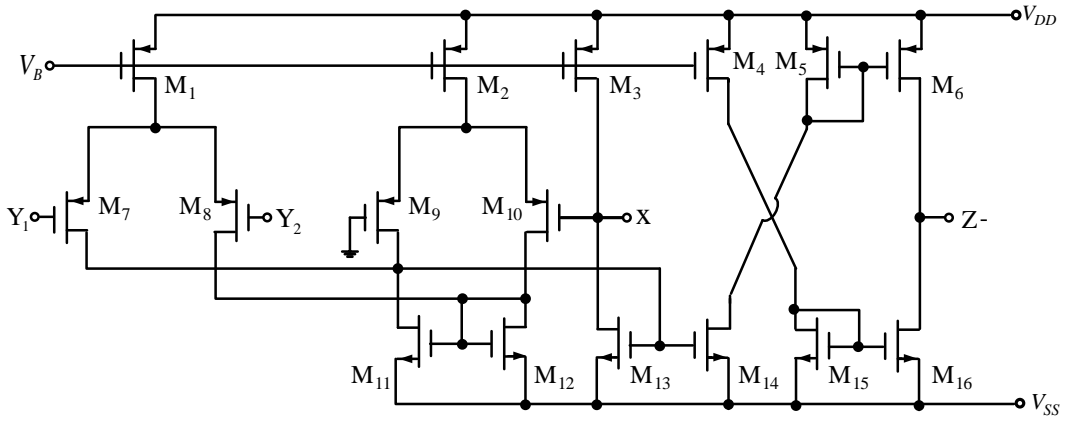
$$V_x = V_{Y1} - V_{Y2} \quad (2.30)$$

$$I_{Y1} = I_{Y2} = 0 \quad (2.31)$$

$$I_{Z-} = -I_X \quad (2.32)$$



Şekil 2.7: DVCC- elemanın elektriksel gösterimi.



Şekil 2.8: DVCC- bloğunun içyapısı (Chiu ve diğ. 1996).

DVCC elemanın izleme hatası hesaba katılırsa terminal gerilimleri ve akım ilişkisi matris formunda eşitlik (2.30)'da belirtildiği gibi yazılabilir.

$$\begin{bmatrix} V_x \\ I_{Y1} \\ I_{Y2} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} 0 & \beta & -\eta & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ -\gamma & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_x \\ V_{Y1} \\ V_{Y2} \\ I_{Z-} \end{bmatrix} \quad (2.33)$$

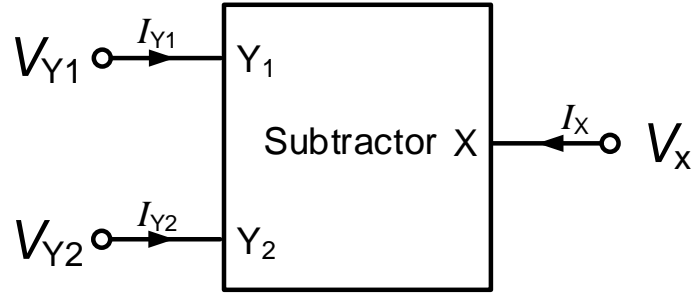
İdeal olmayan kazançlar hesaba katılırsa eşitlik (2.30), eşitlik (2.31) ve eşitlik (2.32) sırasıyla eşitlik (2.34), eşitlik (2.35) ve eşitlik (2.36)'da belirtildiği gibi yazılabilir.

$$V_x = \beta V_{Y1} - \eta V_{Y2} \quad (2.34)$$

$$I_{Y1} = I_{Y2} = 0 \quad (2.35)$$

$$I_{Z-} = -\gamma I_x \quad (2.36)$$

Üç terminalli DVCC'den gerçekleştirilen fark alıcı bloğunun elektriksel gösterimi Şekil 2.9'da verilmiştir. Fark alıcı, frekansa bağlı ideal olmayan akım kazançlarından zarar görmez. Fark alıcı bloğunun içyapısı Şekil 2.10'da gösterildiği gibidir (Chiu ve diğ. 1996).



Şekil 2.9: Fark alıcının elektriksel gösterimi.

Fark alıcı elemanın giriş ve çıkış terminalleri arasındaki ideal ilişki eşitlik (2.37) ve eşitlik (2.38)'de belirtildiği gibidir.

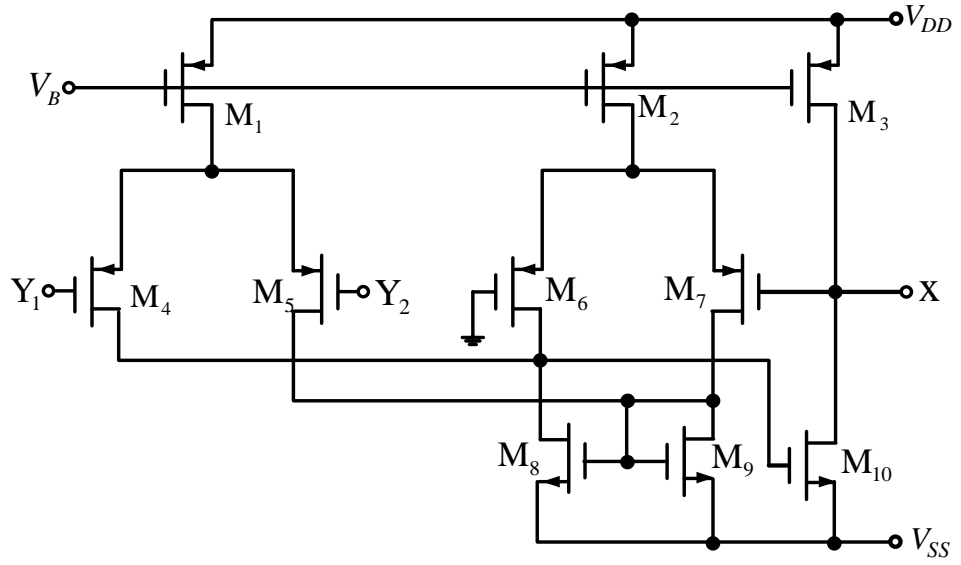
$$V_x = V_{Y1} - V_{Y2} \quad (2.37)$$

$$I_{Y1} = I_{Y2} = 0 \quad (2.38)$$

İdeal olmayan gerilim kazançları olan β ve η hesaba katılırsa eşitlik (2.39), eşitlik (2.40)'ta gösterildiği gibi yazılabilir.

$$V_x = \beta V_{Y1} - \eta V_{Y2} \quad (2.39)$$

$$I_{Y1} = I_{Y2} = 0 \quad (2.40)$$



Şekil 2.10: Fark alıcı bloğunun iç yapısı (Chiu ve diğ. 1996).

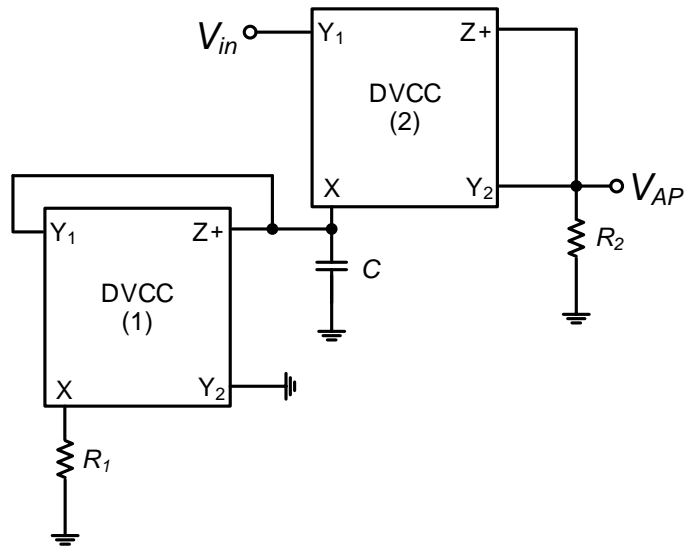
3. BİRİNCİ DERECEDEN GERİLİM MODLU TİM GEÇİREN SÜZGEÇ TASARIMI

3.1 Giriş

Bu bölümde, iki adet diferansiyel gerilim akım taşıyıcı (DVCC), iki direnç ve topraklanmış kapasitör ile yeni birinci derece gerilim modlu (VM) tüm geçiren süzgeç tasarlanmıştır. Tasarlanan devre, yüksek giriş empedansı ile birinci derece tüm geçiren cevabı gerçeklemektedir. Bundan dolayı, diğer VM devrelere kaskat olarak bağlanabilmektedir. Fakat bu tüm geçiren süzgeç devresinde bir direnç eşleme şartı vardır. Tasarlanan devrenin performansı da SPICE programında benzetimleri yapılarak doğruluğu kanıtlanmıştır.

3.2 Yöntem

Tasarlanan birinci derece VM tüm geçiren süzgeç devresi, Şekil 3.1'de görüldüğü gibi, iki adet DVCC, iki direnç ve topraklanmış kapasitör kullanılarak gerçekleştirilmiştir.



Şekil 3.1: Tasarlanan birinci dereceden tüm geçiren süzgeç.

Tasarlanan tüm geçiren süzgeç devresinde $R_1 = 2R_2$ eşitliği kullanılarak elde edilen, tüm geçiren ideal transfer fonksiyonu aşağıda verilmiştir:

$$\frac{V_{AP}}{V_{in}} = -\frac{1 - sCR_1}{1 + sCR_1} \quad (6.1)$$

Birinci dereceden tüm geçiren süzgecin faz cevabı aşağıdaki gibidir:

$$\varphi(\omega) = \pi - 2Arc \tan(\omega CR_1) \quad (6.2)$$

Frekans 0'dan sonsuza giderken, faz cevabı da 180° 'den 0° 'ye doğru değişmektedir. Devrenin kutup frekansı (ω_0) aşağıdaki gibi hesaplanır:

$$\omega_0 = \frac{1}{CR_1} \quad (6.3)$$

Tasarlanan tüm geçiren süzgecin ideal olmayan transfer fonksiyonu aşağıdaki gibi elde edilmiştir:

$$\frac{V_{AP}}{V_{in}} = -\frac{\alpha_1 \alpha_2 \beta_1 \beta_2 R_2 - sCR_1 R_2 \alpha_1 \beta_1}{R_1 - \alpha_1 \alpha_2 \beta_2 \eta_1 R_2 + sCR_1 R_2 \alpha_1 \eta_1} \quad (6.4)$$

Birinci dereceden tüm geçiren süzgecin ideal olmayan faz cevabı aşağıdaki gibidir:

$$\varphi(\omega) = \pi - Arc \tan\left(\frac{CR_1 R_2 \alpha_1 \beta_1}{\alpha_1 \alpha_2 \beta_1 \beta_2 R_2}\right) - Arc \tan\left(\frac{CR_1 R_2 \alpha_1 \eta_1}{R_1 - \alpha_1 \alpha_2 \beta_2 \eta_1 R_2}\right) \quad (6.5)$$

3.3 Benzetim Sonuçları

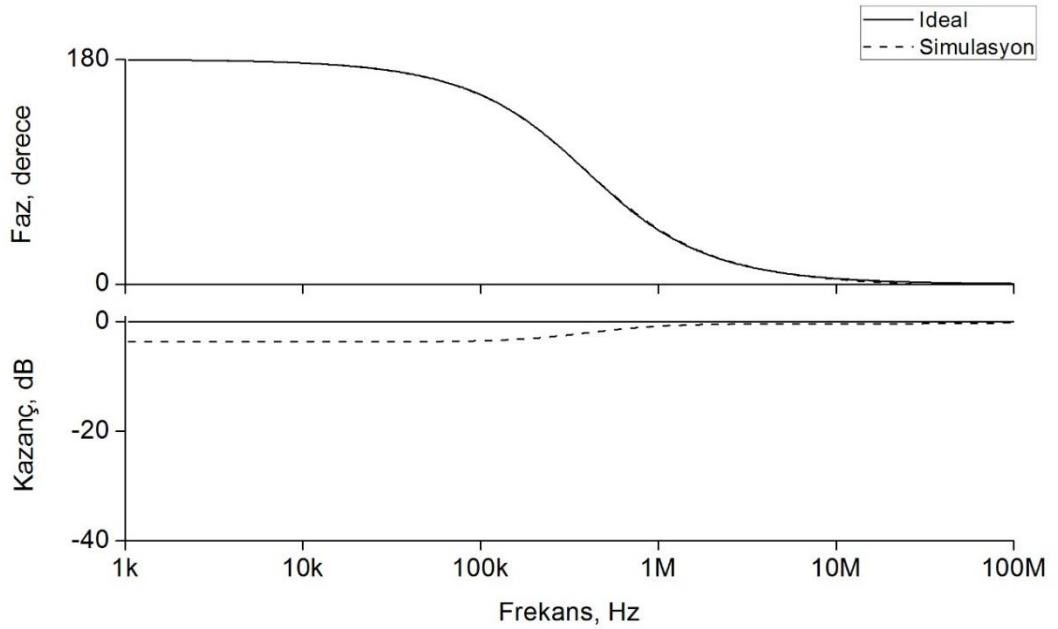
Tasarlanan birinci dereceden VM tüm geçiren süzgecin benzetimleri, SPICE programında, 0.13 μm CMOS teknolojisi parametreleri kullanarak yapılmıştır. Şekil 3.1'de verilen devrenin simetrik güç kaynağı gerilimleri $V_{DD} = 0.75 \text{ V}$ ve $V_{SS} = -0.75 \text{ V}$ 'dir. Kutuplama gerilimi $V_B = 0.37 \text{ V}$ olarak seçilmiştir. MOS transistör boyutları Tablo 3.1'de gösterilmiştir. Tasarımda kullanılan dört terminalli DVCC+'nin iç yapısı Şekil 2.6'da verilmiştir (Chiu ve diğ. 1996). Devrenin pasif

elemanları, $f_0 = 397$ kHz olacak şekilde $R_1 = 4$ k Ω , $R_2 = 2$ k Ω ve $C = 100$ pF seçilmiştir.

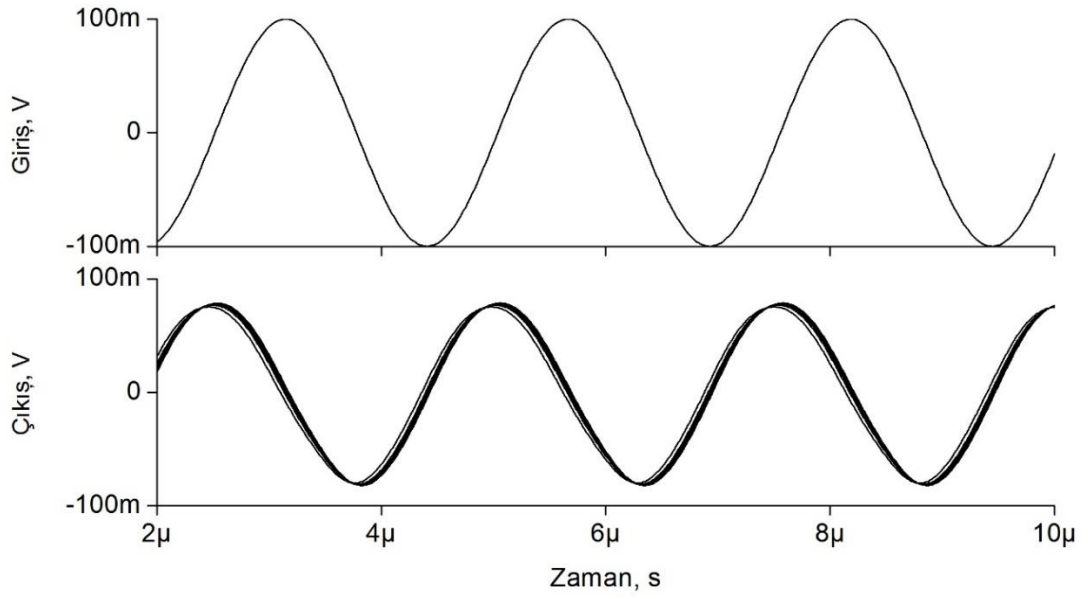
Tablo 3.1: MOS transistor boyutları.

PMOS Transistors	$W(\mu m)/L(\mu m)$
M ₁ -M ₈	41.6/0.52
NMOS Transistors	$W(\mu m)/L(\mu m)$
M ₉ -M ₁₂	13/0.52

Tasarlanan gerilim modlu süzgecin ideal ve ideal olmayan tüm geçiren kazanç ve faz cevabı Şekil 3.2’de verilmiştir. Tasarlanan VM tüm geçiren süzgecinin girişine 100 mV tepe genliğinde ve 397 kHz frekansında sinüzoidal giriş gerilimi uygulanarak, çıkış geriliminin Monte Carlo analizi yapılmıştır. Tüm geçiren süzgecin kapasitör değerlerinin %20 değiştirilmesiyle elde edilen 10 adımlı Monte Carlo analizi Şekil 3.3’te verilmiştir.

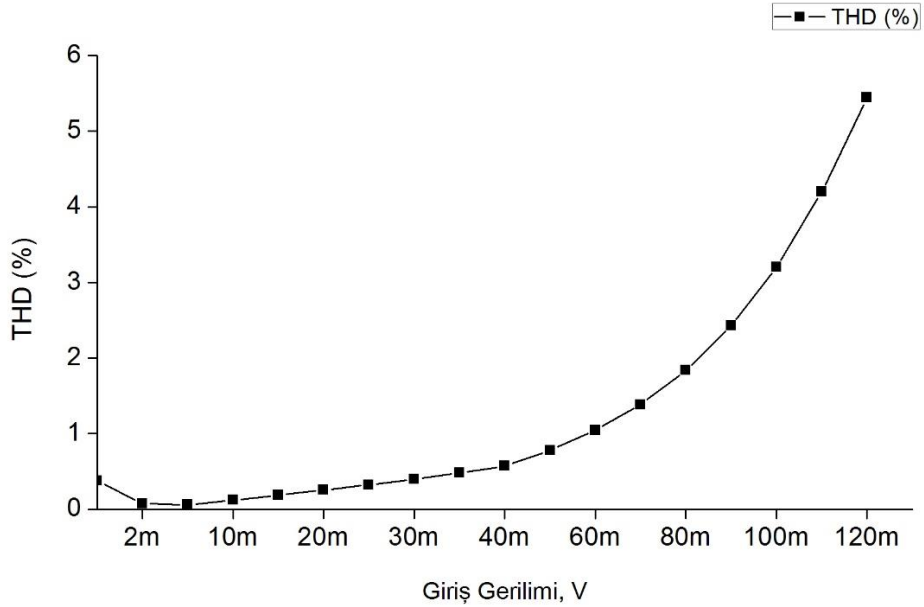


Şekil 3.2: Tasarlanan birinci dereceden gerilim modlu süzgecin ideal ve ideal olmayan tüm geçiren kazanç ve faz cevabı.



Şekil 3.3: Tasarlanan birinci dereceden gerilim modlu süzgecinin kapasite değerlerinin %20 değiştirilmesiyle elde edilen Monte Carlo analizi.

SPICE benzetiminde tasarlanan süzgecin güç tüketimi 0.64 mW olarak hesaplanmıştır. Tasarımı gerçekleştirilen devrenin de girişine 397 kHz frekansında sinüzoidal giriş gerilimi uygulanarak, tüm geçiren süzgeç çıkışlarından alınan THD değişimleri elde edilmiştir. THD değişimleri Şekil 3.4'te gösterildiği gibidir.



Şekil 3.4: Tasarlanan süzgecin tüm geçiren cevabı için giriş gerilimine bağlı toplam harmonik bozulması.

4. BİRİNCİ DERECEDEN GERİLİM MODLU EVRENSEL SÜZGEÇ TASARIMI

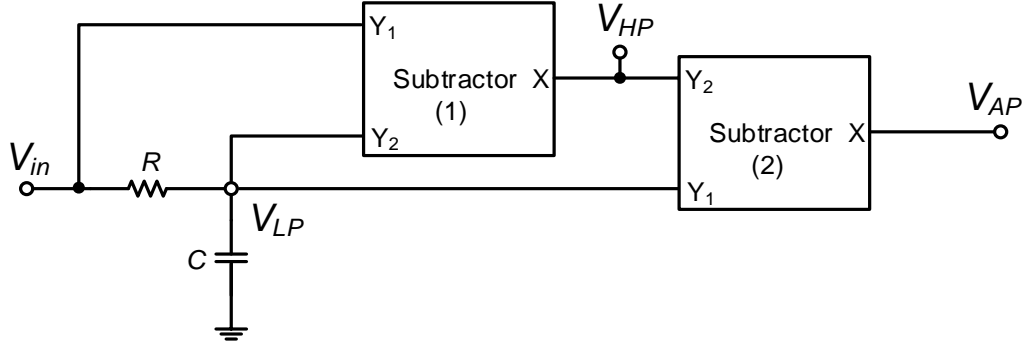
4.1 Giriş

Bu bölümde, sadece iki fark alıcı (subtractor), bir direnç ve topraklanmış bir kapasitör ile iki birinci derece gerilim modlu (VM) evrensel süzgeç tasarlanmıştır. Her iki tasarlanan devre de aynı zamanda birinci derece alçak geçiren, yüksek geçiren ve tüm geçiren cevapları gerçeklemektedir. Bundan başka, yüksek geçiren ve tüm geçiren cevaplar düşük çıkış empedansına sahiptir. Bundan dolayı, diğer VM devrelere kaskat olarak bağlanabilmektedir. Frekansa bağlı ideal olmayan akım kazançlarından etkilenmemektedir. Her iki devrede de her hangi bir pasif eleman eşleme şartı yoktur. Tasarlanan devrelerin her ikisinin performansı da SPICE programında benzetimleri yapılarak doğruluğu kanıtlanmıştır.

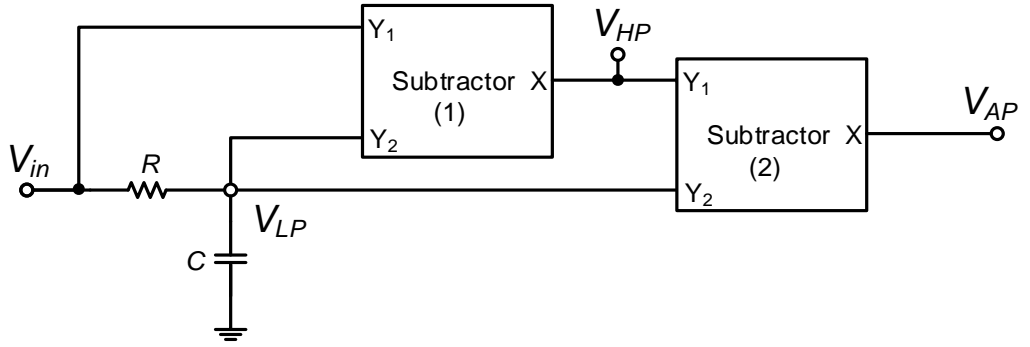
4.2 Yöntem

Tasarlanan VM süzgeç devresi, Şekil 4.1’de görüldüğü gibi, iki adet fark alıcı, bir direnç ve topraklanmış kapasitör kullanılarak gerçekleştirilmiştir. Her iki tasarlanan devre de aynı zamanda düşük çıkış empedansı ile birinci derece alçak geçiren, yüksek geçiren ve tüm geçiren cevaplarını verebilmektedir.

Fark alıcının elektriksel sembolü Şekil 2.9’da gösterilmektedir. Birinci ve ikinci tasarım birinci dereceden evrensel süzgeç sırasıyla Şekil 4.1 ve Şekil 4.2’de verilmiştir.



Şekil 4.1: Birinci tasarım birinci dereceden evrensel süzgeç.



Şekil 4.2: İkinci tasarım birinci dereceden evrensel süzgeç.

Birinci dereceden gerilim modlu süzgeç tasarımlarının analizi sonucu elde edilen alçak geçiren (LP), yüksek geçiren (HP) aşağıdaki denklemlerde verilmiştir:

$$\frac{V_{LP}}{V_{in}} = \frac{1}{1 + sCR} \quad (4.1)$$

$$\frac{V_{HP}}{V_{in}} = \frac{sCR}{1 + sCR} \quad (4.2)$$

Birinci süzgeç tasarımı evirmeyen birinci dereceden tüm geçiren (AP) süzgeç cevabı vermektedir. İdeal transfer fonksiyonu aşağıdaki gibi elde edilir:

$$\frac{V_{AP}}{V_{in}} = \frac{1 - sCR}{1 + sCR} \quad (4.3)$$

Devrenin açılmalı rezonans frekansı (ω_0) aşağıdaki denklemde verilmiştir:

$$\omega_0 = \frac{1}{CR} \quad (4.4)$$

Tasarlanan ikinci süzgeç devresinin analizi aynı LP, HP transfer fonksiyonunu vermektedir. Ayrıca, ikinci süzgeç tasarımı eviren birinci dereceden tüm geçiren süzgeç cevabı vermektedir. İdeal AP transfer fonksiyonu aşağıdaki denklemde verilmiştir:

$$\frac{V_{AP}}{V_{in}} = -\frac{1 - sCR}{1 + sCR} \quad (4.5)$$

Birinci ve ikinci tasarım tüm geçiren süzgeçlerin faz cevapları sırasıyla aşağıdaki gibi hesaplanabilir:

$$\varphi(\omega) = -2Arc \tan(\omega CR) \quad (4.6a)$$

$$\varphi(\omega) = \pi - 2Arc \tan(\omega CR) \quad (4.6b)$$

Eşitlik (4.6a)'da frekans sıfırdan sonsuza giderken, faz açısı 0° 'den -180° 'ye değişmektedir. Ayrıca, eşitlik (4.6b)'de frekans sıfırdan sonsuza giderken, faz açısı 180° 'den 0° 'ye değişmektedir.

İdeal olmayan kazançlar hesaba katılırsa birinci devrenin transfer fonksiyonları aşağıdaki gibi olmaktadır:

$$\frac{V_{LP}}{V_{in}} = \frac{1}{1 + sCR} \quad (4.7)$$

$$\frac{V_{HP}}{V_{in}} = \frac{sCR\beta_1 + \beta_1 - \eta_1}{1 + sCR} \quad (4.8)$$

$$\frac{V_{AP}}{V_{in}} = \frac{\beta_2 + \eta_1\eta_2 - \beta_1\eta_2 - sCR\beta_1\eta_2}{1 + sCR} \quad (4.9)$$

İkinci devrenin LP ve HP transfer fonksiyonları sırasıyla eşitlik (4.7) ve (4.8) gibi olurken, AP transfer fonksiyonu aşağıdaki gibi olur:

$$\frac{V_{AP}}{V_{in}} = -\frac{\eta_2 + \beta_2\eta_1 - \beta_1\beta_2 - sCR\beta_1\beta_2}{1 + sCR} \quad (4.10)$$

İdeal olmayan kazançlar hesaba katılırsa, birinci ve ikinci tasarım tüm geçiren süzgeçlerin faz cevapları sırasıyla aşağıdaki gibi hesaplanmaktadır:

$$\varphi(\omega) = -\text{Arc tan}\left(\frac{\omega CR\beta_1\eta_2}{\beta_2 + \eta_1\eta_2 - \beta_1\eta_2}\right) - \text{Arc tan}(\omega CR) \quad (4.11a)$$

$$\varphi(\omega) = \pi - \text{Arc tan}\left(\frac{\omega CR\beta_1\beta_2}{\eta_2 + \beta_2\eta_1 - \beta_1\beta_2}\right) - \text{Arc tan}(\omega CR) \quad (4.11b)$$

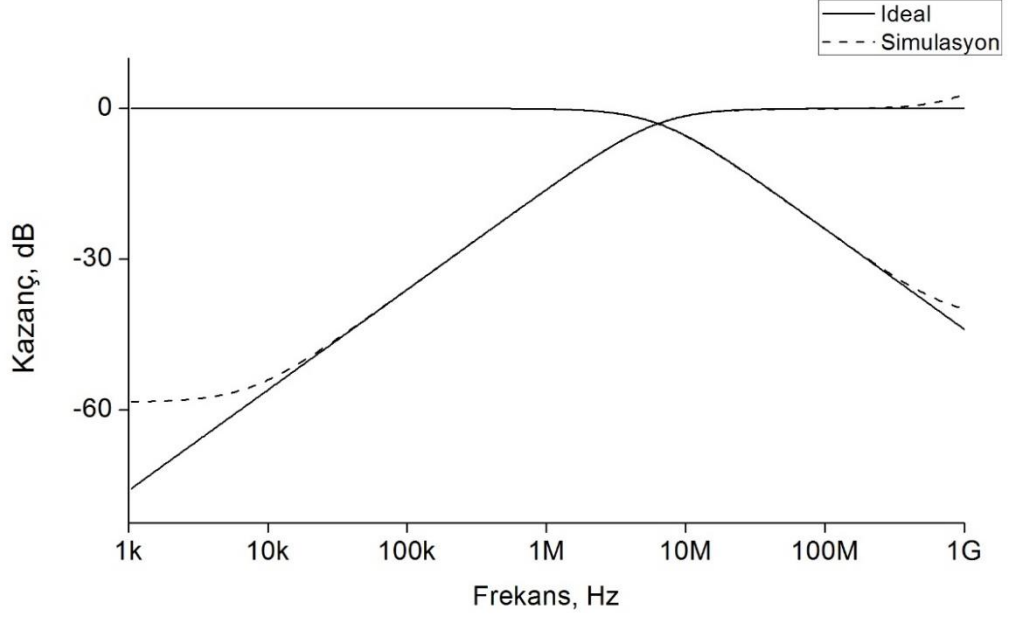
4.3 Benzetim Sonuçları

Tasarlanan VM süzgecin benzetimleri, SPICE programında, 0.13 μm IBM CMOS teknolojisi parametreleri kullanarak yapılmıştır. Şekil 4.1’de verilen devrenin simetrik güç kaynağı gerilimleri $V_{DD} = 0.75 \text{ V}$ ve $V_{SS} = -0.75 \text{ V}$ ’dir. Kutuplama gerilimi $V_B = 0.24 \text{ V}$ olarak seçilmiştir. MOS transistör boyutları Tablo 4.1’de gösterilmiştir. Tasarımda kullanılan DVCC’nin içyapısı Şekil 2.10’da verilmiştir (Chiu ve diğ. 1996). Devrenin pasif elemanları, $f_0 = 6.366 \text{ MHz}$ olacak şekilde $R = 1 \text{ k}\Omega$ ve $C = 25 \text{ pF}$ olarak seçilmiştir.

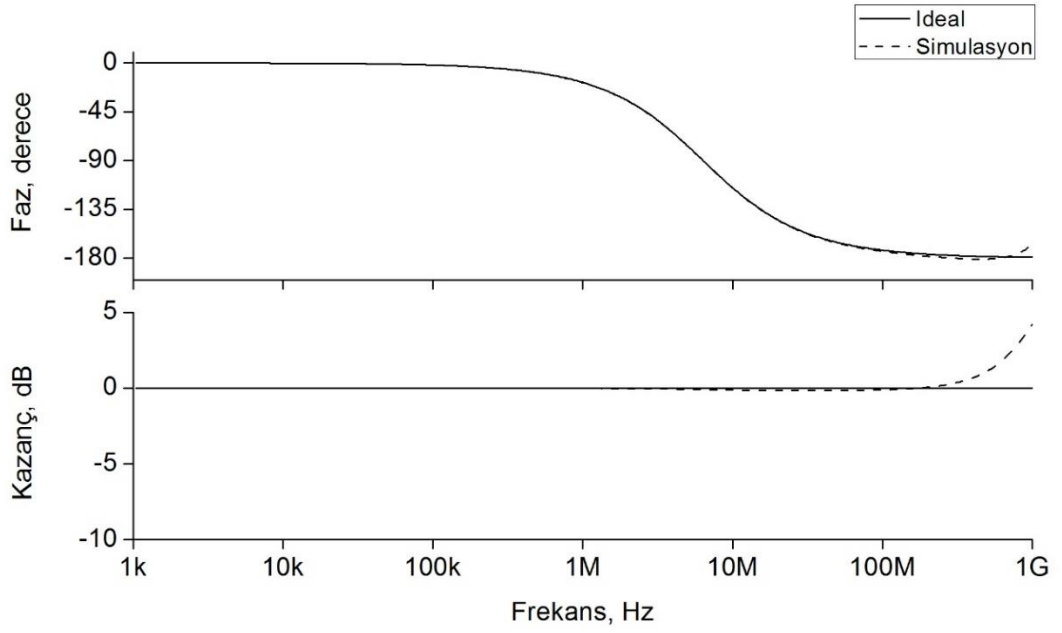
Tablo 4.1: MOS transistor boyutları.

PMOS Transistörler	$W(\mu\text{m})/L(\mu\text{m})$
M ₁ -M ₇	41.6/0.52
NMOS Transistörler	$W(\mu\text{m})/L(\mu\text{m})$
M ₈ -M ₁₀	13/0.52

Birinci tasarım VM süzgecin ideal ve ideal olmayan LP ve HP kazanç cevabı Şekil 4.3’te; AP kazanç ve faz cevabı ise Şekil 4.4’te verilmiştir.

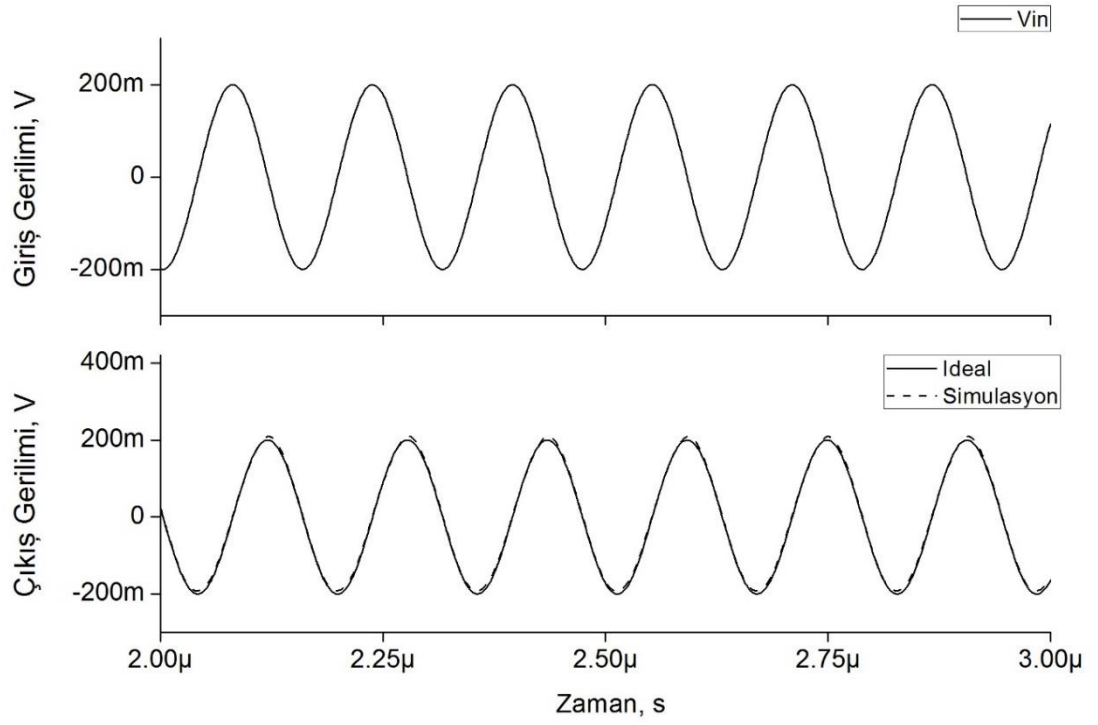


Şekil 4.3: Birinci tasarım, alçak geçiren ve yüksek geçiren süzgeç ideal ve ideal olmayan kazanç cevabı.



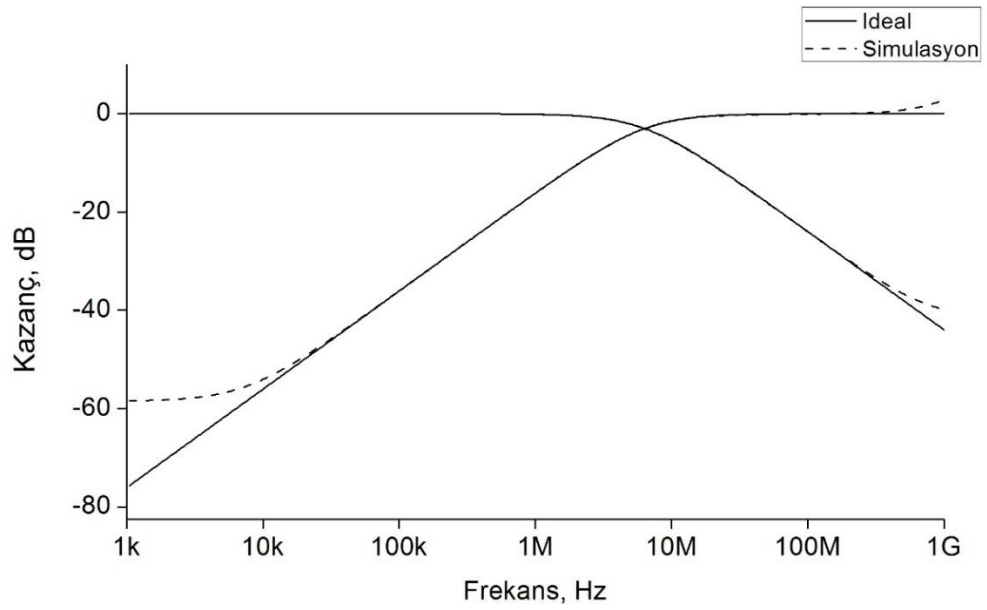
Şekil 4.4: Birinci tasarım, tüm geçiren süzgecin faz ve kazanç cevabı.

Birinci tasarım gerilim modlu tüm geçiren süzgecinin girişine 200 mV tepe genliğinde ve 6.366 MHz frekansında sinüzoidal giriş gerilimi uygulanarak, çıkış geriliminin analizi yapılmıştır. Devrenin giriş/çıkış cevabı Şekil 4.5'te verilmiştir.

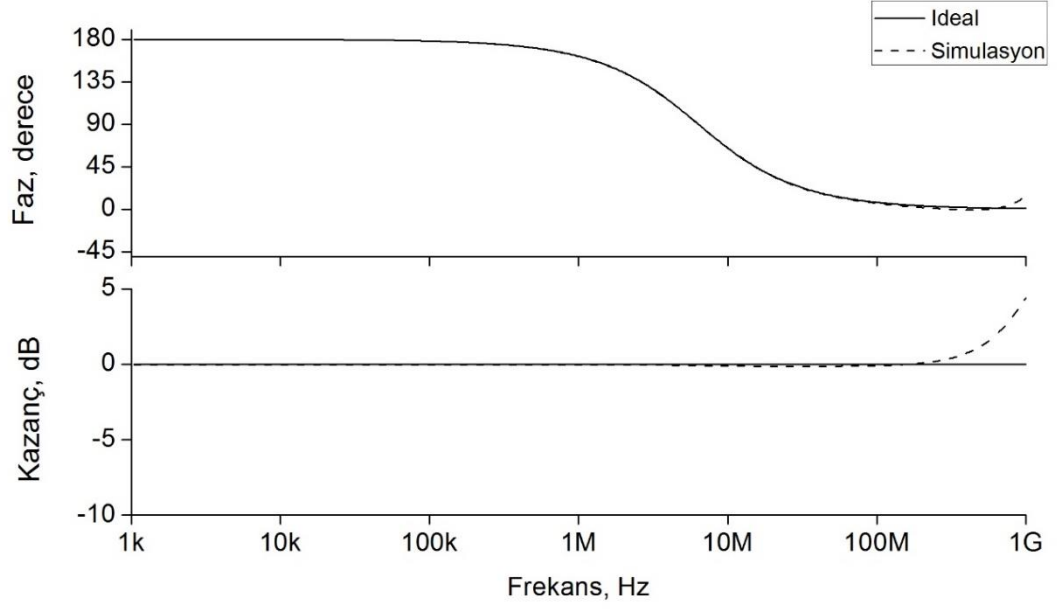


Şekil 4.5: Birinci tasarım tüm geçiren süzgecin 6.366 MHz frekansına sahip sinüzoidal giriş işareti için giriş/çıkış cevabı.

İkinci tasarım gerilim modlu süzgecin ideal ve ideal olmayan LP, HP kazanç cevabı Şekil 4.6'da; AP kazanç ve faz cevabı ise Şekil 4.7'de verilmiştir.

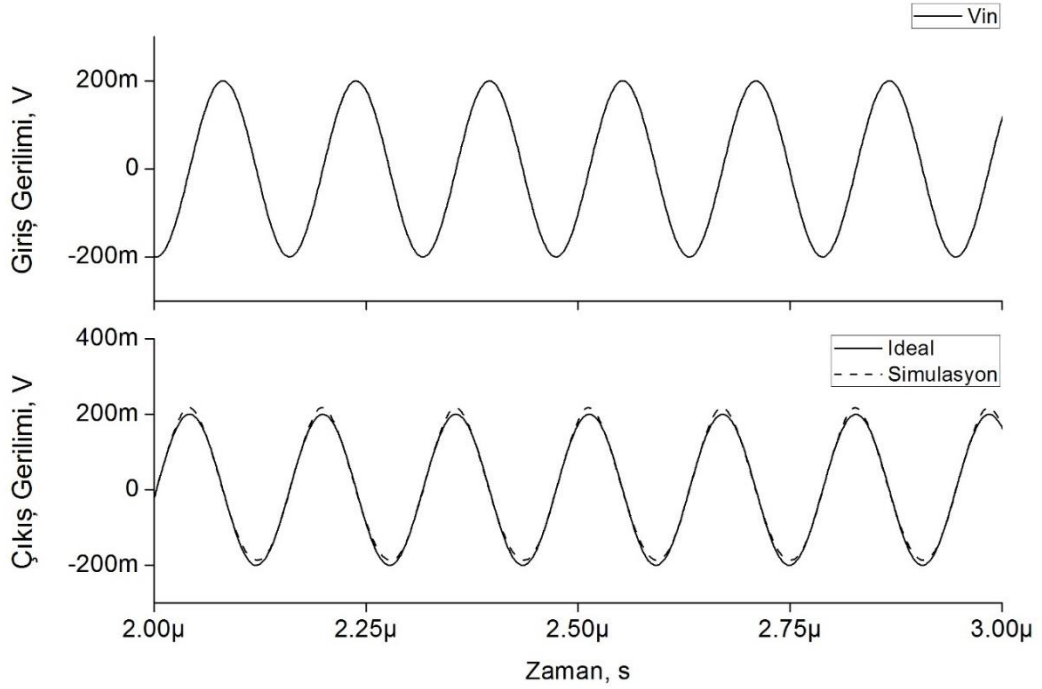


Şekil 4.6: İkinci tasarım, alçak geçiren ve yüksek geçiren süzgeç ideal ve ideal olmayan kazanç cevabı.



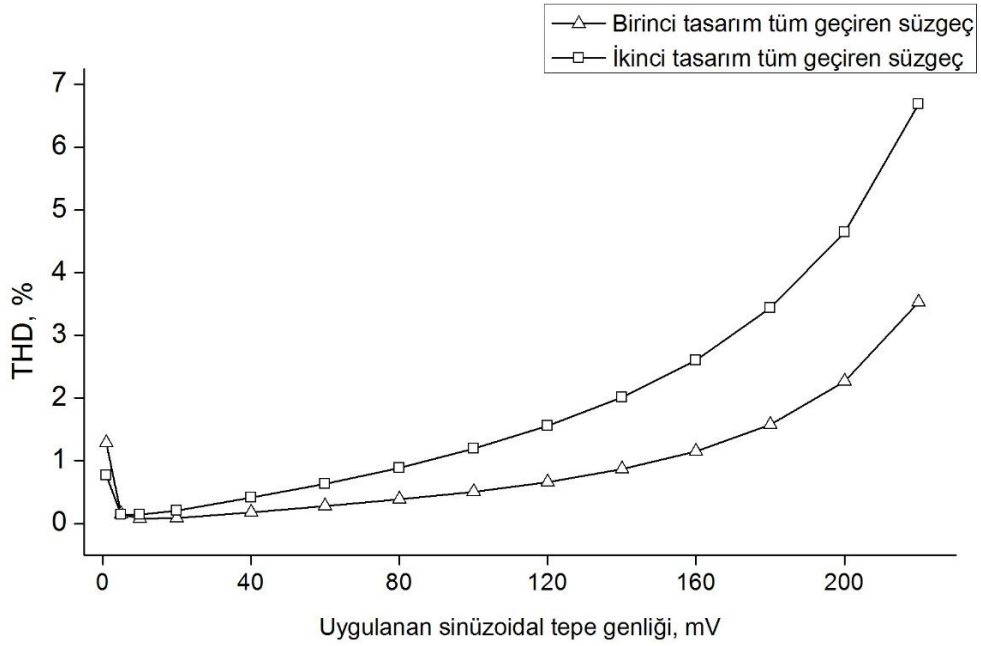
Şekil 4.7: İkinci tasarım, tüm geçiren süzgecin faz ve kazanç cevabı.

İkinci tasarım VM tüm geçiren süzgecinin girişine 200 mV tepe genliğinde ve 6.366 MHz frekansında sinüzoidal giriş gerilimi uygulanarak, çıkış geriliminin analizi yapılmıştır. Devrenin giriş/çıkış cevabı Şekil 4.8’de verilmiştir.



Şekil 4.8: İkinci tasarım tüm geçiren süzgecin 6.366 MHz frekansına sahip sinüzoidal giriş işareti için giriş/çıkış cevabı.

Tasarlanan süzgeçlerin güç tüketimi, SPICE programında, 1. devre ve 2. devre için 1.77 mW olarak bulunmuştur. Tasarımı gerçekleştirilen iki devrenin de girişine 6.366 MHz frekansında sinüzoidal işaret uygulanarak, tüm geçiren süzgeç çıkışlarından alınan toplam harmonik bozulma (THD) değişimleri elde edilmiştir. THD değişimleri Şekil 4.9'da gösterildiği gibidir.



Şekil 4.9: Tasarlanan süzgecin tüm geçiren cevabı için giriş gerilimine bağlı toplam harmonik bozulması.

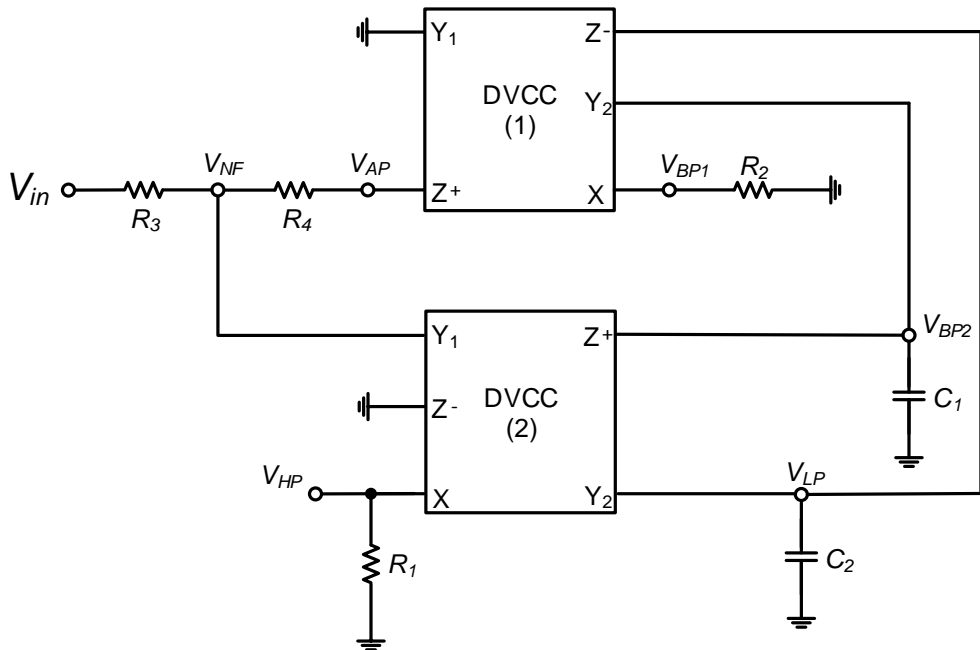
5. İKİNCİ DERECEDEN GERİLİM MODLU EVRENSEL SÜZGEÇ TASARIMI

5.1 Giriş

Bu bölümde, iki adet DVCC, dört direnç ve iki adet topraklanmış kapasitör kullanılarak hazırlanan iki yeni ikinci derece gerilim modlu (VM) evrensel süzgeç tasarlanmıştır. Her iki tasarlanan devre de aynı zamanda ikinci derece alçak geçiren, yüksek geçiren bant geçiren, bant durduran ve tüm geçiren cevapları gerçeklemektedir. Tasarlanan devrelerin her ikisinin performansı da SPICE programında benzetimleri yapılarak doğruluğu kanıtlanmıştır.

5.2 İkinci Dereceden Gerilim Modlu Evrensel 1. Süzgeç Tasarımı

Tasarlanan birinci devre, Şekil 5.1’de verildiği gibi, iki adet DVCC, dört direnç ve iki adet topraklanmış kapasitör kullanılarak gerçekleştirilmiştir.



Şekil 5.1: İkinci dereceden gerilim modlu 1. süzgeç tasarımı.

Gerilim modlu süzgecin tasarımının analizi sonucu elde edilen alçak geçiren (LP), yüksek geçiren (HP), bant geçiren (BP) ve bant durduran (NF) ideal transfer fonksiyonları, aşağıda verilmiştir:

$$\frac{V_{LP}}{V_{in}} = \frac{1}{D(s)} \quad (5.1)$$

$$\frac{V_{HP}}{V_{in}} = \frac{s^2 R_1 R_2 C_1 C_2}{D(s)} \quad (5.2)$$

$$\frac{V_{BP1}}{V_{in}} = -\frac{s R_2 C_2}{D(s)} \quad (5.3)$$

$$\frac{V_{BP2}}{V_{in}} = \frac{s R_2 C_2}{D(s)} \quad (5.4)$$

$$\frac{V_{NF}}{V_{in}} = \frac{s^2 R_1 R_2 C_1 C_2 + 1}{D(s)} \quad (5.5)$$

Eğer $R_4 = R_3$ seçilirse, tüm geçiren (AP) ideal transfer fonksiyonu aşağıdaki şekilde elde edilir:

$$\frac{V_{AP}}{V_{in}} = \frac{s^2 R_1 R_2 C_1 C_2 - s R_3 C_2 + 1}{D(s)} \quad (5.6)$$

Transfer fonksiyonunun payda polinomu $D(s)$ ise şöyledir:

$$D(s) = s^2 R_1 R_2 C_1 C_2 + s R_3 C_2 + 1 \quad (5.7)$$

Tasarlanan devrede tüm geçiren süzgecin faz cevabı aşağıdaki gibi hesaplanır:

$$\varphi(\omega) = -2 \text{Arc tan} \left(\frac{\omega R_3 C_2}{1 - \omega^2 R_1 R_2 C_1 C_2} \right) \quad (5.8)$$

Devrenin açılmal rezonans frekansı (ω_0) aşağıdaki gibi hesaplanır:

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad (5.9)$$

Devrenin kalite faktörü (Q) ise aşağıdaki gibidir:

$$Q = \frac{1}{R_3} \sqrt{\frac{R_1 R_2 C_1}{C_2}} \quad (5.10)$$

Gerilim modlu süzgecin tasarımının analizi sonucu elde edilen LP, HP, BP, NF ve AP ideal olmayan kazançlar dikkate alınarak hesaplanan transfer fonksiyonları, aşağıda verilmiştir:

$$\frac{V_{LP}}{V_{in}} = \frac{\gamma_1 \eta_1}{D_n(s)} \quad (5.11)$$

$$\frac{V_{HP}}{V_{in}} = \frac{s^2 R_1 R_2 C_1 C_2 \beta_2}{D_n(s)} \quad (5.12)$$

$$\frac{V_{BP1}}{V_{in}} = -\frac{s R_2 C_2 \beta_2 \eta_1}{D_n(s)} \quad (5.13)$$

$$\frac{V_{BP2}}{V_{in}} = \frac{s R_2 C_2 \beta_2}{D_n(s)} \quad (5.14)$$

$$\frac{V_{NF}}{V_{in}} = \frac{s^2 R_1 R_2 C_1 C_2 + \gamma_1 \eta_1 \eta_2}{D_n(s)} \quad (5.15)$$

$$\frac{V_{AP}}{V_{in}} = \frac{s^2 R_1 R_2 C_1 C_2 - s R_4 C_2 \alpha_1 \beta_2 \eta_1 + \gamma_1 \eta_1 \eta_2}{D_n(s)} \quad (5.16)$$

Devrenin transfer fonksiyonunun payda polinomu $D_n(s)$ ise şöyledir:

$$D_n(s) = s^2 R_1 R_2 C_1 C_2 + s C_2 R_3 \alpha_1 \beta_2 \eta_1 + \gamma_1 \eta_1 \eta_2 \quad (5.17)$$

Tasarlanan devrede AP süzgecin ideal olmayan kazançlar dikkate alınarak hesaplanan faz cevabı aşağıdaki gibi hesaplanır:

$$\begin{aligned} \varphi_n(\omega) = & -Arc \tan \left(\frac{\omega R_4 C_2 \alpha_1 \beta_2 \eta_1}{\gamma_1 \eta_1 \eta_2 - \omega^2 R_1 R_2 C_1 C_2} \right) \\ & - Arc \tan \left(\frac{\omega C_2 R_3 \alpha_1 \beta_2 \eta_1}{\gamma_1 \eta_1 \eta_2 - \omega^2 R_1 R_2 C_1 C_2} \right) \end{aligned} \quad (5.18)$$

Devrenin ideal olmayan kazançlar dikkate alınarak hesaplanan açısız rezonans frekansı (ω_{0n}) aşağıdaki gösterildiği gibidir:

$$\omega_{0n} = \sqrt{\frac{\gamma_1 \eta_1 \eta_2}{R_1 R_2 C_1 C_2}} \quad (5.19)$$

Devrenin ideal olmayan kazançlar dikkate alınarak hesaplanan kalite faktörü (Q_n) ise aşağıdaki gibidir:

$$Q_n = \frac{1}{R_3 \alpha_1 \beta_2} \sqrt{\frac{R_1 R_2 C_1 \gamma_1 \eta_2}{C_2 \eta_1}} \quad (5.20)$$

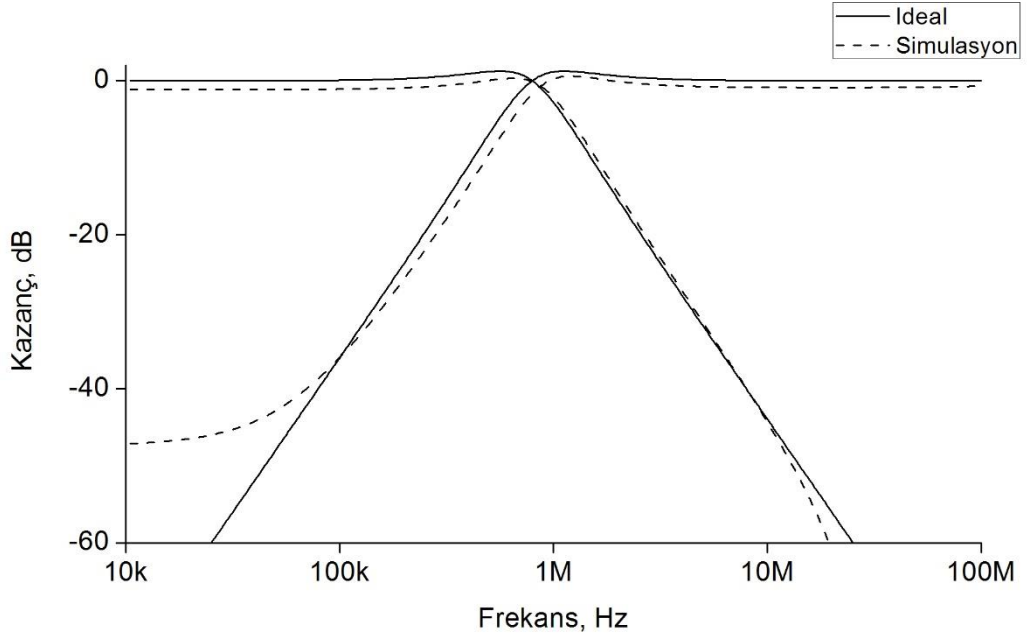
5.2.1 Benzetim Sonuçları

Tasarlanan VM süzgecin benzetimleri, SPICE programında, 0.13 μm IBM CMOS teknolojisi parametreleri kullanarak yapılmıştır. Şekil 5.2’de verilen devrenin simetrik güç kaynağı gerilimleri $V_{DD} = 0.75 \text{ V}$ ve $V_{SS} = -0.75 \text{ V}$ ’dir. Kutuplama gerilimi $V_B = 0.37 \text{ V}$ olarak seçilmiştir. MOS transistör boyutları Tablo 5.1’de gösterilmiştir. Tasarımda kullanılan beş terminalli DVCC’nin iç yapısı Şekil 2.2’de verilmiştir (Chiu ve diğ. 1996). Devrenin pasif elemanları, $f_0 = 795.75 \text{ kHz}$ ve $Q=1$ olacak şekilde $R_1 = R_2 = R_3 = R_4 = 2 \text{ k}\Omega$ ve $C_1 = C_2 = 100 \text{ pF}$ olarak seçilmiştir.

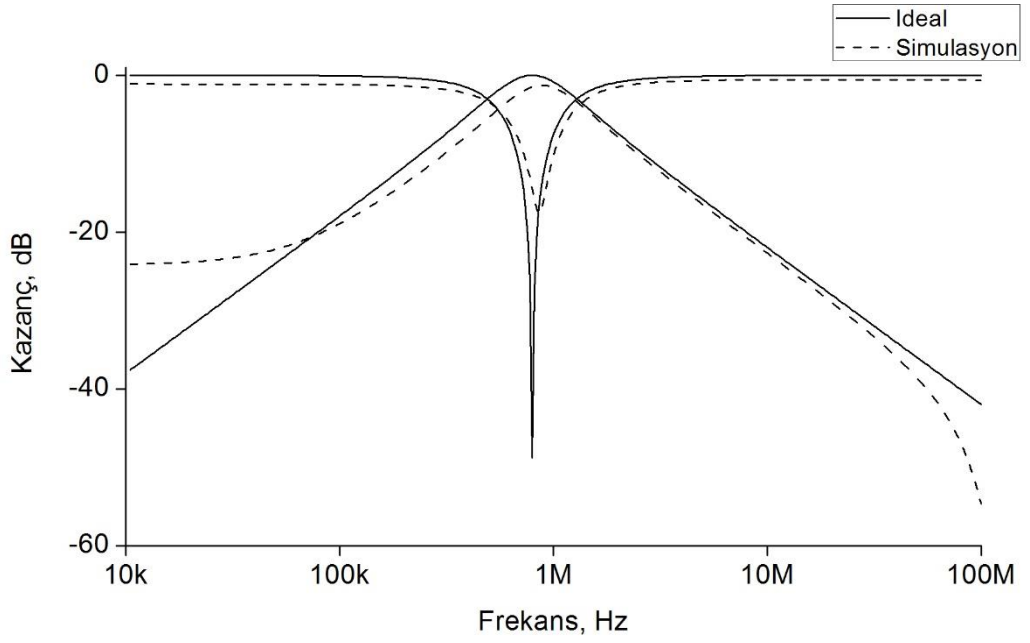
Tablo 5.1: MOS transistor boyutları.

PMOS Transistörler	$W(\mu\text{m})/L(\mu\text{m})$
M ₁ -M ₁₂	41.6/0.52
NMOS Transistörler	$W(\mu\text{m})/L(\mu\text{m})$
M ₁₃ -M ₁₉	13/0.52

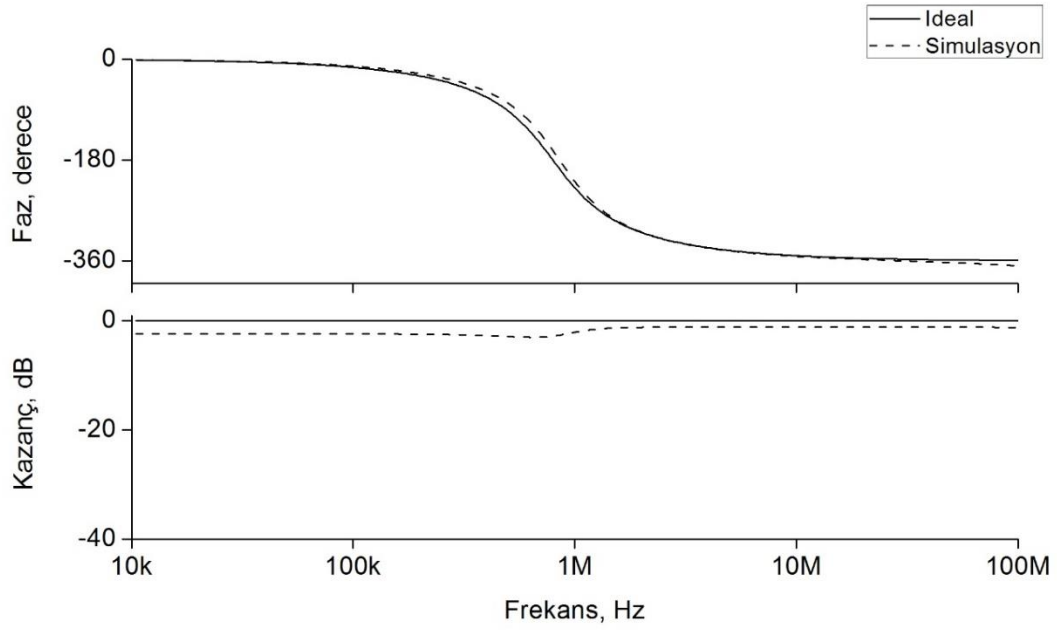
Tasarlanan VM süzgecin ideal ve ideal olmayan LP, HP kazanç cevabı Şekil 5.2’de; BP, NF kazanç cevabı Şekil 5.3’te; AP kazanç ve faz cevabı ise Şekil 5.4’te verilmiştir.



Şekil 5.2: Tasarlanan gerilim modlu süzgecin ideal ve ideal olmayan alçak geçiren, yüksek geçiren kazanç cevabı.

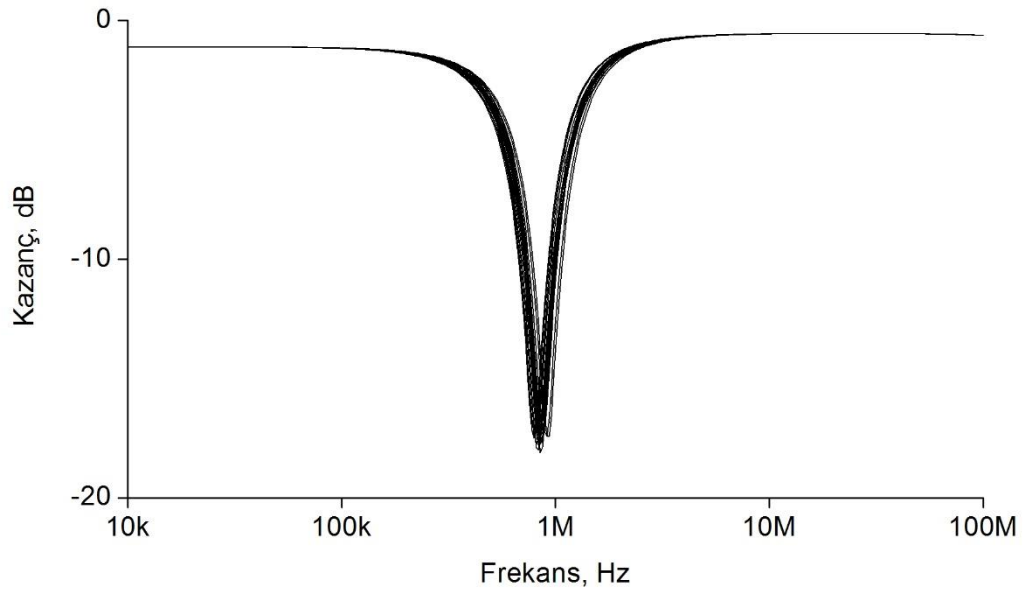


Şekil 5.3: Tasarlanan gerilim modlu süzgecin ideal ve ideal olmayan bant geçiren, bant durduran kazanç cevabı.



Şekil 5.4: Tasarlanan gerilim modlu süzgecin ideal ve ideal olmayan tüm geçiren faz ve kazanç cevabı.

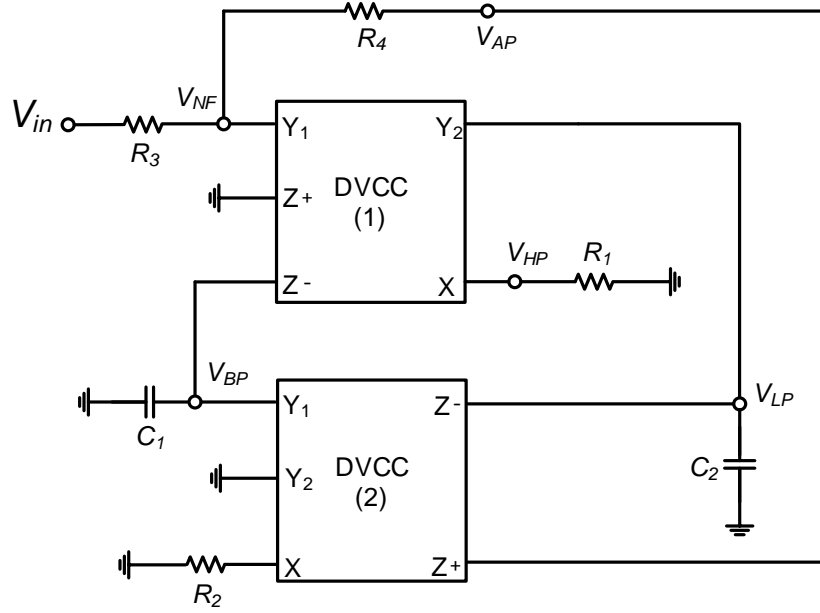
Tasarlanan VM NF süzgecinin kazancının, C_1 ve C_2 kapasitörlerinin değerlerinin %10 değiştirilmesiyle elde edilen 20 adımlı Monte Carlo analizi Şekil 5.5'te verilmiştir.



Şekil 5.5: Tasarlanan gerilim modlu bant durdurucu süzgecinin kazancının kapasite değerlerinin %10 değiştirilmesiyle elde edilen Monte Carlo analizi.

5.3 İkinci Dereceden Gerilim Modlu Evrensel 2. Süzgeç Tasarımı

Tasarlanan ikinci devre de, Şekil 5.6'da verildiği gibi iki adet DVCC, dört direnç ve iki adet topraklanmış kapasitör kullanılarak gerçekleştirilmiştir.



Şekil 5.6: İkinci dereceden gerilim modlu 2. süzgeç tasarımı.

VM süzgecin tasarımının analizi sonucu elde edilen LP, HP, BP ve NF ideal transfer fonksiyonları sırasıyla aşağıda verilmiştir:

$$\frac{V_{LP}}{V_{in}} = \frac{1}{D(s)} \quad (5.21)$$

$$\frac{V_{HP}}{V_{in}} = \frac{s^2 R_1 R_2 C_1 C_2}{D(s)} \quad (5.22)$$

$$\frac{V_{BP}}{V_{in}} = -\frac{s R_2 C_2}{D(s)} \quad (5.23)$$

$$\frac{V_{NF}}{V_{in}} = \frac{s^2 R_1 R_2 C_1 C_2 + 1}{D(s)} \quad (5.24)$$

Eğer $R_4 = R_3$ seçilirse, AP ideal transfer fonksiyonu aşağıdaki şekilde elde edilir:

$$\frac{V_{AP}}{V_{in}} = \frac{s^2 R_1 R_2 C_1 C_2 - s R_3 C_2 + 1}{D(s)} \quad (5.25)$$

Transfer fonksiyonunun payda polinomu $D(s)$ ise şöyledir:

$$D(s) = s^2 R_1 R_2 C_1 C_2 + s R_3 C_2 + 1 \quad (5.26)$$

Tasarlanan devrede tüm geçiren süzgecin faz cevabı aşağıdaki gibi hesaplanır:

$$\varphi(\omega) = -2 \text{Arc tan} \left(\frac{\omega R_3 C_2}{1 - \omega^2 R_1 R_2 C_1 C_2} \right) \quad (5.27)$$

Devrenin açılmal rezonans frekansı (ω_0) aşağıdaki gibi hesaplanır:

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad (5.28)$$

Devrenin kalite faktörü (Q) ise aşağıdaki gibidir:

$$Q = \frac{1}{R_3} \sqrt{\frac{R_1 R_2 C_1}{C_2}} \quad (5.29)$$

Gerilim modlu süzgecin tasarımının analizi sonucu elde edilen LP, HP, BP, NF ve AP ideal olmayan kazançlar dikkate alınarak hesaplanan transfer fonksiyonları sırasıyla aşağıda verilmiştir:

$$\frac{V_{LP}}{V_{in}} = \frac{\beta_1 \beta_2 \gamma_1 \gamma_2}{D_n(s)} \quad (5.30)$$

$$\frac{V_{HP}}{V_{in}} = \frac{s^2 R_1 R_2 C_1 C_2 \beta_1}{D_n(s)} \quad (5.31)$$

$$\frac{V_{BP}}{V_{in}} = -\frac{s R_2 C_2 \beta_1 \gamma_1}{D_n(s)} \quad (5.32)$$

$$\frac{V_{NF}}{V_{in}} = \frac{s^2 R_1 R_2 C_1 C_2 + \beta_2 \gamma_1 \gamma_2 \eta_1}{D_n(s)} \quad (5.33)$$

$$\frac{V_{AP}}{V_{in}} = \frac{s^2 R_1 R_2 C_1 C_2 - s R_4 C_2 \alpha_2 \beta_1 \beta_2 \gamma_1 + \beta_2 \gamma_1 \gamma_2 \eta_1}{D_n(s)} \quad (5.34)$$

Devrenin transfer payda polinomu $D_n(s)$ ise şöyledir:

$$D_n(s) = s^2 R_1 R_2 C_1 C_2 + s C_2 R_3 \alpha_2 \beta_1 \beta_2 \gamma_1 + \beta_2 \gamma_1 \gamma_2 \eta_1 \quad (5.35)$$

Tasarlanan devrede AP süzgecin ideal olmayan kazançlar dikkate alınarak hesaplanan faz cevabı aşağıdaki gibi hesaplanır:

$$\begin{aligned} \varphi_n(\omega) = & -Arc \tan \left(\frac{\omega R_4 C_2 \alpha_2 \beta_1 \beta_2 \gamma_1}{\beta_2 \gamma_1 \gamma_2 \eta_1 - \omega^2 R_1 R_2 C_1 C_2} \right) \\ & - Arc \tan \left(\frac{\omega C_2 R_3 \alpha_2 \beta_1 \beta_2 \gamma_1}{\beta_2 \gamma_1 \gamma_2 \eta_1 - \omega^2 R_1 R_2 C_1 C_2} \right) \end{aligned} \quad (5.36)$$

Devrenin ideal olmayan kazançlar dikkate alınarak hesaplanan açısız rezonans frekansı (ω_0) aşağıdaki gösterildiği gibidir:

$$\omega_0 = \sqrt{\frac{\beta_2 \gamma_1 \gamma_2 \eta_1}{R_1 R_2 C_1 C_2}} \quad (5.37)$$

Devrenin ideal olmayan kazançlar dikkate alınarak hesaplanan kalite faktörü (Q_n) ise aşağıdaki gibidir:

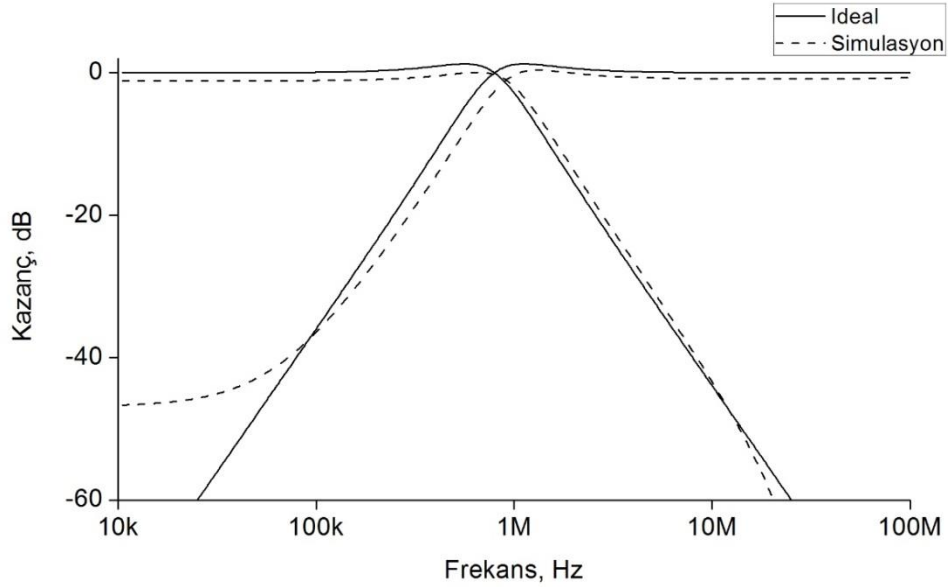
$$Q_n = \frac{1}{R_3 \alpha_2 \beta_1} \sqrt{\frac{R_1 R_2 C_1 \gamma_2 \eta_1}{C_2 \beta_2 \gamma_1}} \quad (5.38)$$

5.3.1 Benzetim Sonuçları

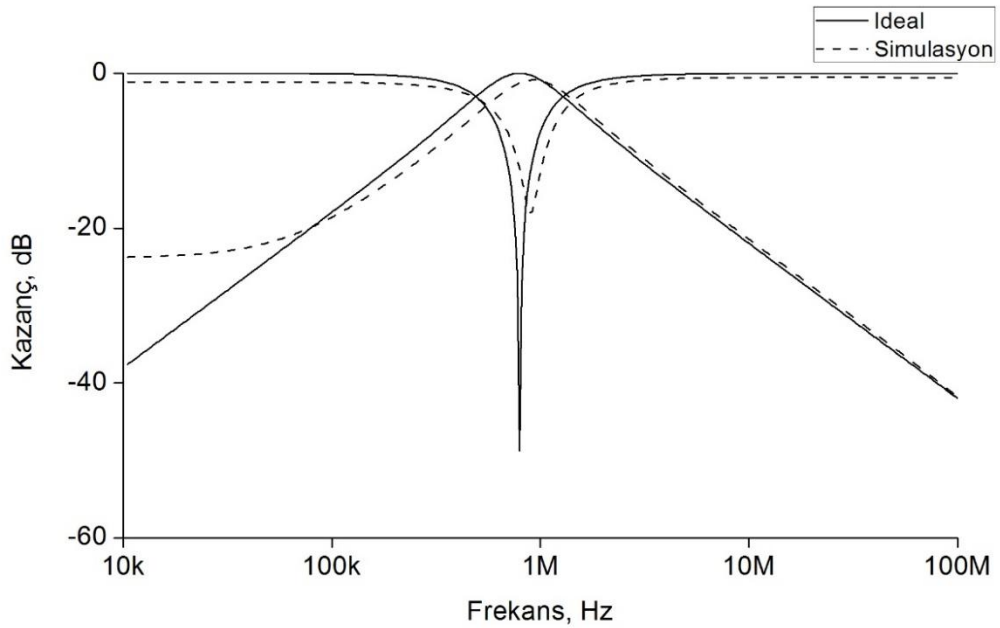
Tasarlanan VM süzgecin benzetimleri, SPICE programında, 0.13 μm CMOS teknolojisi parametreleri kullanarak yapılmıştır. Şekil 5.6'da verilen devrenin simetrik güç kaynağı gerilimleri $V_{DD} = 0.75 \text{ V}$ ve $V_{SS} = -0.75 \text{ V}$ 'dir. Kutuplama gerilimi $V_B = 0.37 \text{ V}$ olarak seçilmiştir. CMOS transistör boyutları Tablo 5.1'de gösterilmiştir. Tasarımda kullanılan beş terminalli DVCC'nin içyapısı Şekil 2.2'de

verilmiştir. Devrenin pasif elemanları, $f_0 = 795.75 \text{ kHz}$ ve $Q=1$ olacak şekilde $R_1 = R_2 = R_3 = R_4 = 2 \text{ k}\Omega$ ve $C_1 = C_2 = 100 \text{ pF}$ olarak seçilmiştir.

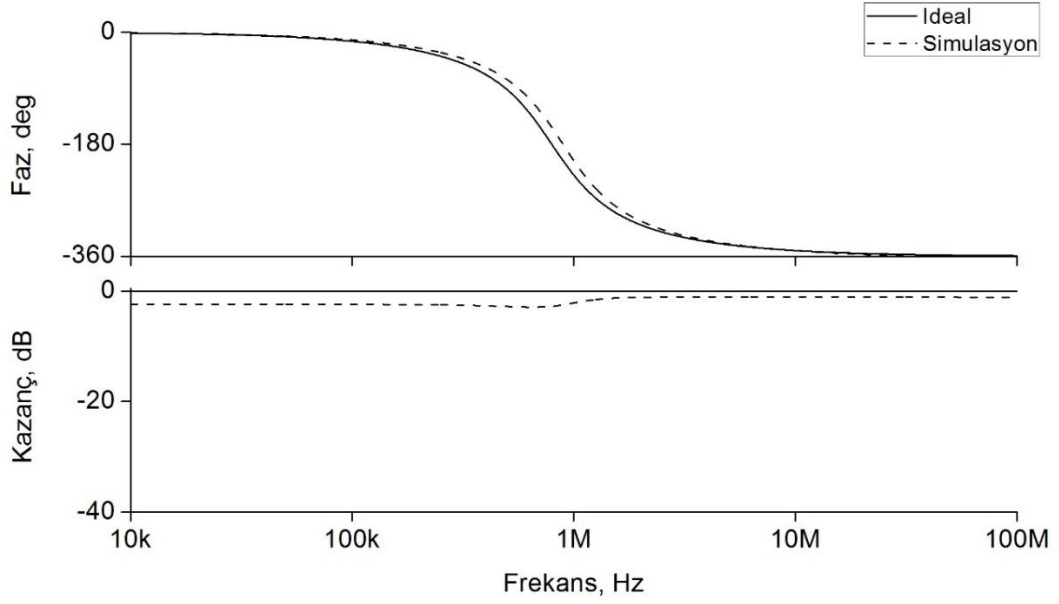
Tasarlanan VM süzgecin ideal ve ideal olmayan LP, HP kazanç cevabı Şekil 5.7'de; BP ve NF kazanç cevabı Şekil 5.8'de; AP kazanç ve faz cevabı ise Şekil 5.9'da verilmiştir.



Şekil 5.7: 2. Tasarım gerilim modlu süzgecin ideal ve ideal olmayan alçak geçiren, yüksek geçiren kazanç cevabı.

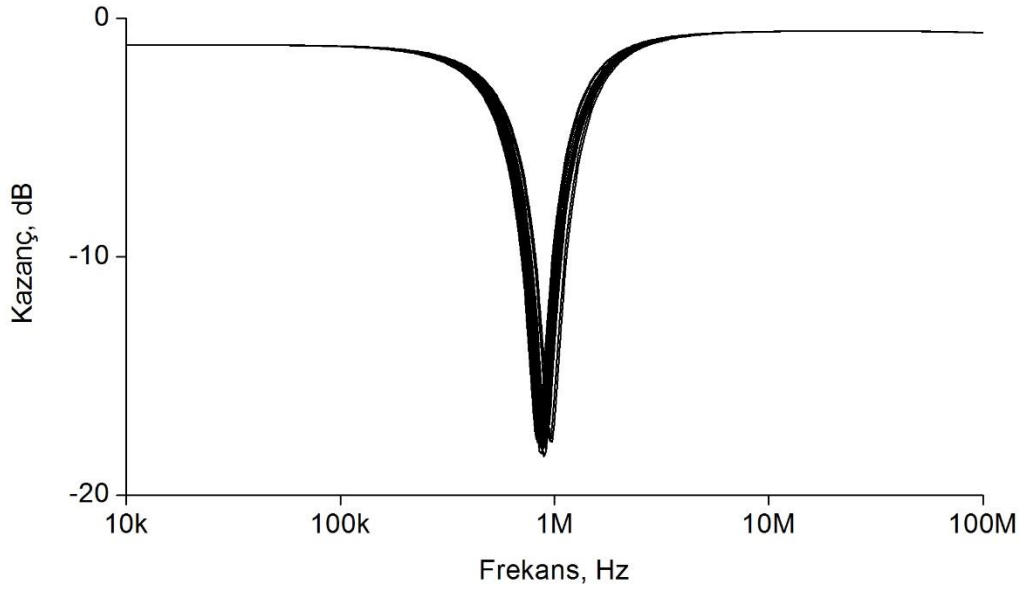


Şekil 5.8: 2. Tasarım gerilim modlu süzgecin ideal ve ideal olmayan bant geçiren, bant durduran kazanç cevabı.



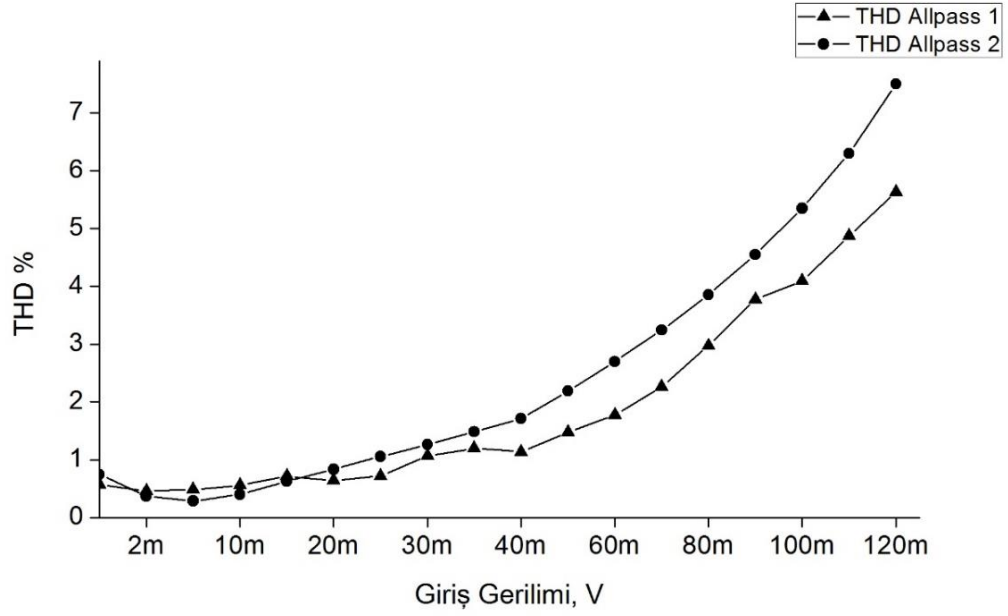
Şekil 5.9: 2. Tasarım gerilim modlu süzgecin ideal ve ideal olmayan tüm geçiren faz ve kazanç cevabı.

Tasarlanan VM NF süzgecinin kazancının, C_1 ve C_2 kapasitörlerinin değerlerinin %10 değiştirilmesiyle elde edilen 20 adımlı Monte Carlo analizi Şekil 5.10'da verilmiştir.



Şekil 5.10: Tasarlanan gerilim modlu bant durdurucu süzgecinin kazancının kapasite değerlerinin %10 değiştirilmesiyle elde edilen Monte Carlo analizi.

Tasarlanan süzgeçlerin güç tüketimi, SPICE benzetimlerinde 1. devre için 1.25 mW, 2. Devre için 1.26 mW olarak hesaplanmıştır. Tasarımı gerçekleştirilen iki devrenin de girişine 795.75 kHz frekansında sinüzoidal işaret uygulanarak, tüm geçiren süzgeç çıkışlarından alınan toplam harmonik bozulma (THD) değişimleri elde edilmiştir. THD değişimleri Şekil 5.11’de gösterildiği gibidir.



Şekil 5.11: Tasarlanan süzgeçlerin tüm geçiren cevabı için giriş gerilimine bağlı toplam harmonik bozulması değişimi.

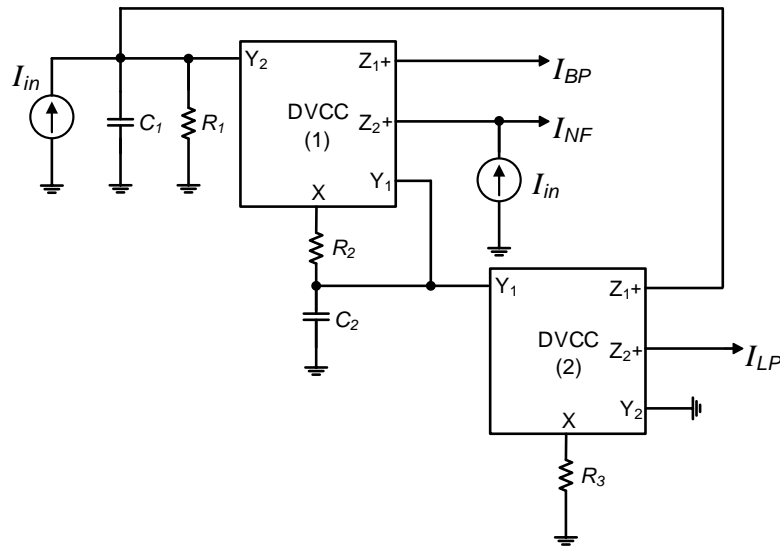
6. İKİNCİ DERECEDEDEN AKIM MODLU EVRENSEL SÜZGEÇ TASARIMI

6.1 Giriş

Bu bölümde, iki adet diferansiyel gerilim akım taşıyıcı (DVCC), üç direnç ve iki topraklanmış kapasitör ile ikinci derece akım modlu (CM) evrensel süzgeç tasarlanmıştır. Tasarlanan devre, eşzamanlı olarak yüksek çıkış empedansı ile ikinci derece alçak geçiren (LP), bant geçiren (BP) ve bant durdurucu (NF) cevapları gerçeklemektedir. Ayrıca, uygun çıkış akımlarının birleştirilmesiyle yüksek geçiren (HP) ve tüm geçiren (AP) cevaplar elde edilmektedir. Tasarlanan devrelerin her ikisinin performansı da SPICE programında benzetimleri yapılarak doğruluğu kanıtlanmıştır.

6.2 Yöntem

Tasarlanan CM evrensel süzgeç devresi, Şekil 6.1'de görüldüğü gibi, iki adet DVCC, üç direnç, iki topraklanmış kapasitör kullanılarak gerçekleştirilmiştir.



Şekil 6.1: İkinci dereceden akım modlu süzgeç tasarımı.

Tasarlanan CM süzgeç devresinde aşağıdaki denklemlerde gösterildiği gibi HP, NF ve LP akımlarının toplamı, AP ise NF ve BP akımlarının toplamıyla elde edilmiştir.

$$I_{HP} = I_{NF} + I_{LP} \quad (6.1)$$

$$I_{AP} = I_{NF} + I_{BP} \quad (6.2)$$

Devrede $R_1 = R_2 = R$ eşitliği kullanılarak analizi sonucu elde edilen LP, HP, BP, NF ve AP ideal transfer fonksiyonları sırasıyla aşağıda verilmiştir:

$$\frac{I_{LP}}{I_{in}} = -\frac{1}{D(s)} \quad (6.3)$$

$$\frac{I_{HP}}{I_{in}} = \frac{s^2 RR_3 C_1 C_2}{D(s)} \quad (6.4)$$

$$\frac{I_{BP}}{I_{in}} = -\frac{sR_3 C_2}{D(s)} \quad (6.5)$$

$$\frac{I_{NF}}{I_{in}} = \frac{s^2 RR_3 C_1 C_2 + 1}{D(s)} \quad (6.6)$$

$$\frac{I_{AP}}{I_{in}} = \frac{s^2 RR_3 C_1 C_2 - sR_3 C_2 + 1}{D(s)} \quad (6.7)$$

Devrenin transfer fonksiyonunun payda polinomu $D(s)$ ise şöyledir:

$$D(s) = s^2 RR_3 C_1 C_2 + sR_3 C_2 + 1 \quad (6.8)$$

Tasarlanan AP süzgecin faz cevabı aşağıdaki gibi hesaplanır:

$$\varphi(\omega) = -2Arc \tan\left(\frac{\omega R_3 C_2}{1 - \omega^2 RR_3 C_1 C_2}\right) \quad (6.9)$$

Devrenin açısız rezonans frekansı (ω_0) aşağıdaki gibi hesaplanır:

$$\omega_0 = \frac{1}{\sqrt{RR_3 C_1 C_2}} \quad (6.10)$$

Devrenin kalite faktörü (Q) ise aşağıdaki gibidir:

$$Q = \sqrt{\frac{RC_1}{R_3C_2}} \quad (6.11)$$

Akım modlu süzgecin tasarımının analizi sonucu elde edilen LP, HP, BP, NF ve AP ideal olmayan kazançlar dikkate alınarak hesaplanan transfer fonksiyonları sırasıyla aşağıda verilmiştir:

$$\frac{I_{LP}}{I_{in}} = -\frac{R_1\gamma_2}{D_n(s)} \quad (6.12)$$

$$\frac{I_{HP}}{I_{in}} = 1 - \frac{R_1R_3(sC_2\gamma_1 + \frac{\gamma_2}{R_3})}{D_n(s)} \quad (6.13)$$

$$\frac{I_{BP}}{I_{in}} = -\frac{sR_1R_3C_2\alpha_1}{D_n(s)} \quad (6.14)$$

$$\frac{I_{NF}}{I_{in}} = 1 - \frac{sR_1R_3C_2\gamma_1}{D_n(s)} \quad (6.15)$$

$$\frac{I_{AP}}{I_{in}} = 1 - \frac{sR_1R_3C_2(\gamma_1 + \alpha_1)}{D_n(s)} \quad (6.16)$$

Devrenin transfer fonksiyonunun payda polinomu $D_n(s)$ ise şöyledir:

$$D_n(s) = s^2R_1R_2R_3C_1C_2 + sR_2R_3C_2 + R_1\alpha_2\beta_2 \quad (6.17)$$

Tasarlanan AP süzgeç devresinin ideal olmayan kazançlar dikkate alınarak hesaplanan faz cevabı aşağıdaki gibi olmaktadır:

$$\begin{aligned} \varphi_n(\omega) = & -Arc \tan \left(\frac{\omega(R_1R_3C_2(\gamma_1 + \alpha_1) - R_2R_3C_2)}{R_1\alpha_2\beta_2 - \omega^2R_1R_2R_3C_1C_2} \right) \\ & - Arc \tan \left(\frac{\omega R_2R_3C_2}{R_1\alpha_2\beta_2 - \omega^2R_1R_2R_3C_1C_2} \right) \end{aligned} \quad (6.18)$$

Devrenin ideal olmayan kazançlar dikkate alınarak hesaplanan açısız rezonans frekansı (ω_{0n}) aşağıda gösterildiği gibidir:

$$\omega_{0n} = \sqrt{\frac{\alpha_2 \beta_2}{R_2 R_3 C_1 C_2}} \quad (6.19)$$

Devrenin ideal olmayan kazançlar dikkate alınarak hesaplanan kalite faktörü (Q_n) ise aşağıdaki gibidir:

$$Q_n = R_1 \sqrt{\frac{C_1 \alpha_2 \beta_2}{R_2 R_3 C_2}} \quad (6.20)$$

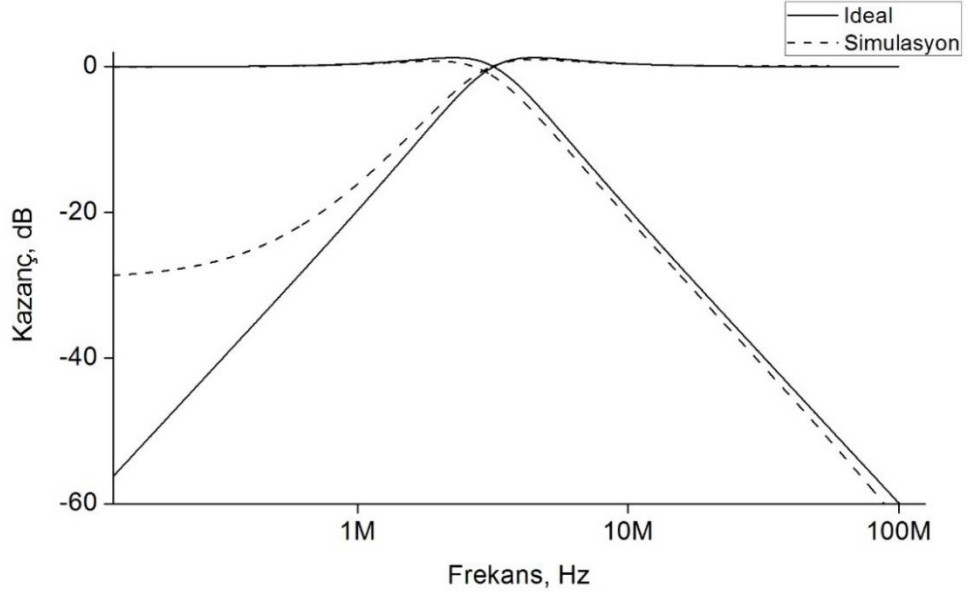
6.3 Benzetim Sonuçları

Tasarlanan CM süzgecin benzetimleri, SPICE programında, 0.13 μ m IBM CMOS teknolojisi parametreleri kullanarak yapılmıştır. Şekil 6.1’de verilen devrenin simetrik güç kaynağı gerilimleri $V_{DD} = 0.75 V$ ve $V_{SS} = -0.75 V$ ’dir. Kutuplama gerilimi $V_B = 0.37 V$ olarak seçilmiştir. MOS transistör boyutları Tablo 6.1’de gösterilmiştir. Tasarımda kullanılan beş terminalli DVCC+’nin iç yapısı Şekil 2.4’te verilmiştir (Chiu ve diğ. 1996). Devrenin pasif elemanları, $f_0 = 3.183 MHz$ ve $Q=1$ olacak şekilde $R_1 = R_2 = R_3 = 1 k\Omega$ ve $C_1 = C_2 = 50 pF$ olarak seçilmiştir.

Tablo 6.1: MOS transistor boyutları.

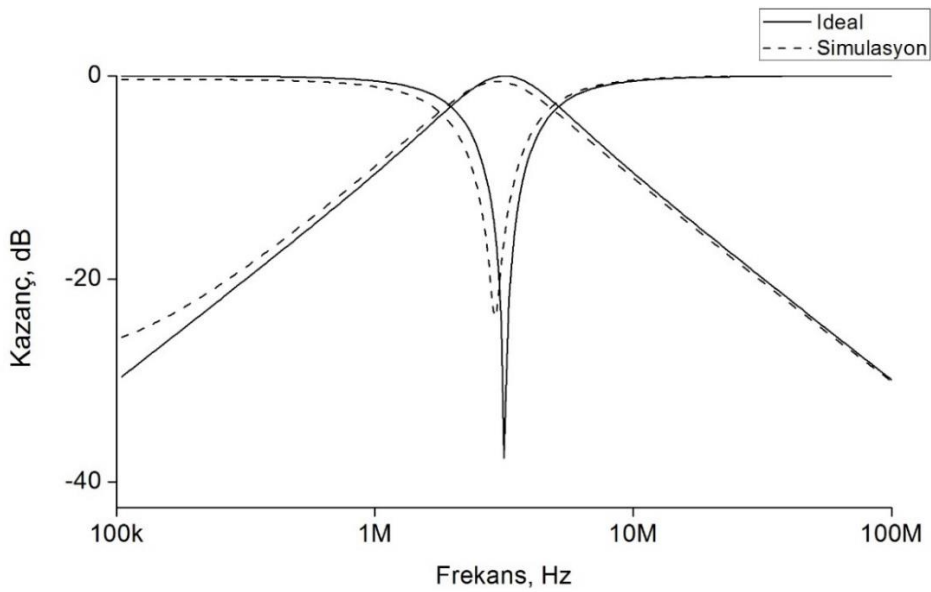
PMOS Transistörler	$W(\mu m)/L(\mu m)$
M ₁ -M ₉	41.6/0.52
NMOS Transistörler	$W(\mu m)/L(\mu m)$
M ₁₀ -M ₁₄	13/0.52

Tasarlanan CM süzgecin ideal ve ideal olmayan LP, HP kazanç cevabı Şekil 6.2’de; BP, NF kazanç cevabı Şekil 6.3’te; AP kazanç ve faz cevabı ise Şekil 6.4’te verilmiştir.

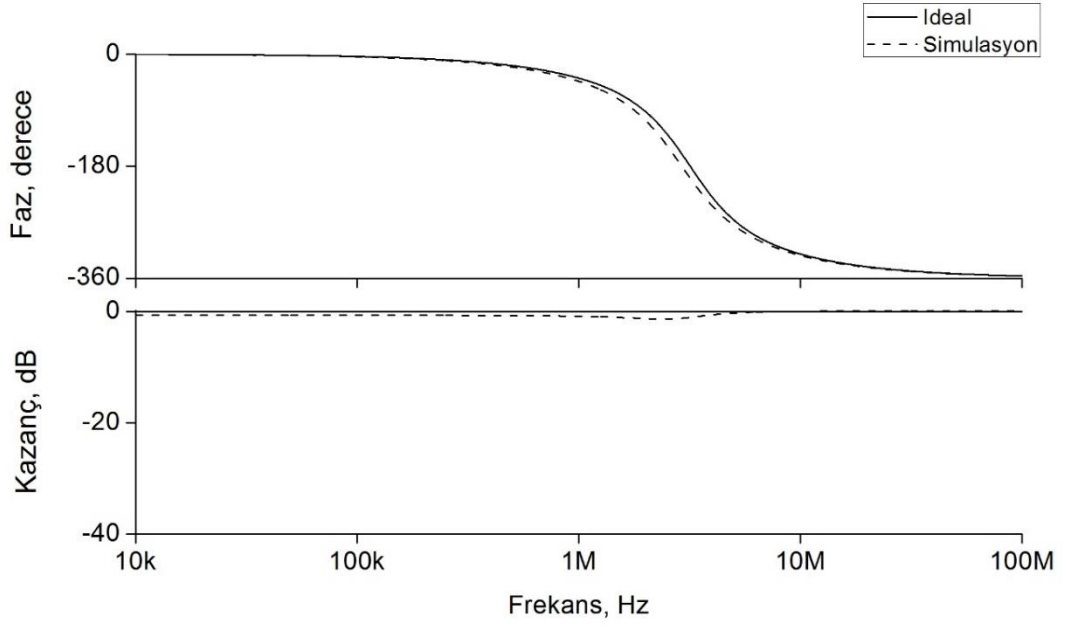


Şekil 6.2: Tasarlanan akım modlu süzgecin ideal ve ideal olmayan alçak geçiren, yüksek geçiren kazanç cevabı.

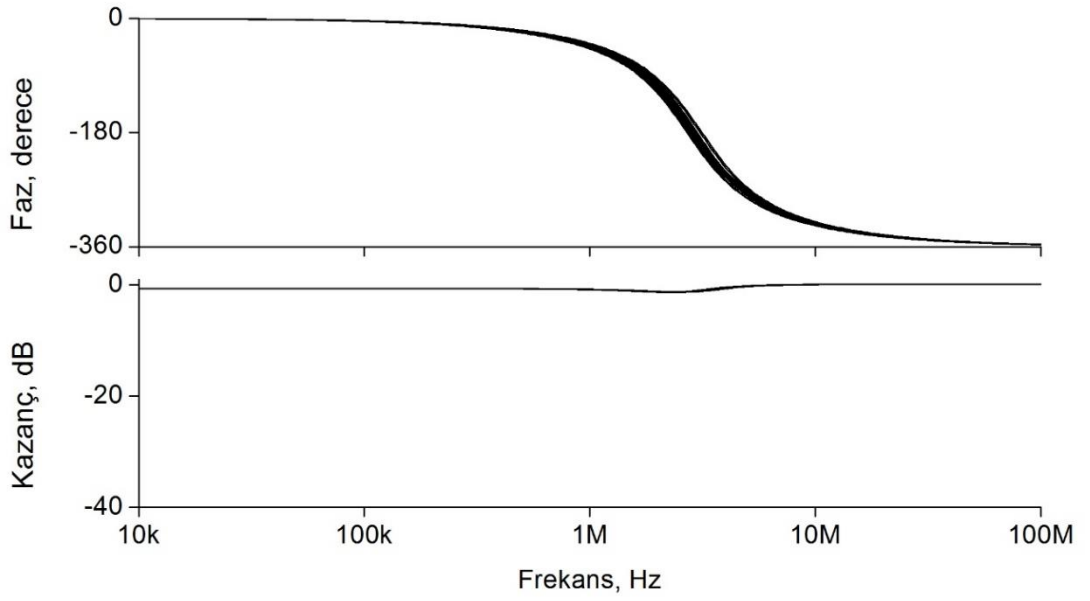
Tasarlanan CM tüm geçiren süzgecin faz ve kazancının, C_1 ve C_2 kapasitörlerinin değerlerinin %10 değiştirilmesiyle elde edilen 20 adımlı Monte Carlo analizi Şekil 6.5'te verilmiştir. Tasarlanan süzgecin güç tüketimi, SPICE benzetimlerinde 0.81 mW olarak hesaplanmıştır. Tasarımı gerçekleştirilen devrenin de girişine 3.183 MHz frekansında sinüzoidal işaret uygulanarak, BP süzgeç çıkışına 1 k Ω 'luk direnç bağlanarak alınan toplam harmonik bozulma (THD) değişimleri Şekil 6.6'da gösterildiği gibidir.



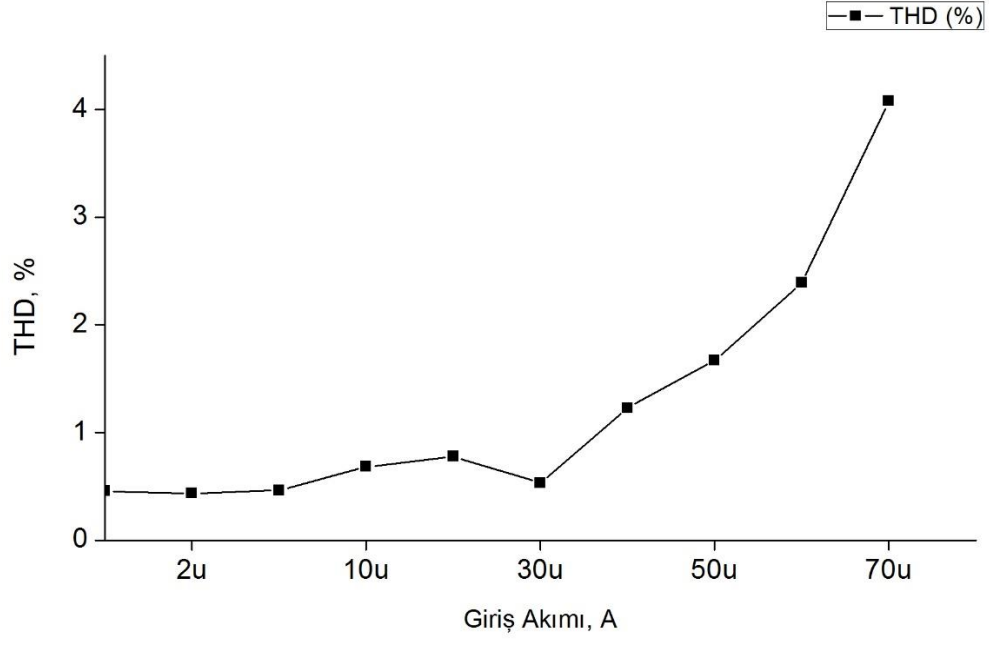
Şekil 6.3: Tasarlanan akım modlu süzgecin ideal ve ideal olmayan bant geçiren, bant durduran kazanç cevabı.



Şekil 6.4: Tasarlanan akım modlu süzgecin ideal ve ideal olmayan tüm geçiren faz ve kazanç cevabı.



Şekil 6.5: Tasarlanan akım modlu tüm geçiren süzgecin faz ve kazancının kapasite değerlerinin %10 değiştirilmesiyle elde edilen Monte Carlo analizi.



Şekil 6.6: Tasarlanan süzgecin bant geçiren cevabı için giriş akımına bağlı toplam harmonik bozulması değişimi.

7. KUADRATÖR OSİLATÖR VE ENDÜKTANS BENZETİMİ TASARIMLARI

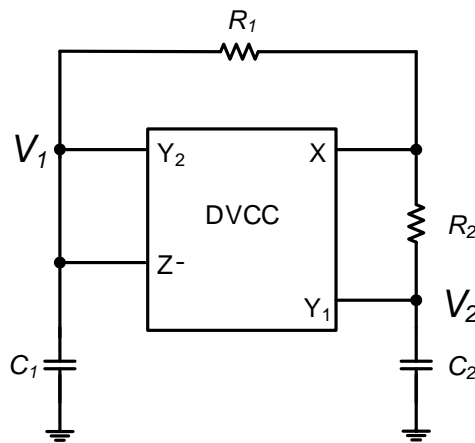
7.1 Kuadratör Osilatör Tasarımı

7.1.1 Giriş

Bu bölümde, yeni bir diferansiyel gerilim akım taşıyıcı (DVCC) tabanlı gerilim modlu (VM) kuadratör osilatör tasarlanmıştır. Tasarlanan kuadratör osilatör devresi, bir adet DVCC, iki adet direnç ve iki adet topraklanmış kapasitör ile gerçekleştirilmiştir. Devrenin performansı SPICE programında benzetimleri yapılarak doğruluğu kanıtlanmıştır.

7.1.2 Yöntem

Bir adet DVCC, iki adet direnç, iki adet topraklanmış kapasitör kullanarak tasarlanan kuadratör osilatör tasarımı Şekil 7.1’de verilmiştir.



Şekil 7.1: DVCC tabanlı kuadratör osilatör uygulaması.

Şekil 7.1’deki osilatörün akım kazancı $\gamma = 1/2$ olarak alınırsa karakteristik denklemi şöyledir:

$$D(s) = 2s^2R_1R_2C_1C_2 + sC_2(2R_2 - R_1) + 1 = 0 \quad (7.1)$$

Şekil 7.1'deki osilatörün osilasyon koşulu aşağıdaki gibidir:

$$R_1 = 2R_2 \quad (7.2)$$

Tasarlanan osilatörün osilasyon frekansı (f_0) denklemi ise aşağıdaki gibidir:

$$f_0 = \frac{1}{2\pi\sqrt{2R_1R_2C_1C_2}} \quad (7.3)$$

Tasarlanan osilatörün ideal olmayan kazançlar dikkate alınarak hesaplanan karakteristik denklemi şöyledir:

$$D_n(s) = s^2R_1R_2C_1C_2 + s(2R_2C_2 + R_1C_1 - R_1C_2\gamma\eta - 2R_2C_2\gamma - R_1C_1\beta) + 2(\gamma\beta - \gamma - \beta + 1) - \gamma\eta + \eta = 0 \quad (7.4)$$

Osilatörün ideal olmayan karakteristik denkleminde osilasyon koşulu aşağıdaki gibi hesaplanabilir:

$$2R_2C_2 + R_1C_1 = R_1C_2\gamma\eta + 2R_2C_2\gamma + R_1C_1\beta \quad (7.5)$$

Osilasyon frekansı (f_0) denklemi ise aşağıdaki gibidir:

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{2(\gamma\beta - \gamma - \beta + 1) - \gamma\eta + \eta}{R_1R_2C_1C_2}} \quad (7.6)$$

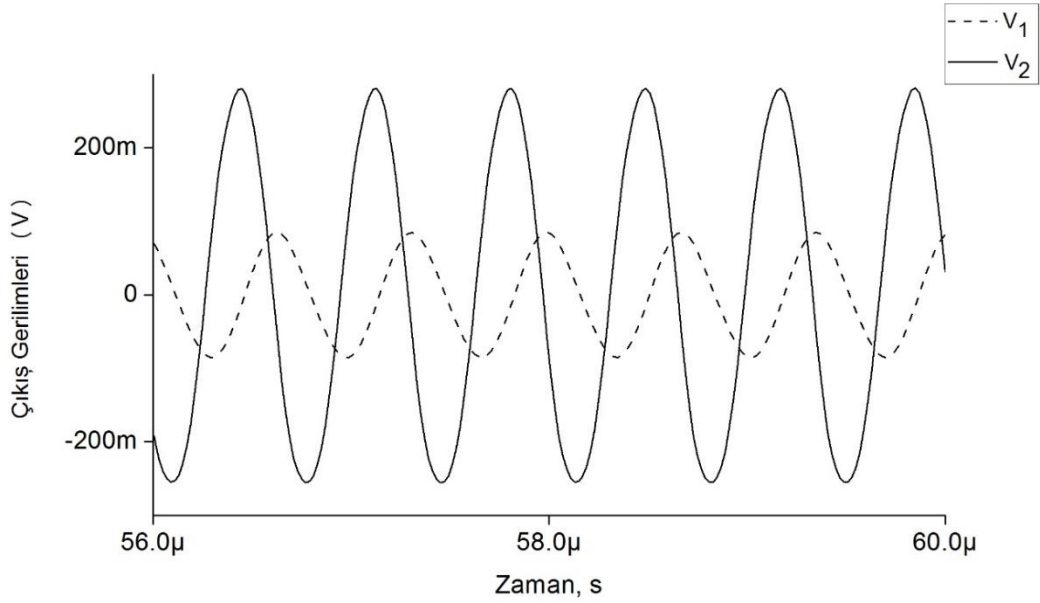
7.1.3 Benzetim Sonuçları

Osilatör benzetimi, SPICE programında, 0.13 μm CMOS teknolojisi parametreleri kullanarak yapılmıştır. Şekil 7.1'de verilen devrenin simetrik güç kaynağı gerilimleri $V_{DD} = 0.75 \text{ V}$ ve $V_{SS} = -0.75 \text{ V}$ 'dir. Kutuplama gerilimi $V_B = 0.25 \text{ V}$ olarak seçilmiştir. MOS transistör boyutları Tablo 7.1'de gösterilmiştir. Tasarımda kullanılan dört terminalli DVCC-'nin iç yapısı Şekil 2.8'de verilmiştir (Chiu ve diğ. 1996). Hazırlanan kuadratör osilatör devresinin pasif elemanları, $R_1 =$

2.5 k Ω , $R_2 = 0.9$ k Ω , $C_1 = 60$ pF ve $C_2 = 30$ pF olarak seçilmiştir. Rezonans frekansı $f_0 = 1.447$ MHz olarak hesaplanmıştır. Kuadrator osilatörün çıkış gerilimleri Şekil 7.2’de verilmiştir. Şekil 7.2’deki V_1 gerilimi % 3.38 THD’ye sahipken; V_2 gerilimi %3.48 THD’ye sahiptir. Ayrıca, güç tüketimi de 1.62 mW olarak bulunmuştur.

Tablo 7.1: MOS transistor boyutları.

PMOS Transistörler	$W(\mu m)/L(\mu m)$
M_1 - M_{10}	41.6/0.52
M_6	20.8/0.52
NMOS Transistörler	$W(\mu m)/L(\mu m)$
M_{11} - M_{15}	13/0.52
M_{16}	6.5/0.52



Şekil 7.2: Kuadrator osilatörün çıkış gerilimleri.

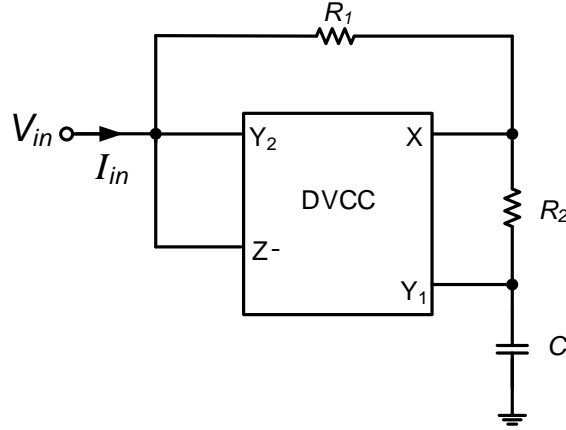
7.2 Topraklanmış Endüktans Benzetimi Tasarımı

7.2.1 Giriş

Bu bölümde, yeni bir DVCC tabanlı topraklanmış endüktans tasarlanmıştır. Tasarlanan devrenin performansı SPICE programında benzetimleri yapılarak doğruluğu kanıtlanmıştır.

7.2.2 Yöntem

Bir DVCC, iki direnç ve bir topraklanmış kapasitör kullanılarak gerçekleştirilen bir ucu topraklanmış endüktans tasarımı Şekil 7.3'te verilmiştir.



Şekil 7.3: Topraklanmış endüktans tasarımı.

Tasarlanan topraklanmış endüktans tasarımının analizinde $R_1 = 2R_2 = R$ ve $\gamma = 1/2$ eşitlikleri kullanılarak elde edilen ideal empedans aşağıda verilmiştir:

$$Z_{in} = \frac{V_{in}}{I_{in}} = sCR^2 \quad (7.7)$$

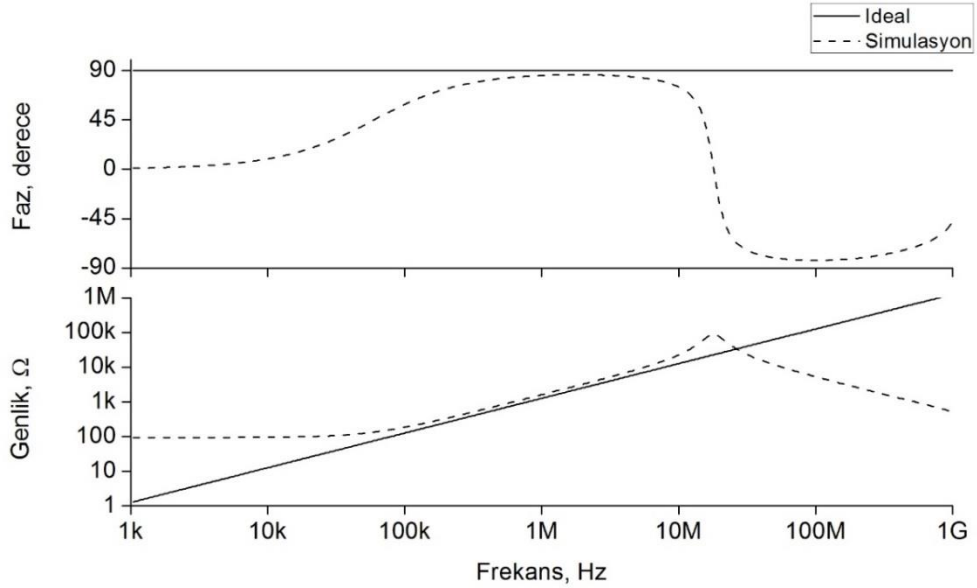
Endüktans tasarımında ideal olmayan kazançlar dikkate alınarak hesaplanan empedans aşağıda verilmiştir:

$$Z_{in} = \frac{R_1(sR_2C + 1 - \beta)}{(1 - \gamma)((sR_2C + 1)(\eta + 1) - \beta) - sR_1C\gamma\eta} \quad (7.8)$$

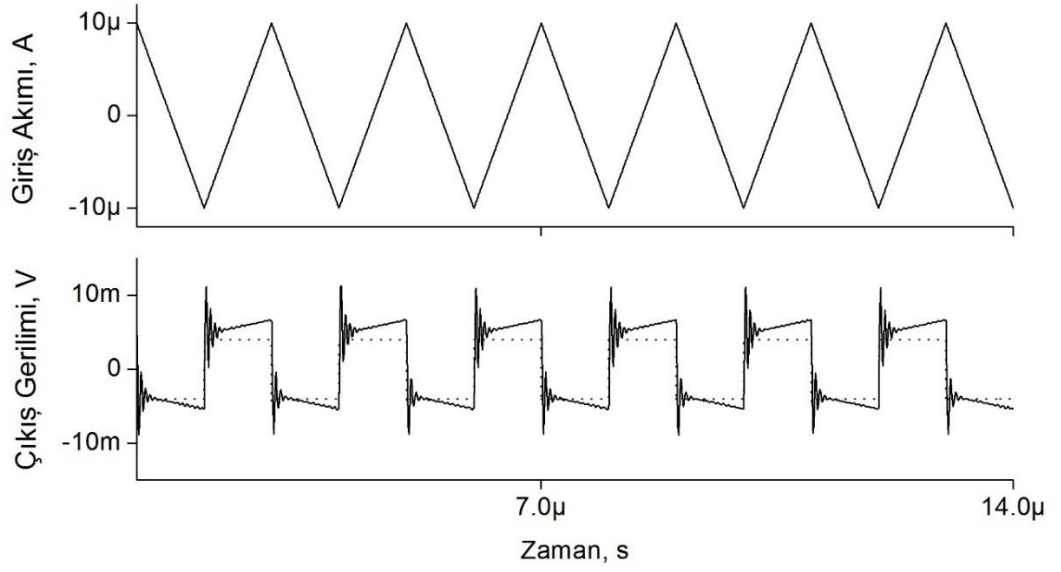
7.2.3 Benzetim Sonuçları

Topraklanmış endüktans tasarımının benzetimi, SPICE programında, $0.13 \mu\text{m}$ IBM CMOS teknolojisi parametreleri kullanarak yapılmıştır. Şekil 7.3'te verilen devrenin simetrik güç kaynağı gerilimleri $V_{DD} = 0.75 \text{ V}$ ve $V_{SS} = -0.75 \text{ V}$ 'dir. Kutuplama gerilimi $V_B = 0.25 \text{ V}$ olarak seçilmiştir. CMOS transistör boyutları Tablo 7.1'de gösterilmiştir. Tasarımda kullanılan dört terminalli DVCC-'nin iç yapısı Şekil 2.8'de daha önce verilmiştir (Chiu ve diğ. 1996). Devrenin pasif elemanları $R_1 = 2 \text{ k}\Omega$, $R_2 = 1 \text{ k}\Omega$ ve $C = 50 \text{ pF}$ olarak seçilmiştir.

Topraklanmış endüktansın empedansının ideal ve ideal olmayan genlik ve faz cevabı Şekil 7.4'te verilmiştir. Topraklanmış endüktans tasarımının girişine $10 \mu\text{A}$ tepe genliğinde 1 MHz frekansında üçgen dalga işaret uygulanarak elde edilen kare dalga cevabı Şekil 7.5'te verilmiştir.

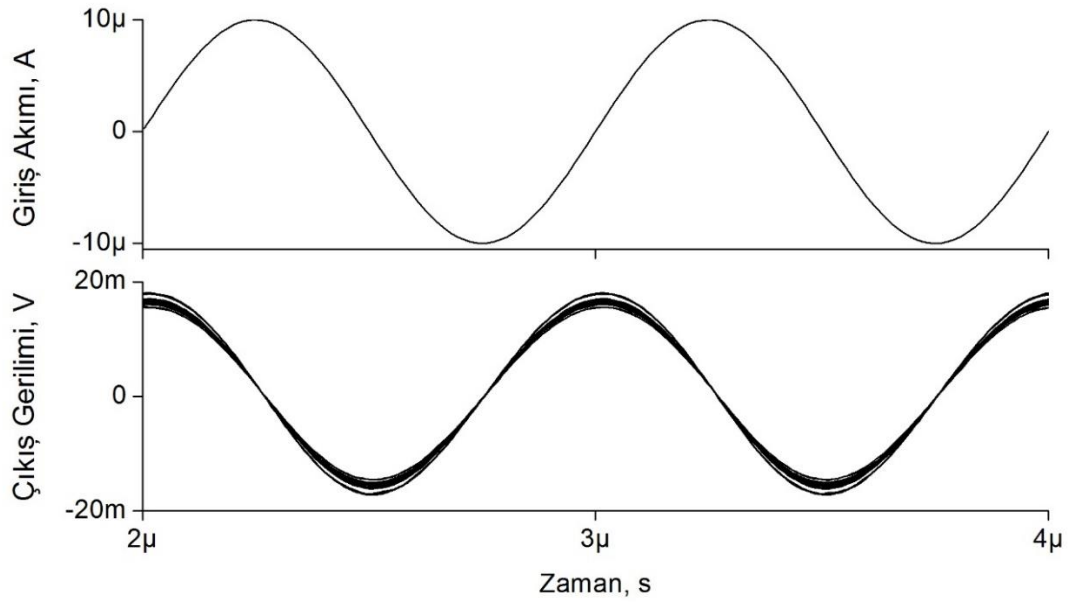


Şekil 7.4: Topraklanmış endüktans tasarımının ideal ve ideal olmayan empedansın faz cevabı ve genliği.



Şekil 7.5: Topraklanmış endüktans tasarımının girişine $10 \mu\text{A}$ tepe genliğinde 1 MHz frekansında üçgen dalga işaret uygulanarak elde edilen kare dalga cevabı.

Topraklanmış endüktans tasarımının girişine $10 \mu\text{A}$ tepe genliğinde 1 MHz frekansında sinüzoidal işaret uygulanarak, kapasitörünün değerinin %10 değiştirilmesiyle elde edilen çıkış geriliminin 20 adımlı Monte Carlo analizi Şekil 7.6'da verilmiştir.



Şekil 7.6: Topraklanmış endüktans tasarımının kapasite değerinin %10 değiştirilmesiyle elde edilen çıkış gerilimi Monte Carlo analizi.

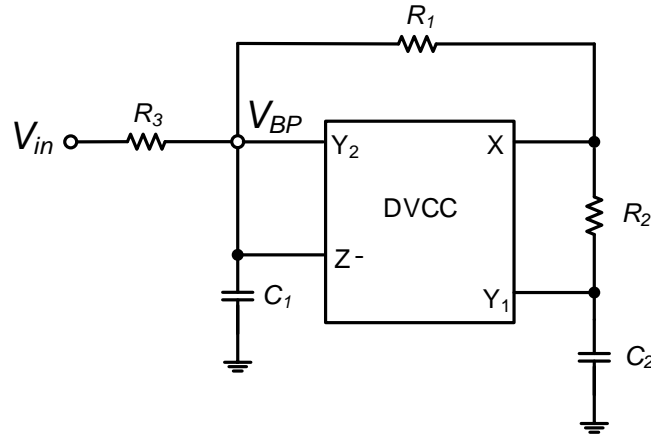
7.3 Topraklanmış Endüktans Benzetimi ile Bant Geçiren Süzgeç Tasarımı

7.3.1 Giriş

Tez kapsamında hazırlanan DVCC tabanlı topraklanmış endüktans benzetimi kullanılarak bant geçiren süzgeç tasarlanmıştır. Tasarlanan bant geçiren süzgeç devresi, bir adet DVCC, üç direnç ve iki adet kapasitör ile gerçekleştirilmiştir. Devrenin performansı SPICE programında benzetimleri yapılarak doğruluğu kanıtlanmıştır.

7.3.2 Yöntem

Bir adet DVCC, üç adet direnç, iki adet topraklanmış kapasitör kullanarak tasarlanan gerilim modlu bant geçiren süzgeç tasarımı Şekil 7.7’de verilmiştir.



Şekil 7.7: Topraklanmış endüktans ile bant geçiren süzgeç tasarımı.

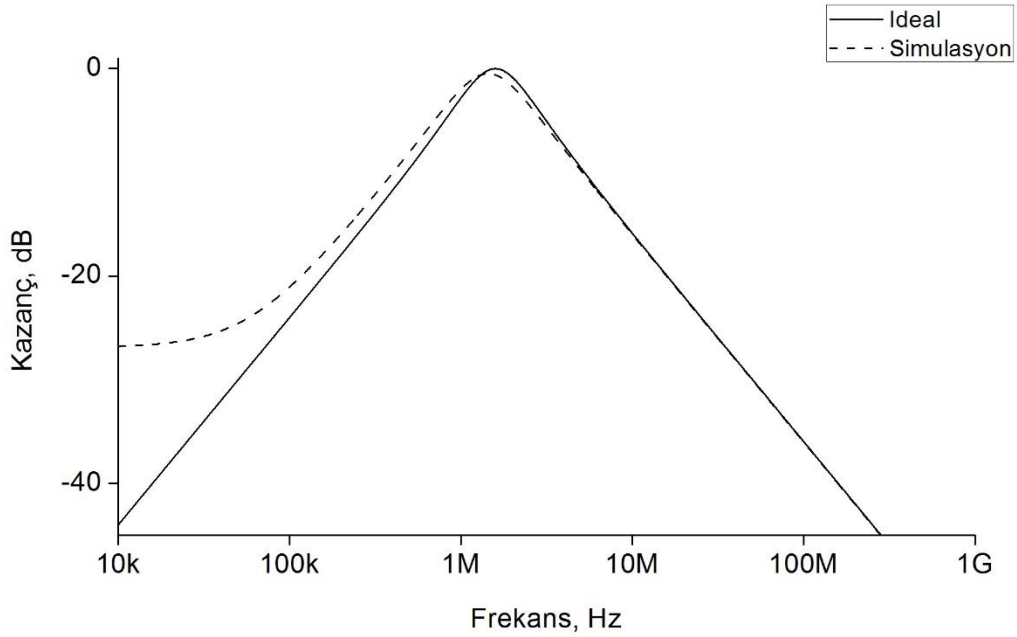
Topraklanmış endüktans ile tasarlanan bant geçiren süzgeç tasarımının ideal transfer fonksiyonu aşağıdaki gibi hesaplanabilir:

$$\frac{V_{BP}}{V_{in}} = \frac{s2R_1R_2C_2}{2s^2R_1R_2R_3C_1C_2 + s(2R_1R_2C_2 + 2R_2R_3C_2 - R_1R_3C_2) + R_3} \quad (7.9)$$

7.3.3 Benzetim Sonuçları

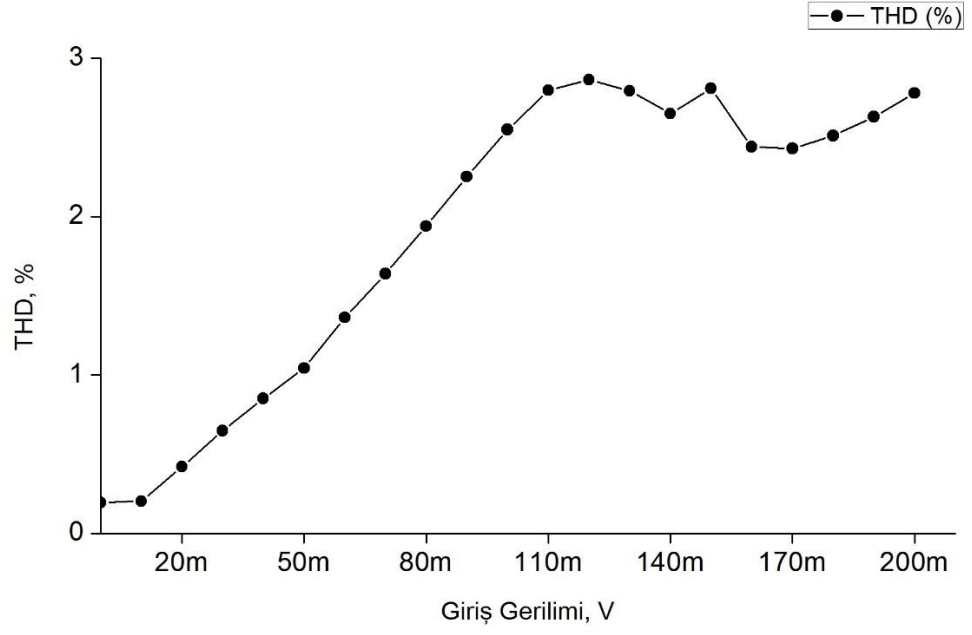
Tasarlanan VM süzgecin benzetimleri, SPICE programında, 0.13 μm IBM CMOS teknolojisi parametreleri kullanarak yapılmıştır. Şekil 7.7’de verilen devrenin simetrik güç kaynağı gerilimleri $V_{DD} = 0.75\text{ V}$ ve $V_{SS} = -0.75\text{ V}$ ’dir. Kutuplama gerilimi $V_B = 0.25\text{ V}$ olarak seçilmiştir. CMOS transistör boyutları Tablo 7.1’de gösterilmiştir. Tasarımda kullanılan dört terminalli DVCC-’nin iç yapısı Şekil 2.8’de daha önce verilmiştir (Chiu ve diğ. 1996). Devrenin pasif elemanları, $f_0 = 1.59\text{ MHz}$ olacak şekilde $R_1 = R_3 = 2\text{ k}\Omega$, $R_2 = R_4 = 1\text{ k}\Omega$ ve $C_1 = C_2 = 50\text{ pF}$ olarak seçilmiştir.

Tasarlanan VM süzgecin ideal ve ideal olmayan bant geçiren kazanç cevabı Şekil 7.8’de verilmiştir.



Şekil 7.8: Tasarlanan gerilim modlu süzgecin ideal ve ideal olmayan bant geçiren kazanç cevabı.

Tasarlanan bant geçiren süzgecin güç tüketimi, SPICE benzetiminde 1.61 mW olarak hesaplanmıştır. Tasarımı gerçekleştirilen devrenin girişine 1.59 MHz frekansında sinüzoidal işaret uygulanarak, bant geçiren süzgeç çıkışından alınan toplam harmonik bozulma (THD) değişimleri elde edilmiştir. THD değişimleri Şekil 7.9’da gösterildiği gibidir.



Şekil 7.9: Tasarlanan bant geçiren süzgeç çıkışından alınan toplam harmonik bozulma değişimi.

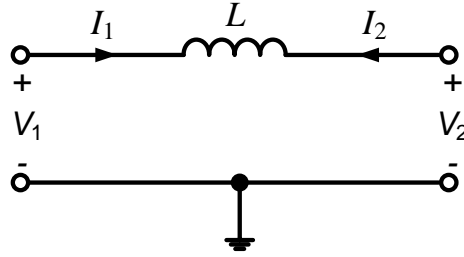
8. YÜZEN ENDÜKTANS BENZETİMİ TASARIMI

8.1 Giriş

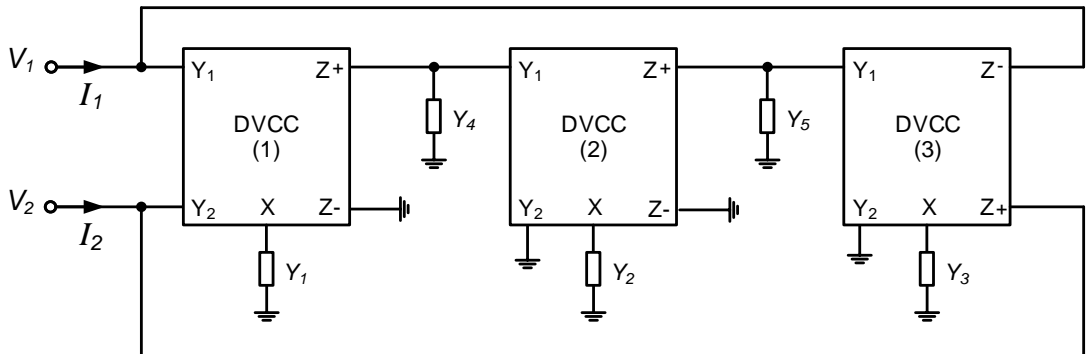
Bu bölümde, üç adet DVCC, beş adet admitans ile yüzen endüktans benzetimi tasarlanmıştır. Tasarlanan devrenin performansı SPICE programında benzetimi yapılarak doğruluğu kanıtlanmıştır.

8.2 Yöntem

Üç DVCC ve beş adet admitans ile yüzen endüktans benzetim gösterimi Şekil 8.1'de, tasarımı ise Şekil 8.2'de verilmiştir.



Şekil 8.1: Yüzen endüktans gösterimi.



Şekil 8.2: Yüzen endüktans tasarımı.

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{Y_1 Y_2 Y_3}{Y_4 Y_5} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (8.1)$$

Eğer, $Y_1=G_1$, $Y_2=G_2$, $Y_3=G_3$, $Y_4=sC_4$ ve $Y_5=G_5$ eşitlikleri seçilirse, eşitlik (8.1) aşağıdaki şekle dönüşür:

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{G_1 G_2 G_3}{sC_4 G_5} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \frac{1}{sL_{eş}} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (8.2)$$

Buradan $L_{eş}$, aşağıdaki gibi hesaplanır:

$$L_{eş} = \frac{C_4 G_5}{G_1 G_2 G_3} \quad (8.3)$$

Eğer, $Y_1=G_1$, $Y_2=G_2$, $Y_3=G_3$, $Y_4=G_4$ ve $Y_5=sC_5$ eşitlikleri seçilirse, eşitlik (8.1) aşağıdaki şekle dönüşür:

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{G_1 G_2 G_3}{sC_5 G_4} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \frac{1}{sL_{eş}} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (8.4)$$

Buradan $L_{eş}$, aşağıdaki gibi hesaplanır:

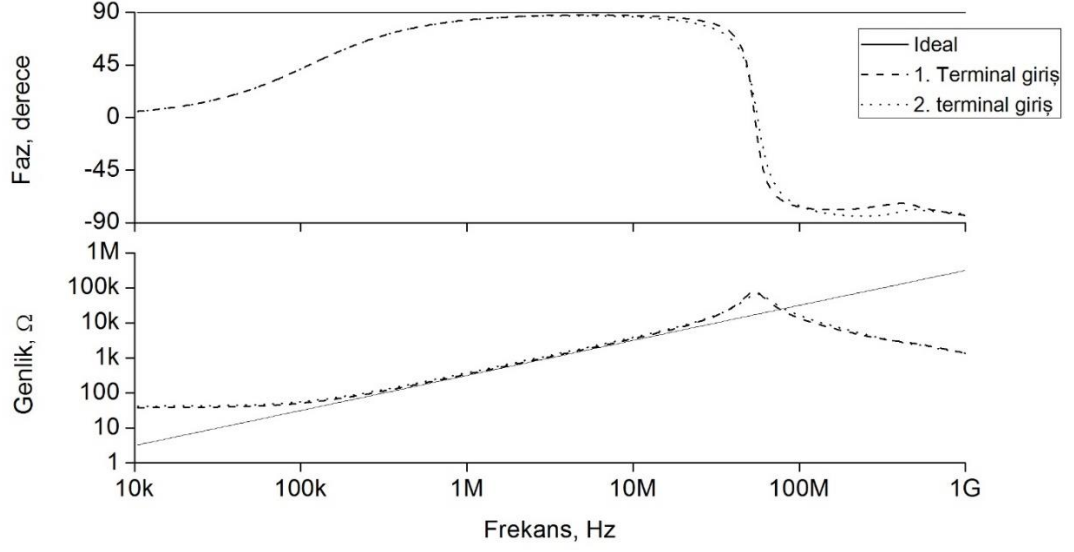
$$L_{eş} = \frac{G_4 C_5}{G_1 G_2 G_3} \quad (8.5)$$

8.3 Benzetim Sonuçları

Topraklanmış endüktans tasarımının benzetimleri, SPICE programında, 0.13 μm IBM CMOS teknolojisi parametreleri kullanarak yapılmıştır. Şekil 8.2’de verilen devrenin simetrik güç kaynağı gerilimleri $V_{DD} = 0.75 \text{ V}$ ve $V_{SS} = -0.75 \text{ V}$ ’dir. Kutuplama gerilimi $V_B = 0.37 \text{ V}$ olarak seçilmiştir. MOS transistör boyutları Tablo 8.1’de gösterilmiştir. Tasarımda kullanılan beş terminalli DVCC’nin içyapısı Şekil 2.2’de verilmiştir (Chiu ve diğ. 1996). Devrenin pasif elemanları $R_1 = R_2 = R_3 = R_4 = 1 \text{ k}\Omega$ ve $C = 50 \text{ pF}$ olarak seçilmiştir. Buradan, $L_{eş} = 50 \text{ }\mu\text{H}$ olarak bulunur. Yüzen endüktans tasarımının ideal ve ideal olmayan genlik ve faz cevabı Şekil 8.3’te verilmiştir.

Tablo 8.1: MOS transistor boyutları.

PMOS Transistörler	$W(\mu m)/L(\mu m)$
M ₁ -M ₁₂	41.6/0.52
NMOS Transistörler	$W(\mu m)/L(\mu m)$
M ₁₃ -M ₁₉	13/0.52



Şekil 8.3: Yüzen endüktans tasarımının ideal ve ideal olmayan faz ve genliği.

9. SONUÇ VE ÖNERİLER

DVCC, CCII'nin geniş bant genişliği, daha iyi doğrusallık, geniş dinamik çalışma aralığı ve DDA'nın yüksek giriş empedansı, aritmetik işlem yapabilme özelliklerine sahip olduğundan benzer elemanlarla kıyaslandığında potansiyel avantajlara sahiptir.

Analog süzgeçler, elektrik sinyallerindeki istenmeye gürültü gibi, istenmeyen bileşenleri çıkartmak için kullanılır. Sinyal işleme, iletişim gibi çeşitli alanlarda kullanılan, faz kaydırıcılar olarak adlandırılan tüm geçiren süzgeçler, genliği sabit tutarken, uygulanan giriş gerilim sinyalinin fazını değiştirirler.

Endüktans elemanı, elektronik devrelerinde tümdevre içinde kapladığı alanın çok büyük olması ve değerleri çok küçük değilse tümdevre haline getirilememesi, manyetik enerji yayması, diğer elemanlara göre daha çok parazitik içermesi gibi nedenlerden dolayı, süzgeç ve osilatör tasarımlarında sentetik endüktanslar yaygın şekilde kullanılmaktadır. Osilatörler, iletişim, sinyal işleme ve kontrol sistemlerinde yaygın olarak kullanıldıklarından analog devre tasarımıda önemli bir rol oynamaktadır.

İki adet DVCC, iki direnç ve topraklanmış kapasitör ile yeni birinci derece gerilim modlu tüm geçiren süzgeç tasarlanmıştır. Tasarlanan devre, yüksek giriş empedansı ile birinci derece tüm geçiren cevabı gerçeklemektedir. Bundan dolayı, diğer gerilim modlu (VM) devrelere kaskat olarak bağlanabilmektedir. Fakat bu tüm geçiren süzgeç devresinde bir direnç eşleme şartı vardır.

Sadece iki fark alıcı, bir direnç ve topraklanmış bir kapasitör ile iki yeni birinci derece VM evrensel süzgeç tasarlanmıştır. Her iki tasarlanan devre de aynı zamanda birinci derece alçak geçiren, yüksek geçiren ve tüm geçiren cevapları gerçeklemektedir. Bundan başka, yüksek geçiren ve tüm geçiren cevaplar düşük çıkış empedansına sahiptir. Bundan dolayı, diğer VM devrelere kaskat olarak bağlanabilmektedir. Frekansa bağlı ideal olmayan akım kazançlarından etkilenmemektedir. Her iki devrede de her hangi bir pasif eleman eşleme şartı yoktur.

İki adet DVCC, dört direnç ve iki adet topraklanmış kapasitör kullanılarak hazırlanan iki yeni ikinci derece VM evrensel süzgeç tasarlanmıştır. Her iki tasarlanan devre de aynı zamanda ikinci derece alçak geçiren, yüksek geçiren bant geçiren, bant durduran ve tüm geçiren cevapları gerçeklemektedir.

İki adet DVCC, üç direnç ve iki topraklanmış kapasitör ile ikinci derece akım modlu evrensel süzgeç tasarlanmıştır. Tasarlanan devre, eşzamanlı olarak yüksek çıkış empedansı ile ikinci derece alçak geçiren, bant geçiren ve bant durduran cevapları gerçeklemektedir. Ayrıca, uygun çıkış akımlarının birleştirilmesiyle yüksek geçiren ve tüm geçiren cevaplar elde edilmektedir.

DVCC tabanlı VM bir kuadratör osilatör tasarlanmıştır. Tasarlanan kuadratör osilatör devresi, bir adet DVCC, iki adet direnç ve iki adet topraklanmış kapasitör ile gerçekleştirilmiştir.

DVCC tabanlı bir topraklanmış endüktans tasarlanmıştır. Tez kapsamında hazırlanan DVCC tabanlı topraklanmış endüktans kullanılarak bant geçiren süzgeç tasarlanmıştır. Tasarlanan bant geçiren süzgeç devresi, bir adet DVCC, üç direnç ve iki adet kapasitör ile gerçekleştirilmiştir. Ayrıca, tez çalışmasında, üç adet DVCC, beş adet admitans ile yüzen endüktans benzetimi tasarlanmıştır.

Tasarlanan devrelerin analizini gerçekleştirmek için Cadence Design Systems, Inc. Firmasının Orcad PSpice 9.2 (Simulation Program for Integrated Circuits Emphasis) programı kullanılmıştır. Program aracılığıyla 0.13 μm CMOS teknoloji parametreleri kullanılarak zaman ve frekans ortamında benzetimler yapılmıştır. Bu benzetimlerin sonuçları grafik haline getirilerek analiz edilmiştir.

10. KAYNAKLAR

Abuelma'atti, M. T., "Grounded capacitor current-mode oscillator using single current follower", *IEEE Transactions on Circuits and Systems-I*, 39, 1018-1020, (1992).

Abuelma'atti, M. T. and Al-Zaher, H. A., "Current-mode sinusoidal oscillators using single FTFN", *IEEE Transactions on Circuits and Systems-II*, 46, 69-74, (1999).

Abuelma'atti, M. T., "New grounded immittance function simulators using single current feedback operational amplifier", *Analog Integrated Circuits and Signal Processing*, 71 (1), 95-100, (2012).

Alpaslan, H. and Yuce, E., "Bandwidth expansion methods of inductance simulator circuits and voltage-mode biquads", *Journal of Circuits, Systems, and Computers*, 20 (3), 557-572, (2011).

Alpaslan, H., Yuce, E., Current-mode biquadratic universal filter design with two terminal unity gain cells, *Radioengineering*, 21 (1), 304-311, (2012).

Alpaslan, H. and Yuce, E., "New grounded inductor simulator using unity gain cells", *Indian Journal of Pure & Applied Physics*, 51 (9), 651-656, (2013).

Alpaslan, H. and Yuce, E., "New CMOS based current follower and its applications to inductor simulator and band-pass filter", *Indian Journal of Pure & Applied Physics*, (2014^a).

Alpaslan, H. and Yuce, E., "Inverting CFOA based new lossless and lossy grounded inductor simulators", *Circuits, Systems and Signal Processing*, (2014^b).

Alzaher, H. A., Ismail, M., "Current-mode universal filter using unity gain cells", *Electronics Letters*, 35 (25), 2198-2200, (1999).

Alzaher, H., Tasadduq, N., Al-Ees, O., "Implementation of reconfigurable nth-order filter based on CCII", *Analog Integrated Circuits and Signal Processing*, 75, 539-545, (2013).

Antoniou, A., "Realisation of gyrators using operational amplifiers, and their use in RC-active-network synthesis", *Proceedings of the Institution of Electrical Engineers*, 116 (11), 1838-1850, (1969).

Arslan, E., Cam, U., Cicekoglu, O., "Novel lossless grounded inductance simulators employing only a single first generation current conveyor", *Frequenz*, 57, 204-206, (2003).

Arslan, E., Metin, B., Herencsar, N., Koton, J., Morgul, A. and Cicekoglu, O., "High performance wideband CMOS CCI and its application in inductance simulator design", *Advances in Electrical and Computer Engineering*, 12 (3), 21-26, (2012).

Barthelemy, H., Meillere, S. and Kussener, E., "CMOS Sinusoidal Oscillator Based on Current-controlled Current Conveyors", *Electronics Letters*, 38, 1254-1256, (2002).

Bhushan, M. and Newcomb, R. W., "Grounding of capacitors in integrated circuits", *Electronics Letters*, 3 (4), 148-149, (1967).

Chang, C. M. and Lee, M. S., "Comment: universal voltage-mode filter with three inputs and one output using three current conveyors and one voltage follower", *Electronics Letters*, 31, 353, (1995).

Chen, J.-J., Chen, C.-C., Tsao, H.-W., and Liu, S.-I., "Current-mode oscillators using single current follower", *Electronics Letters*, 27, 2056-2059, (1991).

Chen, H.-P., "Universal voltage-mode filter using only plus-type DDCCs", *Analog Integrated Circuits and Signal Processing*, 50, 137-139, (2007).

Chen, H.-P., "Single CCII-based voltage-mode universal filter", *Analog Integrated Circuits and Signal Processing*, 62, 259-262, (2010).

Chen, H.-P., Huang, K.-W. and Huang, P.-M., "DVCC-based first-order filter with grounded capacitor", *International Journal of Information and Electronics Engineering*, 2 (1), 50-54, (2012).

Chen, H. P., "Current-mode dual-output ICCII-based tunable universal biquadratic filter with low-input and high-output impedances", *International Journal of Circuit Theory and Applications*, published online, DOI: 10.1002/cta.1858, (2012^a).

Chen, H. P., “Tunable versatile current-mode universal filter based on plus-type DVCCs”, *International Journal of Electronics and Communications*, 66, 332-339, (2012^b).

Chen, H. P., “Versatile current-mode universal biquadratic filter using DO-CCIIs”, *International Journal of Electronics*, 100 (7), 1010-1031, (2013).

Chiu, W., Liu, S. I., Tsao, H. W. and Chen, J. J. “CMOS differential difference current conveyors and their applications”, *IEE Proceedings-Circuits Devices and Systems*, 143 (2), 91–96, (1996).

Chiu, W.-Y. and Horng, J.-W., “Voltage-mode highpass, bandpass, lowpass and notch biquadratic filters using single DDCC”, *Radioengineering*, 21, 297-303, (2012).

Cicekoglu, O., “New current conveyor based active-gyrator implementation”, *Microelectronics Journal*, 29 (8), 525-528, (1998).

Cicekoglu, O., Toker, A., Kuntman, H., “Universal immittance function simulators using current conveyors”, *Computers and Electrical Engineering*, 27, 227-238, (2001).

Dorf, R. C., Svoboda, J. A., *Introduction to Electric Circuits*, 8th Edition, John Willey & Sons, Inc., Asia, (2011).

Elwan, H. O., Soliman, A. M., “A novel CMOS current conveyor realization with an electronically tunable current mode filter suitable for VLSI”, *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, 43 (9), 663-670, (1996).

Elwan, H. O. and Soliman, A. M., “Novel CMOS differential voltage current conveyor and its applications”, *IEE Proceeding of Circuits Devices and Systems*, 144, 856-860, (1997).

Fabre, A., “Gyrator implementation from commercially available transimpedance operational amplifiers”, *Electronics Letters*, 28 (3), 263-264, (1992).

Fakhfakh, M. and Pierzchała, M., “Synthesis of active inductors using SFG stamps”, *Microelectronics Journal*, 44 (12), 1107-1122, (2013).

Ferri, G., Guerrini, N. C., Diquai, M., “CCII-based floating inductance simulator with compensated series resistance”, *Electronics Letters*, 39, 1560-1562, (2003).

Ferri, G. and Guerrini, N.C., *Low-voltage Low-power CMOS Current Conveyors*, Kluwer Academic Publishers, London, (2003).

Gülsoy, M., and Cicekoglu, O., “Lossless and lossy synthetic inductors employing single current differencing buffered amplifier”, *IEICE Transactions*, 88-B(5), 2152-2155, (2005).

Güneş, E. O., Toker, A., Özoğuz, S., “Insensitive current-mode universal filter with minimum components using dual-output current conveyors”, *Electronics Letters*, 35 (7), 524-525, (1999).

Herencsar, N., Lahiri, A., Koton, J., Vrba, K. and Metin, B., “Realization of resistorless lossless positive and negative grounded inductor simulators using single ZC-CCCITA”, *Radioengineering*, 21 (1), 264-272, (2012).

Higashimura, M. and Fukui, Y., “Universal filter using plus-type CCII”, *Electronics Letters*, 32, 810-811, (1996).

Higashimura, M., “Realisation of voltage-mode biquads using CCII”, *Electronics Letters*, 27, 1345-1346, (1991).

Horng, J.-W., “Novel universal voltage-mode biquad filter with three inputs and one output using only two current conveyors”, *International Journal of Electronics*, 80, 543-546, (1996).

Horng, J.-W., Lay, J.-R., Chang, C. M. and Lee, M.-H., “High input impedance voltage-mode multifunction filters using plus-type CCII”, *Electronics Letters*, 33, 472-473, (1997^a).

Horng, J.-W., Lee, M.-H., Cheng, H.-C. and Chang, C.-W., “New CCII-based voltage-mode universal biquadratic filter”, *International Journal of Electronics*, 82, 151-156, (1997^b).

Horng, J.-W., “High-input impedance voltage-mode universal biquadratic filter using three plus-type CCII”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 48, 996-997, (2001).

Horng, J.-W., “Current differencing buffered amplifiers based single resistance controlled quadrature oscillator employing grounded capacitors”, *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, E85-A, 1416-1419, (2002).

Horng, J.-W., “Current-mode quadrature oscillator with grounded capacitors and resistors using two DVCCs”, *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, E86-A, 2152-2154, (2003).

Horng, J.-W., “High input impedance voltage-mode universal biquadratic filters with three inputs using plus-type CCIIs”, *International Journal of Electronics*, 91, 465-475, (2004).

Horng, J.-W., Hou, C.-L., Chang, C.-M., Chung, W.-Y. and Wei, H.-Y., “Voltage-mode universal biquadratic filters with one input and five outputs using MOCCIIs”, *Computers & Electrical Engineering*, 31, 190-202, (2005).

Horng, J.-W., Hou, C.-L., Chang, C.-M., Lin, Y.-T., Shiu, I.-C. and Chiu, W.-Y., “First-order allpass filter and sinusoidal oscillators using DDCCs”, *International Journal of Electronics*, 93 (7), 457-466, (2006^a).

Horng, J.-W., Hou, C.-L., Chang, C.-M. and Chung, W.-Y., “Voltage-mode universal biquadratic filters with one input and five outputs”, *Analog Integrated Circuits and Signal Processing*, 47, 73-83, (2006^b).

Horng, J.-W., Hou, C.-L., Chang, C.-M., Chou, H.-P. and Lin, C.-T., “High input impedance voltage-mode universal biquadratic filter with one input and five outputs using current conveyors”, *Circuits, Systems and Signal Processing*, 25, 767-777, (2006^c).

Horng, J.-W., Hou, C.-L., Chang, C.-M., Chou, H.-P., Lin, C.-T. and Wen, Y.-H., “Quadrature oscillators with grounded capacitors and resistors using FDCCIIs”, *ETRI Journal*, 28, 486-494, (2006^d).

Horng, J. W., Hou, C. L., Chang, C. M., Shie, J. Y., Chang, C. H., “Universal current filter with single input and three outputs using MOCCIIs”, *Internal Journal of Electronics*, 94 (4), 327-333, (2007).

Horng, J.-W., “High input impedance first-order allpass, highpass and lowpass filters with grounded capacitor using single DVCC”, *Indian Journal of Engineering & Materials Sciences*, 17, 175-178, (2009).

Horng, J.-W., “DVCCs based high input impedance voltage-mode first-order allpass, highpass and lowpass filters employing grounded capacitor and resistor”, *Radioengineering*, 19 (4), 653-656, (2010^a).

Horng, J.-W., “Voltage/current-mode universal biquadratic filter using single CCII+”, *Indian Journal of Pure & Applied Physics*, 48, 749-756, (2010^b).

Horng, J.-W., Wang, Z.-R., Liu, C.-C., “Voltage-mode lowpass, bandpass and notch filters using three plus-type CCII_s”, *Circuits and Systems*, 2, 34-37, (2011).

Horng, J.-W., Hsu, C.-H. and Tseng, C.-Y., “High input impedance voltage-mode biquadratic filters with three inputs using three CCs and grounding capacitor”, *Radioengineering*, 21, 290-296, (2012^a).

Horng, J.-W., Chu, T.-Y. and Chao, Z.-Y., “Tunable versatile high input impedance voltage-mode universal biquadratic filter based on DDCCs”, *Radioengineering*, 21, 1260-1268, (2012^b).

Hou, C. L., “Single-element Controlled Oscillators Using Single FTFN”, *Electronics Letters*, 32, 2032-2033, (1996).

Ibrahim, M. A., Kuntman, H. and Cicekoglu, O., “First-order all-pass filter canonical in the number of resistors and capacitors employing a single DDCC”, *Circuits Systems Signal Processing*, 22 (5), 525-536, (2003).

Ibrahim, M. A., Minaei, S. and Kuntman, H., “DVCC based differential-mode all-pass and notch filters with high CMRR”, *International Journal of Electronics*, 93 (4), 231-240, (2006).

Ibrahim, M. A., Minaei, S. and Yuce, E., “All-pass sections with high gain opportunity”, *Radioengineering*, 20 (1), 3-9, (2011).

Ibrahim, M. A., Minaei, S. and Yuce, E., “All-pass sections with rich cascadability and IC realization suitability”, *International Journal of Circuit Theory and Applications*, 40, 461-472, (2012^a).

Ibrahim, M. A., Minaei, S., Yuce, E., Herencsar, N. and Koton, J., “Lossy/lossless floating/grounded inductance simulation using one DDCC”, *Radioengineering*, 21 (1), 3-10, (2012^b).

Kacar, F., “New lossless inductance simulators realization using a minimum active and passive components”, *Microelectronics Journal*, 41 (2-3), 109-113, (2010).

Kaçar, F. and Kuntman, H., “CFOA-based lossless and lossy inductance simulators”, *Radioengineering*, 20 (3), 627-631, (2011).

Kacar, F. and Yesil, A., “FDCCII-based electronically tunable voltage-mode biquad filter”, *International Journal of Circuit Theory and Applications*, 40, 377-383, (2012).

Kaçar, F., Yeşil, A., Minaei, S. and Kuntman, H., “Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements”, *International Journal of Electronics and Communications*, 68 (1), 73-78, (2014).

Keskin, A. U. and Biölek, D., “Current mode quadrature oscillator using current differencing transconductance amplifier (CDTA)”, *IEE Proceeding of Circuits Devices and Systems*, 153, 214-218, (2006).

Kumar, P., Senani, R., “New grounded simulated inductance circuit using a single PFTFN”, *Analog Integrated Circuits and Signal Processing*, 62 (1), 105-112, (2010).

Kumngern, M., Knobnob, B., and Dejhan, K., “Single-resistancecontrolled current-mode quadrature sinusoidal oscillator”, *6th International Conference Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology*, (ECTI-CON 2009), 1, 534-537, (2009).

Kumngern, M. and Dejhan, K., “DDCC-Based Quadrature Oscillator with Grounded Capacitors and Resistors”, *Active and Passive Electronic Components*, Article ID 987304, doi:10.1155/2009/987304, (2009).

Liu, S. I. and Tsay, J. H., “Single-resistancecontrolled Sinusoidal Oscillator Using Current-feedback-amplifiers”, *Int. J. Electron.*, 80, 661-664, (1996).

Liu, S.-I. and Liao, Y.-H., “Current-mode quadrature sinusoidal oscillator using single FTFN”, *International Journal of Electronics*, 81, 171-175, (1996).

Maheshwari, S. and Khan, I. A., “Current controlled third order quadrature oscillator”, *IEE Proceeding of Circuits Devices and Systems*, 152, 605-607, (2006).

Maheshwari, S., “High input impedance VM-APSs with grounded passive elements”, *IET Circuits Devices and Systems*, 1 (1), 72-78, (2007).

Maheshwari, S., “A canonical voltage-controlled VM-APS with a grounded capacitor”, *Circuits Systems Signal Process*, 27, 123-132, (2008^a).

Maheshwari, S., “High input impedance voltage-mode first-order all-pass sections”, *International Journal of Circuit Theory and Applications*, 36, 511-522, (2008^b).

Maheshwari, S., “Quadrature oscillator using grounded components with current and voltage outputs”, *IET Circuits, Devices and Systems*, 3, 153-160, (2009).

Maundya, B. and Gift, S. J. G., “Active grounded inductor circuit”, *International Journal of Electronics*, 98 (5), 555-567, (2011).

Metin, B., Pal, K. and Cicekoglu, O., “All-pass filters using DDCC- and MOSFET-based electronic resistor”, *International Journal of Circuit Theory and Applications*, 39, 881-891, (2011).

Metin, B., “Supplementary Inductance Simulator Topologies Employing Single DXCCII”, *Radioengineering*, 20 (3), 614-618, (2011).

Metin, B., “Canonical inductor simulators with grounded capacitors using DCCII”, *International Journal of Electronics*, 99 (7), 1027-1035, (2012).

Metin, B., Herencsar, N., Koton, J. and Horng, J.-W., “DCCII-based novel lossless grounded inductance simulators with no element matching constrains”, *Radioengineering*, 23 (1), 532-539, (2014).

Minaei, S., Türköz, S., “New current-mode current-controlled universal filter with single input and three outputs”, *International Journal of Electronics*, 88 (3), 333-337, (2001).

Minaei, S., Türköz, S., “Current-mode electronically tunable universal filter using only plus-type current controlled conveyors and grounded capacitors”, *ETRI Journal*, 26 (4), 292-296, (2004).

Minaei, S. and Ibrahim, M. A., “General configuration for realizing current-mode first-order all-pass filter using DVCC”, *International Journal of Electronics*, 92, 347-356, (2005).

Minaei, S., Yuce, E., Universal current-mode active-C filters employing only plus-type current controlled conveyors, *Frequenz*, 60 (7-8), 134-137, (2006).

Minaei, S. and Ibrahim, M. A., “A mixed-mode KHN-biquad using DVCC and grounded passive elements suitable for direct cascading”, *International Journal of Circuit Theory and Applications*, 37, 793-810, (2009).

Minaei, S. and Yuce, E., “Novel voltage-mode all-pass filter based on using DVCCs”, *Circuits Systems and Signal Process*, 29, 391-402, (2010).

Minaei, S. and Yuce, E., “A simple CMOS-based inductor simulator and frequency performance improvement techniques”, *International Journal of Electronics and Communications*, 66 (11), 884-891, (2012).

MOSIS CMOS Parameters, (01 January 2013), http://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/ibm-013/t97f_8hp_5lm-params.txt, (2009).

Myderrizi, I., Minaei, S. and Yuce, E., “An electronically fine tunable multi-input-single-output universal filter”, *IEEE Transactions on Circuits and Systems-Part-II: Express Briefs (TCAS-II)*, 58, 356-360, (2011^a).

Myderrizi, I., Minaei, S. and Yuce, E., “DXCCII-based grounded inductance simulators and applications”, *Microelectronics Journal*, 42 (9), 1074-1081, (2011^b).

Ozoguz, S. and Gunes, E. O., “Universal filter with three inputs using CCII+”, *Electronics Letters*, 32, 2134-2135, (1996).

Özoguz, S., Acar, C., “Universal current-mode filter with reduced number of active and passive components”, *Electronics Letters*, 33 (11), 948-949, (1997).

Özoğuz, S., Toker, A., Çiçekoğlu, O., “New current-mode universal filters using only four (CCII+)s”, *Microelectronics Journal*, 30, 255-258, (1999^a).

Özoğuz, S., Toker, A., Acar, C., “Current-mode continuous-time fully-integrated universal filter using CDBAs”, *Electronics Letters*, 35 (2), 97-98, (1999^b).

Pal, K., “Modified current conveyors and their applications”, *Microelectronics Journal*, 20, 37-40, (1989).

Pandey, N., Paul, S. K., Bhattacharyya, A., Jain, S. B., “A novel current controlled current mode universal filter: SITO approach”, *IEICE Electronics Express*, 2 (17), 451-457, (2005).

Pandey, N., Paul, S. K., Jain, S. B., “A new electronically tunable current mode universal filter using MO-CCII”, *Analog Integrated Circuits and Signal Processing*, 58, 171-178, (2009).

Pandey, R., Pandey, N., Paul, S. K., Singh, A., Sriram, B. and Trivedi, K., “Novel grounded inductance simulator using single OTRA”, *International Journal of Circuit Theory and Applications*, 42 (10), 1069-1079, (2014).

Prasad, D., Bhaskar, D. R., Singh, A. K., “New grounded and floating simulated inductance circuits using current differencing transconductance amplifiers”, *Radioengineering*, 19 (1), 194-198, (2010).

Roberts, G.W. and Sedra, A.S., “All current-mode frequency selective circuits”, *Electronics Letters*, 25, 759-761, (1989).

Saida, L. A., Madianb, A. H., Ismail, M. H. and Soliman, A. M., “Active realization of doubly terminated LC ladder filters using current feedback operational amplifier (CFOA) via linear transformation”, *International Journal of Electronics and Communications*, 65 (9), 753– 762, (2011).

Sedra, A. S., Smith, K. C., “A second-generation current conveyor and its applications”, *IEEE Transactions on Circuit Theory*, 17 (1), 132-134, (1970).

Sharma, R. K., Senani, R., “Multifunction CM/VM Biquads Realized with a Single CFOA and grounded capacitors”, *International Journal of Electronics and Communications (AEÜ)*, 57 (5), 301-308, (2003).

Sharma, R. K., Senani, R., “Universal current mode biquad using a single CFOA”, *International Journal of Electronics*, 91 (3), 175-183, (2004^a).

Sharma, R. K., Senani, R., “On the realization of universal current mode biquads using a Single CFOA”, *Analog Integrated Circuits and Signal Processing*, 41, 65-78, (2004^b).

Soliman, A. M., “New active-gyrator circuit using a single current conveyor”, *Proceedings of the IEEE*, vol. 66, 1580-1581, (1978).

Soliman, A. M., “Current mode universal filter”, *Electronics Letters*, 31 (17), 1420-1421, (1995).

Soliman, A. M., “Generation of current conveyor based lowpass filters from a passive RLC filter”, *Journal of the Franklin Institute*, 335, 1283-1297, (1998).

Soliman, A. M., “Current mode filters using two output inverting CCII”, *International Journal of Circuit Theory and Applications*, 36, 875-881, (2008).

Tangsrirat, W., Surakamponorn, W., “Electronically tunable current-mode universal filter employing only plus-type current-controlled conveyors and grounded capacitors”, *Circuits, Systems and Signal Processing*, 25 (6), 701-713, (2006).

Tangsrirat, W., Surakamponorn, W., “High output impedance current-mode universal filter employing dual-output current-controlled conveyors and grounded capacitors”, *Internal Journal of Electronics and Communications*, 61, 127-131, (2007).

Tangsrirat, W., Prasertsom, D., Piyatat, T., and Surakamponorn, W., “Single-resistance-controlled quadrature oscillator using current differencing buffered amplifiers”, *International Journal of Electronics*, 95, 1119-1126, (2008).

Toker, A., Cicekoglu, O., Kuntman, H., “New active gyrator circuit suitable for frequency-dependent negative resistor implementation”, *Microelectronics Journal*, 30, 59-62, (1999).

Toumazou, C., Lidgey, F.J., and Haigh, D.G., *Analog IC design: the current-mode approach*, London: Peter Peregrinus, (1990).

Tsukutani, T., Tsunetsugu, H., Sumi, Y. and Yabuki, N., “Electronically tunable first-order all-pass circuit employing DVCC and OTA”, *International Journal of Electronics*, 97 (3), 285-293, (2010).

Yeşil, A., Kaçar, F. and Gürkan, K., “Lossless grounded inductance simulator employing single VDBA and its experimental band-pass filter application”, *International Journal of Electronics and Communications*, 68 (2), 143-150, (2014).

Yuce, E., Minaei, S., Cicekoglu, O., “A novel grounded inductor realization using a minimum number of active and passive components”, *ETRI Journal*, 27 (4), 427-432, (2005).

Yuce, E., Minaei, S., Cicekoglu, O., “Universal current-mode active-C filter employing minimum number of passive elements”, *Analog Integrated Circuits and Signal Processing*, 46, 169-171, (2006^a).

Yuce, E., Minaei, S., Cicekoglu, O., “Limitations of the simulated inductors based on a single current conveyor”, *IEEE Transactions on Circuits and Systems-I: Regular Papers*, 53 (12), 2860-2867, (2006^b).

Yuce, E., “Inductor implementation using a canonical number of active and passive elements”, *International Journal of Electronics*, 94 (4), 317-326, (2007).

Yuce, E., “Grounded inductor simulators with improved low frequency performances”, *IEEE Transactions on Instrumentation and Measurement*, 57 (5), 1079-1084, (2008).

Yuce, E. and Minaei, S., “Universal current-mode filters and parasitic impedance effects on the filter performances”, *International Journal of Circuit Theory and Applications*, 36, 161-171, (2008^a).

Yuce, E. and Minaei, S., “A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters”, *IEEE Transactions on Circuits and Systems I- Regular papers*, 55 (1), 254-263, (2008^b).

Yuce, E., Kircay, A., Tokat, S., “Universal resistorless current-mode filters employing CCCIs”, *International Journal of Circuit Theory and Applications*, 36, 739-755, (2008).

Yuce, E., “Voltage-mode multifunction filters employing a single DVCC and grounded capacitors”, *IEEE Transactions on Instrumentation and Measurement*, 58, 2216-2221, (2009^a).

Yuce, E., “Current-mode electronically tunable biquadratic filters consisting of only CCCIs and grounded capacitors”, *Microelectronics Journal*, 40, 1719-1725, (2009^b).

Yuce, E., “Novel lossless and lossy grounded inductor simulators consisting of a canonical number of components”, *Analog Integrated Circuits and Signal Processing*, 59 (1), 77-82, (2009^c).

Yuce, E. and Minaei, S., “On the realization of simulated inductors with reduced parasitic impedance effects”, *Circuits, Systems and Signal Processing*, 28 (3), 451-465, (2009^a).

Yuce, E. and Minaei, S., “Novel floating simulated inductors with wider operating-frequency ranges”, *Microelectronics Journal*, 40 (6), 928-938, (2009^b).

Yuce, E., Minaei, S., “Realization of arbitrary current transfer functions based on commercially available CCII+s”, *International Journal of Circuit Theory and Application*, online published, DOI: 10.1002/cta.1880, (2012).

Yuce, E., Tokat, S. and Alpaslan, H., “Grounded capacitor based new floating inductor simulators and a stability test”, *Turkish Journal of Electrical Engineering & Computer Sciences*, (2014).

Zeki, A., Toker, A., “DXCCII-based tunable gyrator”, *International Journal of Electronics and Communications (AEÜ)*, 59, 59-62, (2005).

Wang, H. Y., Lee, C. T., “Versatile insensitive current-mode universal biquad implementatiton using current conveyors”, *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Proceessing*, 48 (4), 409-413, (2001).

Wang, C., Liu, H., Zhao, Y., “A new current-controlled universal filter based on CCCII(\pm)”, *Circuits, Systems and Signal Processing*, 27, 673-682, (2008).

Wang, C., Xu, J., Keskin, A. Ü., Du, S., Zhang, Q., “A new current-mode current-controlled SIMO-type universal filter”, *International Journal of Electronics and Communications (AEÜ)*, 65, 231-234, (2011).

Wilson, B., “Recent developments in current conveyors and current-mode circuits,” *IEE Proceedings-G Circuits, Devices and Systems*, 137, 63-77, (1990).

Wilson, B., “Trends in current conveyor and current-mode amplifier design”, *International Journal of Electronics*, 73, 573-583, (1992).

EKLER

11. EKLER

EK A. Benzetimlerde Kullanılan CMOS Parametreleri

Tablo A.1: 0.13 μm IBM NMOS parametreleri (MOSIS 2009).

.MODEL CMOSN NMOS (LEVEL = 7
+VERSION = 3.1	TNOM = 27	TOX = 3.2E-9	
+XJ = 1E-7	NCH = 2.3549E17	VTH0 = 0.0408721	
+K1 = 0.325863	K2 = -0.0303381	K3 = 1E-3	
+K3B = 7.9752313	WO = 1.005139E-7	NLX = 9.892661E-7	
+DVTOW = 0	DVT1W = 0	DVT2W = 0	
+DVT0 = 1.2297627	DVT1 = 0.1473877	DVT2 = 0.295815	
+U0 = 451.7567843	UA = -1.42062E-10	UB = 3.125058E-18	
+UC = 4.349531E-10	VSAT = 1.104974E5	A0 = 0.1756127	
+AGS = 0.0121649	B0 = 5.453993E-6	B1 = 5E-6	
+KETA = 0.05	A1 = 4.699783E-4	A2 = 0.476527	
+RDSW = 150	PRWG = 0.3491049	PRWB = 0.1116032	
+WR = 1	WINT = 1.273353E-8	LINT = 1.040852E-8	
+DWG = -2.333272E-9	DWB = 2.870557E-8	VOFF = -5.88255E-3	
+NFACTOR = 2.5	CIT = 0	CDSC = 2.4E-4	
+CDSCD = 0	CDSCB = 0	ETA0 = 2.748809E-6	
+ETAB = -0.0153583	DSUB = 4.054516E-6	PCLM = 1.9787164	
+PDIBLC1 = 0.9653375	PDIBLC2 = 0.01	PDIBLCB = 0.1	
+DROUT = 0.9990938	PSCBE1 = 7.952366E10	PSCBE2 = 5.012991E-10	
+PVAG = 0.5350786	DELTA = 0.01	RSH = 6.8	
+MOBMOD = 1	PRT = 0	UTE = -1.5	
+KT1 = -0.11	KT1L = 0	KT2 = 0.022	
+UA1 = 4.31E-9	UB1 = -7.61E-18	UC1 = -5.6E-11	
+AT = 3.3E4	WL = 0	WLN = 1	
+WW = 0	WWN = 1	WWL = 0	
+LL = 0	LLN = 1	LW = 0	
+LWN = 1	LWL = 0	CAPMOD = 2	
+XPART = 0.5	CGDO = 4E-10	CGSO = 4E-10	
+CGBO = 1E-12	CJ = 8.406526E-4	PB = 0.8	
+MJ = 0.4923081	CJSW = 1.939781E-10	PBSW = 0.99	
+MJSW = 0.2751883	CJSWG = 3.3E-10	PBSWG = 0.99	
+MJSWG = 0.2751883	CF = 0	PVTH0 = -1.031224E-3	
+PRDSW = 0	PK2 = 1.629017E-3	WKETA = 0.0106762	
+LKETA = 8.760864E-3	PU0 = -3.5021185	PUA = -3.13657E-11	
+PUB = 0	PVSAT = 653.2294237	PETA0 = 1E-4	
+PKETA = -0.0140591)		

Tablo A.2: 0.13 μm IBM PMOS parametreleri (MOSIS 2009).

```

.MODEL CMOSF PMOS (
+VERSION = 3.1          TNOM    = 27          LEVEL  = 7
+XJ       = 1E-7       NCH    = 4.1589E17      TOX    = 3.2E-9
+K1       = 0.3055794  K2     = -1.881877E-4  VTH0   = -0.2178731
+K3B      = 6.5385817  W0     = 1E-6         K3     = 0.0955725
+DVTOW    = 0         DVT1W  = 0           NLX    = 3.118875E-7
+DVT0     = 0.2602151 DVT1   = 0.1593124   DVT2W  = 0
+U0       = 100       UA     = 1.043597E-9  DVT2   = 0.1
+UC       = -4.36034E-11 VSAT   = 2E5         UB     = 1E-21
+AGS      = 0.2915063  B0     = -4.189558E-6 A0     = 1.844554
+KETA     = 0.0414839  A1     = 0.0228958   B1     = 5E-6
+RDSW    = 105.3697072 PRWG   = -0.1019642  A2     = 1
+WR       = 1         WINT   = 0           PRWB  = 0.5
+DWG     = 1.093168E-9 DWB    = -2.857077E-8 LINT   = 9.95995E-9
+NFACTOR  = 1.5332272 CIT     = 0           VOFF  = -0.1022829
+CDSCD    = 0         CDSCB  = 0           CDSC   = 2.4E-4
+ETAB     = -0.0285373 DSUB   = 2.460721E-3  ETA0   = 0.011015
+PDIBLC1  = 0         PDIBLC2 = -4.302895E-9   PCLM  = 1.6249923
+DROUT    = 1.282078E-3 PSCBE1 = 2.169291E9    PDIBLCB = -1E-3
+PVAG     = 1.5395235 DELTA  = 0.01        PSCBE2 = 6.594654E-10
+MOBMOD   = 1         PRT    = 0           RSH   = 6.5
+KT1      = -0.11     KT1L   = 0           UTE   = -1.5
+UA1      = 4.31E-9   UB1    = -7.61E-18  KT2   = 0.022
+AT       = 3.3E4     WL     = 0           UC1   = -5.6E-11
+WW       = 0         WWN    = 1           WLN   = 1
+LL       = 0         LLN    = 1           WWL   = 0
+LWN      = 1         LWL    = 0           LW    = 0
+XPART    = 0.5       CGDO   = 3E-10      CAPMOD = 2
+CGBO     = 1E-12    CJ     = 1.174275E-3  CGSO  = 3E-10
+MJ       = 0.4126286 CJSW   = 1.312194E-10  PB    = 0.8310047
+MJSW     = 0.1      CJSWG  = 4.22E-10   PBSW  = 0.99
+MJSWG    = 0.1     CF     = 0           PBSWG = 0.99
+PRDSW    = 42.1520552 PK2    = 1.857124E-3  PVTH0 = 5.166851E-4
+LKETA    = 0.0271244 PU0     = -1.0381257  WKETA = 0.0358202
+PUB      = 4.084847E-22 PVSAT  = -50        PUA   = -4.75151E-11
+PKETA    = -3.142785E-3 )          PETA0  = -2E-4

```

12. ÖZGEÇMİŞ

Adı Soyadı : Ahmet ABACI

Doğum Yeri ve Tarihi : İzmir, 23/01/1986

Lisans Üniversite : Pamukkale Üniversitesi, Elektrik-Elektronik
Mühendisliği (2009)

Elektronik posta : aahmetabaci@gmail.com

İletişim Adresi : 505 Sokak Armağan Apt. No: 2/11
Üçyol/İZMİR